Diss. ETH Nr. 15869

Netzrückwirkungsarmes Dreiphasen-Pulsgleichrichtersystem mit weitem Eingangsspannungsbereich

ABHANDLUNG zur Erlangung des Titels DOKTOR DER TECHNISCHEN WISSENSCHAFTEN der EIDGENÖSSISCHEN TECHNISCHE HOCHSCHULE ZÜRICH

vorgelegt von

THOMAS NUSSBAUMER

Dipl.-Ing., TU Wien geboren am 9. Mai 1975 von Österreich

angenommen auf Antrag von Referent: Prof. Dr. J.W. Kolar Korreferent: Prof. Dr. T. Undeland

2004

Für Annette

Es ist nicht genug zu wissen, man muss es auch anwenden. Es ist nicht genug zu wollen, man muss es auch tun.

Johann Wolfgang von Goethe

Vorwort

Die vorliegende Arbeit entstand in den Jahren 2001 – 2004 während meiner Tätigkeit als wissenschaftlicher Mitarbeiter und Assistent an der Professur für Leistungselektronik und Messtechnik an der ETH Zürich.

In erster Linie möchte ich Herrn Prof. Dr. J.W. Kolar danken, mir die Möglichkeit gegeben zu haben, in diesem interessanten Forschungsbereich intensiv zu arbeiten. Seine stete Unterstützung und die Schaffung eines überaus produktiven Arbeitsklimas haben wesentlich zum Zustandekommen etlicher Veröffentlichungen und zum Gelingen dieser Arbeit beigetragen.

Grosser Dank gebührt auch Herrn Prof. Dr. T.M. Undeland für die freundliche Übernahme des Korreferates und sein Interesse an dieser Arbeit.

Bei allen Kollegen am Institut möchte ich mich ganz besonders für die entstandenen Freundschaften, die zahlreichen wertvollen Diskussionen, Hilfestellungen und Zusammenarbeiten bedanken, speziell mit meinen Bürokollegen Marcelo und Ahai.

Grosser Dank geht auch an die Mitarbeiter des Elektronik-Labors Peter Seitz und Hansueli Altorfer, mit deren tatkräftiger Hilfe die Hardware-Aufbauten erst möglich wurden.

Schliesslich möchte ich noch allen Studenten danken, die im Rahmen von Semesterund Diplomarbeiten einen Beitrag zu dieser Arbeit geleistet haben.

Inhaltsverzeichnis

KURZF	FASSUNG	5
ABSTR	ACT	9
FORM	ELZEICHEN UND ABKÜRZUNGEN	
1 EI	INFÜHRUNG	
2 FU	UNKTIONSWEISE	
2.1 I	Buck-Eingangsteil	
2.1.1	Grundsätzliche Betrachtungen	
2.1.2	Schaltzustände	
2.1.3	Bildung des Soll-Stromraumzeigers	
2.1.4	Berechnung der Einschaltdauern	
2.2 I	Hochsetzsteller-Ausgangsteil	
2.3 I	Betriebsbereich des Buck+Boost-Konverters	
3 SY	YSTEMDESIGN	
3.1 A	Auswahl der Leistungshalbleiter	
3.1.1	Strombelastung	
3.1.2	Sperrspannungsbeanspruchung	
3.1.3	Auswahl der Leistungshalbleiter	
3.2 A	Analyse des Schaltverhaltens	
3.2.1	Analyse des Leistungsmoduls	
3.2.2	Analyse des PCB-Layouts	

3.2.3	Setup für die Schaltverlustmessungen	68
3.2.4	Auswahl der Gate-Vorwiderstände	72
3.2.5	Schaltverlustmessungen	75
3.2.6	Berechnung der Schaltverluste des Buck-Eingangsteiles	78
3.2.7	Berechnung der Schaltverluste des Boost-Ausgangsteiles	80
3.2.8	Festlegung der Schaltfrequenz	80
3.3	Auswahl der passiven Komponenten	82
3.3.1	Ausgangsinduktivität L ₀	82
3.3.2	Ausgangskondensator C ₀	84
3.4	Berechnung des Konverterwirkungsgrades	86
4 M	IODULATION	91
4.1	Verfahren zur Minimierung der Schaltverluste	92
4.1.1	Klemmung der mittleren Phase (MPC)	97
4.1.2	Klemmung der höchsten Phase (HPC)	103
4.1.3	Schaltverlustoptimale Modulation mit geringen Netzstromverzerrungen (SLO)	104
4.2	Verfahren zur Minimierung der Netzstromverzerrungen	110
4.2.1	Kontinuität an den Sektorgrenzen	110
4.2.2	Modulationsverfahren mit minimalen Eingangsstromverzerrungen (CDO)	113
5 E	INGANGSFILTER	119
5.1	Entwurf des Gegentakt-Eingangsfilters (DM Filter)	122
5.1.1	Entwurfsverfahren	122
5.1.2	Spektrum des Eingangsstromes	123
5.1.3	Messung an der LISN (Netznachbildung)	124
5.1.4	Funkstöranalyse mittels Quasi-Peak-Messung	125
5.1.5	Auswahl der Filtertopologie	131
5.1.6	Dimensionierung der Filterelemente	135
5.1.7	Optimierung des Filters	138
5.1.8	Gleichtakt/Gegentakt-Trennung (CM/DM Separator)	147
5.1.9	Messungen und Schlussfolgerungen	150
5.2	Entwurf des Gleichtakt-Eingangsfilters (CM Filter)	154
5.2.1	Modellierung und Messung der Gleichtakt-Störaussendung	154
5.2.2	Verbindung des Sternpunktes des Gleichrichter-Eingangs mit dem Mittelpunkt des	
Ausg	jangs	157
5.2.3	Entwurf des Gleichtaktfilters	160
6 R	EGELUNG	165
6.1	Modellbildung des Gleichrichters	168
6.2	Struktur der Regelung	178

6.3 T	eilblöcke der Regelung	
6.3.1	Ausgangsspannungs-Regler	
6.3.2	Laststromvorsteuerung	
6.3.3	Amplitudendetektion	190
6.3.4	Sollstrom-Skalierung	
6.3.5	Aktive Dämpfung	193
6.4 I	Digitale Implementierung	199
6.4.1	Totzeiten des Systems	
6.4.2	Lineare Prädiktion	
6.4.3	Smith-Prädiktion	
6.5 A	uslegung der Regelung	
6.5.1	Bestimmung des kritischen Arbeitspunktes	
6.5.2	Entwurf des innerer Stromreglers	
6.5.3	Entwurf des äusseren Spannungsreglers	
7 EX	PERIMENTELLE ANALYSE	
8 BE	RWERTUNG DES SYSTEMS	
8.1 E	Buck+Boost-Topologie	
8.2 E	Boost+Buck-Topologie (Vienna Rectifier + Dreipunkt-Buck-Konverter)	
8.3 V	ergleich der Topologien	249
8.3.1	Gesamtwirkungsgrad	
8.3.2	Leistungsdichte	
8.3.3	Realisierungsaufwand	
AUSBL	ICK	255
ZUSAM	MENFASSUNG	259
LITERA	ATURVERZEICHNIS	

Kurzfassung

Zur dreiphasigen Speisung des Spannungszwischenkreises von Drehstromantrieben oder zur Speisung informationsverarbeitender Systeme werden anstelle passiver Gleichrichterschaltungen zunehmend aktive Systeme mit sinusförmigem Eingangsstrom und regelbarer Ausgangsspannung verwendet. Üblicherweise werden dabei Topologien mit eingangsseitigem Hochsetzsteller eingesetzt, wobei für zahlreiche Applikationen genauso auch tiefsetzstellerbasierte Strukturen denkbar wären.

In dieser Arbeit wird eine neuartige Schaltungsfunktion, die durch Integration eines tiefsetzstellerbasierten Dreischalter-Eingangsgleichrichters und eines DC/DC Boost Konverters gebildet wird, vorgestellt und im Detail analysiert. Diese Topologie weist einerseits einen weiten Ein-/Ausgangsspannungsbereich auf, andererseits kann der Betrieb auch bei Ausfall einer Netzphase mit sinusförmigem Eingangsstrom fortgesetzt werden, weshalb das System eine hohe Anwendungsbreite und hohe Fehlertoleranz aufweist und für einen zukünftigen industriellen Einsatz somit von besonderem Interesse ist.

Nach einer kurzen Einführung in die Schaltungsfunktion in **Kapitel 1** werden in **Kapitel 2** die Grundzüge der Modulation und das Betriebsverhalten des Systems auf Grundlage von Raumzeigerrechnung erklärt und die Einschaltdauern der Transistoren für die Einstellung sinusförmiger Eingangsströme hergeleitet.

Anschliessend werden in Kapitel 3 die Bauelementebeanspruchungen der Leistungshalbleiter und passiven Komponenten für den gesamten Betriebsbereich ermittelt und darauf folgend Komponenten für ein System ausgewählt, welches in Kapitel 7 zur experimentellen Analyse herangezogen wird. Zur Ermittlung der Schaltverluste in Abhängigkeit vom Betriebspunkt des Systems werden sämtliche Kommutierungsvorgänge im Detail analysiert, wobei die parasitären, modulinternen Induktivitäten sowie die Induktivitäten der Verbindung der Komponenten über die Leistungsprintplatte eruiert und berücksichtigt werden.

In **Kapitel 4** werden unterschiedliche Modulationsverfahren für die Steuerung des Systems entwickelt und verglichen. Schliesslich wird ein optimales Verfahren gefunden, das minimale Eingangsstromverzerrungen und gleichzeitig minimale Schaltverluste garantiert.

In **Kapitel 5** wird ein mehrstufiges Eingangsfilter entworfen, welches die Einhaltung der Vorschriften bezüglich leitungsgebundener Gleichtakt- und Gegentaktstöraussendung im Bereich 150kHz-30MHz sicherstellt. Dabei wird das Filter hinsichtlich der passive Dämpfung und der Minimierung des Filtervolumens optimiert. Es zeigt sich, dass eine systematische, die Gleichtakt- und Gegentaktstöraussendung separat behandelnde Vorgehensweise beim Filterentwurf sinnvoll ist, und auf Grundlage von Simulationsdaten und Berechnungen das Filter so entworfen werden kann, dass eine hinreichende Dämpfung der Störaussendungen erreicht wird, was durch die Funkstörmessungen schlussendlich bestätigt wird.

Um die Regelung für das Systems auslegen zu können, wird zu Beginn des **Kapitel 6** ein regelungstechnisches Modell unter Einbeziehung des AC-seitigen, dreiphasigen Konverterteiles in Form eines ordnungsreduzierten DC-DC Ersatzmodells entwickelt und verifiziert. Damit wird eine zweischleifige digitale Regelung entworfen, welche die Aufnahme von sinusförmigen Netzströmen auch bei unsymmetrischer Netzspannung oder Phasenausfall des Netzes sicherstellt und eine aktive Dämpfung des Eingangsfilters sowie eine Vorsteuerung des Laststroms beinhaltet. Die Regelung ist so strukturiert, dass die Ablösung zwischen den beiden Betriebsmodi selbsttätig erfolgt. Im Reglerentwurf werden dabei die Verzögerungszeiten durch Abtastung, digitale Regelung und Pulsmusterausgabe ebenso berücksichtigt wie die in der Regelstruktur enthaltene Netzspannungs- und Laststromvorsteuerung. In **Kapitel 7** wird die experimentelle Analyse des Systems anhand eines hochkompakten Hardware-Prototyps mit digitaler Regelung auf einer DSP-Plattform durchgeführt. Insbesondere werden der Wirkungsgrad, der Leistungsfaktor und der Oberschwingungsgehalt der Eingangsströme in Abhängigkeit vom Betriebspunkt des Systems ermittelt und die Beherrschung von beliebigen unsymmetrischen Verhältnissen der Netzphasenspannungen gezeigt. Weiter wird bestätigt, dass die Regelung für transient auftretende Netzphasenfehler wie etwa Phasenausfall, Phasenkurzschluss oder Phasenerdschluss weiterhin eine sinusförmige Stromaufnahme garantiert.

Abschliessend wird das System in **Kapitel 8** mit einem hochsetzstellerbasierten Dreiphasen-Dreischalter-Dreipunkt-Gleichrichtersystems (Vienna Rectifier) mit ausgangsseitigem Tiefsetzsteller verglichen. Das System ist hinsichtlich Realisierungsaufwand, Leistungsdichte und Wirkungsgrad dem hochsetzstellerbasierten System überlegen und somit für zahlreiche zukünftige Applikationen von hohem Interesse.

Abstract

For the three-phase power supply of motor drives and information technology systems progressively more electronically controlled systems are employed which allow achieving sinusoidal input currents and controllable output voltage in contrast to passive rectifiers. Nowadays, most of the systems employ a boost-type rectifier input stage, whereby for many applications buck-type input stages could be an interesting alternative.

In this work, a novel topology formed by the integration of a buck-type, three-switch rectifier input stage and a DC-DC boost-type output stage is presented and analyzed in detail. Due to the buck-boost operation a wide input and/or output voltage range can be achieved. Furthermore, a reliable operation of the system maintaining sinusoidal input currents under heavily unbalanced mains condition can be ensured, wherefore the topology is of high interest for a future industrial application.

After a short introduction in **chapter 1**, where the system topology is presented, in **chapter 2** the operation of the system is explained on the basis of space vector calculations. The relative on-times of the transistors for generating sinusoidal input currents are derived.

In **chapter 3** the voltage and current stresses of the active and passive components are determined and appropriate components are selected. In order to calculate the system efficiency in dependency of the operating point all commutation processes

during a switching period are analyzed carefully and the inductances of the parasitic paths inside the power modules and on the PCB are measured.

In **chapter 4** several modulation methods are developed and evaluated comparatively. Finally, a modulation technique is selected which ensures good input current quality by preventing the excitation of the input filter at the sector boundaries while maintaining minimum switching losses.

In **chapter 5** a multi-stage input filter is designed, which ensures full compliance with the standards concerning common mode and differential mode conducted emissions. In addition, the filter is optimized concerning passive damping and minimum volume. It is shown that a systematic approach with separate analysis of the common mode and differential mode noise is successful and that the filter design can be completely performed with simulation data and calculations, which is shown by the means of conducted emission measurements.

For the design of the control in **chapter 6**, first a control-orientated, reduced order DC-DC model of the three-phase system is developed and verified. With this, a cascaded, digital control is designed which ensures sinusoidal input currents also for unsymmetrical mains phase condition and includes the active damping of the input filter and a feedforwarding of the load current. For the selection of the controller types and gains the delays caused by the sampling, the digital control and the generation of the pulse patterns are considered as well as precontrol of the mains voltages and the load current.

In **chapter 7** a 5kW hardware prototype with DSP control is analyzed experimentally. Efficiency, power factor and THD of the input currents are measured for different operating points and it is shown that the system can maintain correct operation with sinusoidal input currents for all kinds of phase unbalances, such as phase loss, short circuit of two phases and earth fault of a phase.

Finally, in **chapter 8** the performance of the system is compared with a three phase/ level/switch boost-type (Vienna) rectifier with a three-level buck output stage. It is shown that the novel topology is superior concerning realization effort, power factor and efficiency, wherefore it will be of interest for various future applications.

Formelzeichen und Abkürzungen

B_w	Reglerbandbreite
C_0	Ausgangskondensator
C_1	Eingangsfilterkondensator der Filterstufe 1
C_2	Eingangsfilterkondensator der Filterstufe 2
C_{2d}	Eingangsfilterkondensator im Dämpfungspfad der Filterstufe 2
D	Filterfunktion der aktiven Dämpfung
D_B	Boost-Diode des ausgangsseitigen Hochsetzstellers
D_F	Freilaufdiode des eingangsseitigen Tiefsetzstellers
D_i	Leistungsdioden des eingangsseitigen Tiefsetzstellers, allg.
$D_{i\pm}$	dem Zwischenkreis zugewandte Leistungsdioden des eingangsseitigen Tiefsetzstellers
$D_{N,i\pm}$	dem Netz zugewandte Leistungsdioden des eingangsseitigen Tiefsetzstellers
e_I	Regelfehler des DC-Stromreglers
e_U	Regelfehler des Ausgangsspannungsreglers
f_c	Knickfrequenz
f_N	Netzfrequenz
f_S	Schaltfrequenz
G	Eingangsleitwert
i	Strom in der DC-Induktivität L_0
i_0	Ausgangsstrom
<i>i</i> _{C1,i}	Eingangsseitige Filterkondensatorströme
i_D	Strom in der Hochsetzstellerdiode
$i_{L1,i}$	Ströme in den eingangsseitigen Filterinduktivitäten

$i_{N,i}$	Netzphasenströme
i _{rec,i}	Gleichrichtereingangsströme
j	Schaltzustand des Gleichrichters
k	Verstärkungsfaktor der aktiven Dämpfung
k	Kopplungsfaktor der magnetisch gekoppelten Induktivitäten L_1 und L_{1c}
k_1	linearer Schaltverlustterm
K_i	DC-Stromregler
K _u	Ausgangsspannungsregler
$k_{I,U}$	Verstärkung des Integralanteils des Ausgangsspannungsreglers
$k_{P,I}$	Verstärkung des Proportionalanteils des DC-Stromreglers
$k_{P,U}$	Verstärkung des Proportionalanteils des Ausgangsspannungsreglers
L_0	Gesamtinduktivität des DC-Zwischenkreises
L_{0^+}	in der positiven Zwischenkreisschiene liegende Induktivität des DC-Zwischenkreises
<i>L</i> ₀ -	in der negativen Zwischenkreisschiene liegende Induktivität des DC-Zwischenkreises
L_1	Eingangsfilterinduktivität der Filterstufe 1
L_{lc}	Kopplungsinduktivität der Filterstufe 1
L_{1d}	Induktivität im Dämpfungspfad der Filterstufe 1
L_2	Eingangsfilterinduktivität der Filterstufe 1
L_N	Netzinduktivität
М	Modulationsindex (Aussteuergrad) des eingangsseitigen Tiefsetzstellers
n	Dämpfungsgrad einer Filterstufe
n_L	Induktivitätsverhältnis der magnetisch gekoppelten Induktivitäten L_I und L_{Ic}
P_{θ}	Ausgangsleistung
P_N	dem Netz entnommene Leistung
R_{θ}	Ausgangswiderstand
R_{1d}	Dämpfungswiderstand der Filterstufe 1
R_{2d}	Dämpfungswiderstand der Filterstufe 2
r_{CE}	Vorwärtswiderstand eines Leistungstransistors
r_D	Vorwärtswiderstand einer Leistungsdiode
$R_{DS,on}$	Vorwärtswiderstand eines Leistungs-MOSFETs
R_{th}	thermischer Übergangswiderstand
S_B	Leistungstransistor des ausgangsseitigen Hochsetzstellers
S_i	Leistungstransistor des eingangsseitigen Tiefsetzstellers
Si	Schaltzustandsfunktion des eingangsseitigen Tiefsetzstellers

t	Zeit
T_a	Umgebungstemperatur
t_d	Überlappungszeit zwischen zwei Schaltzuständen
T_{hs}	Kühlkörpertemperatur
T_j	Sperrschichttemperatur
t_{μ}	lokale Zeit, auf eine Pulsperiode bezogene Zeit
T_P	Pulsperiode
THD_i	Total Hormonic Distortion der Netzphasenströme
u	Spannung an der Freilaufdiode
u_0	Ausgangsspannung
$u_{C1,i}$	Filterkondensatorspannung der Filterstufe 1
U_{CE0}	Vorwärtsspannung eines Leistungstransistors
U_F	Vorwärtsspannung einer Leistungsdiode
u_N	Netzphasenspannungen, allg.
$u_{N,i}$	Netzphasenspannung
$u_{N,l-l}$	verkettete Netzaussenleiterspannungen, allg.
$u_{N,l-l,ij}$	verkettete Netzaussenleiterspannung
u_{Sw}	für Schaltverlsutberechnung relevante, geschaltete Spannung
W	Schaltverlustenergie
Z_{in}	Eingangsimpedanz
Zout	Ausgangsimpedanz
δ_B	relative Einschaltdauer des Hochsetzstellers
Δ_B	Arbeitspunkt der relativen Einschaltdauer des Hochsetzstellers
δ_i	relative Einschaltdauer des Leistungstransistors S_i des eingangsseitigen Tiefsetzstellers
δ_j	relative Einschaltdauer des Schaltzustandes j
δ_{FL}	relative Freilaufdeauer des eingangsseitigen Tiefsetzstellers
$\Delta \delta_{i,damp}$	Anteil der relativen Einschaltduaern δ_i für aktive Dämpfung
λ	Leistungsfaktor
η	Wirkungsgrad
τ	Zeitkonstante
φ_M	Phasenreserve eines Reglers
$arphi_N$	Phasenwinkel der Netzgrössen
ω	Netzkreisfrequenz

Indizes

(1)	Grundschwingungswert
avg	"average", Mittelwert
BoBu	Kombination eines eingangsseitigen Boost- mit einem ausgangsseitigen Buck-Konverter
BuBo	Kombination eines eingangsseitigen Buck- mit einem ausgangsseitigen Boost-Konverter
calc	auf DSP-Berechnung bezogen
СМ	Common Mode – Anteil
damp	Anteil für aktive Dämpfung
DM	Differential Mode - Anteil
$D \rightarrow S$	auf einen Schaltvorgang vom Freilaufzustand zu einem aktiven Schaltzustand bezogen
eq	auf das einphasige Ersatzschaltbild bezogen
fwd	"forward recovery", auf Vorwärtserholverhalten bezogen
i	fortlaufende Variable der Netzzuleitungen, $i = R, S, T$
ij	fortlaufende Variable der Netzzuleitungen, $ij = RS, ST, TR$
k	k-ter Abtastwert
lim	Index für einen limitierten Wert
max	zulässiger Maximalwert
N	auf den Nennpunkt beuogen
off	auf das Ausschalten eines Leistungstransistors bezogen
on	auf das Einschalten eines Leistungstransistors bezogen
р	parallel
peak	detektierter, maximal auftretender Wert
рр	"peak to peak", Spitze-Spitze-Wert
pred	mittels Prädiktion vorausgesagter Wert
PWM	auf Pulsmusterausgabe bezogen
rev	"reverse recovery", auf Rückwärtserholverhalten bezogen
rms	"root mean square", Effektivwert
S	seriell
SW	"switched", geschalten
$S \rightarrow S$	auf einen Schaltvorgang zwischen zwei aktiven Schaltzuständen bezogen
$S \rightarrow D$	auf einen Schaltvorgang von einem aktiven Schaltzustand zum Freilaufzustand bezogen
sample	abgetasteter Wert
skal	umskalierter Wert

Sonstige Bezeichnungen

x^*	Sollwert einer Regelgrösse x
<u>x</u>	komplexe Grösse in der Raumzeigerebene
â	Spitzenwert einer Grösse x

Abkürzungen

AC	"Alternating Current", Wechselstrom, Wechselgrösse
bzw.	beziehungsweise
CISPR	"Comité International Speciál des Perturbations Radioélectriques", Internationales Kommitee für Funkentstörung
СМ	"Common Mode", Gleichtakt
DC	"Direct Current", Gleichstrom, Gleichgrösse
d.h.	das heisst
DM	"Differential Mode", Gegentakt
DSP	Digitaler Signalprozessor
ggf.	gegebenenfalls
IF	"Intermediate Frequency", Zwischenfrequenz
IGBT	"Insulated Gate Bipolar Transistor"
LC	aus Induktivität und Kondensator bestehend
LISN	"Line Impedance Stabilization Network", Netznachbildung
MB	"Middle Band", Mittenfrequenz
MOSFET	"Metal Oxide Semiconductor Field Effect Transistor"
PWM	Pulsweitenmodulation
QP	"Quasi Peak", Quasi-Spitzenwert
RBW	"Resolution Bandwidth", Bandpass
THD	"Total Harmonic Distortion", Oberschwingungsgehalt
z.B.	zum Beispiel

Kapitel 1 Einführung

Zur Stromversorgung von DC – Lasten (z.B. für Telekom-Power Supply Units, Batterie-Ladegeräte, DC Strom-/Spannungs-Zwischenkreise zur Speisung von Wechselrichterschaltungen, etc.) aus dem dreiphasigen Netz existieren prinzipiell zahlreiche Systeme. Zur Bewertung und Auswahl eines Systems für eine bestimmte Applikation werden üblicherweise Kriterien wie Wirkungsgrad, Leistungsdichte, Eingangsstromqualität, Netzrückwirkung, Realisierungsaufwand, Komplexität der Steuerung, erreichbare Regeldynamik sowie Robustheit bezüglich netz- und lastseitiger Störungen herangezogen. Diese sich teilweise widersprechenden Forderungen werden dann je nach Anwendungsgebiet unterschiedlich gewichtet, was letztendlich zur Auswahl einer Topologie führt. Eine Klassifizierung der wichtigsten Systeme ist in [1] gegeben.

Im einfachsten Fall werden für die Realisierung der dreiphasigen Gleichrichtung passive Systeme eingesetzt.



Abbildung 1.1: Passive Dioden-Gleichrichter-Schaltung ohne zusätzliche induktive Glättung am Ein- und Ausgang



Abbildung 1.2: Passive Dioden-Gleichrichter-Schaltung mit zusätzlicher ausgangsseitiger Glättung durch L_0 .

Diese bestehen wie in Abbildung 1.1 gezeigt im Grunde aus sechs unidirektionalen, nicht abschaltbaren Ventilen (6-Puls-Dioden-Gleichrichter) und zumindest den inneren Netzinduktivitäten und einem Ausgangskondensator. Ein wesentlicher Nachteil dieser Schaltung ist der diskontinuierliche, zwei Nachladeimpulse pro Halbperiode aufweisende Verlauf der Netzströme. Dem kann durch Einfügen einer DC-seitiger Induktivität (siehe Abbildung 1.2) teilweise entgegengewirkt werden, der Leistungsfaktor beträgt jedoch bestenfalls $\lambda = 96.5\%$ und der Oberschwingungsgehalt *THD_i* = 30.7% [2], was für zahlreiche Anwendungen immer noch inakzeptabel ist. Zusätzlich lässt sich auch die Ausgangsspannung nicht regeln, sie ist im Mittel fix durch

$$U_{D6,avg} = \frac{3 \cdot \sqrt{3} \cdot \hat{U}_N}{\pi}.$$
(1.1)

gegeben und hat eine Welligkeit mit sechsfacher Netzfrequenz.

Daher werden vorzugsweise aktive Systems eingesetzt, d.h. Gleichrichterschaltungen, die zumindest einen hochfrequent getakteten Leistungsschalter aufweisen. Dieser kann im einfachsten Fall einer Diodenbrücke in Form einer Tiefsetzstelleroder auch Hochsetzstellerstruktur nachgeschaltet sein (siehe Abbildung 1.3 und Abbildung 1.4). Der Vorteil ist nun, dass die Filterkomponenten nicht bezüglich der sechsfachen Netzfrequenz, sondern der Schaltfrequenz ausgelegt werden und daher wesentlich kompakter ausgeführt werden können. Um den Oberschwingungsgehalt zu reduzieren, muss bei beiden Strukturen eingangsseitig ein LC-Filter vorgesehen werden. Beide Strukturen müssen jedoch im diskontinuierlichen Betrieb arbeiten, d.h. bei der Tiefsetzstellerstruktur sind die Eingangsspannungen an den Filterkondensatoren diskontinuierlich (Discontinuous Capacitor Voltage Mode) und bei der Hochsetzstellerstruktur sind die Eingangsströme in den Filterinduktivitäten diskontinuierlich (Discontinuous Conduction Mode). Damit der lokale Mittelwert der Filterkondensatorspannungen bei der Tiefsetzstellerstruktur den Netzspannungen entspricht, müssen deren Spitzenwerte zumindest die doppelte Netzspannungsamplitude aufweisen. Analog müssen die Ströme in den Filterinduktivitäten der Hochsetzstellerstruktur zumindest doppelte Grundschwingungsstromamplitude besitzen. Die Strukturen sind daher durch sehr hohe Strom- bzw. Spannungsbelastung der Halbleiter gekennzeichnet und sind für Anwendungen höherer Leistung nicht interessant.



Abbildung 1.3: Diodenbrücke mit nachgeschaltetem Tiefsetzsteller und wechselspannungsseitiger Anordnung der Filterkapazitäten



Abbildung 1.4: Diodenbrücke mit nachgeschaltetem Hochsetzsteller und wechselspannungsseitiger Anordnung der Filterinduktivitäten

Abhilfe kann nur geschaffen werden, wenn die Stromaufnahme der drei Phasen getrennt und unabhängig von der Netzspannungssituation geregelt werden kann. Die gängigsten Realisierungen sind in Abbildung 1.5 und Abbildung 1.6 wieder für eine Tief- und eine Hochsetzsetzstellerstruktur gezeigt. Dabei ist für jede Phase eine Gegenserienschaltung von zwei Leistungstransistoren mit in Serie geschalteter Sperrdiode bzw. mit antiparalleler Freilaufdiode vorzusehen. Dadurch kann bei der Tiefsetzstellerstruktur aus Abbildung 1.5 der ausgangsseitig eingeprägte Strom mit entsprechenden Schaltbefehlen beliebig auf die drei Eingangsphasen aufgeteilt werden. Mittels der Filterelemente am Eingang kann dann aus dem pulsförmigen Stromverlauf der grundfrequente Anteil herausgefiltert werden. An den Filterkondensatoren treten hier die Eingangsspannungen plus ein schaltfrequenter Rippel auf, der im Gegensatz zum *Discontinuous Capacitor Voltage Mode* geringe Amplitude aufweist. Daher müssen die Bauelemente daher nicht auf doppelte Spannungsbelastung ausgelegt werden.



Abbildung 1.5: Unidirektionaler Dreiphasen-Sechsschalter-Tiefsetzsteller mit Ein- und Ausgangsfilter

Bei dem Hochsetzsteller aus Abbildung 1.6 wird die ausgangsseitig eingeprägte Spannung durch die Schalthandlungen an die Eingänge geschaltet, die Eingangsströme werden an den Filterinduktivitäten durch die Differenz zwischen der gleichrichterseitigen Spannung und der Netzspannung eingeprägt und haben im Gegensatz zum *Discontinuous Conduction Mode* kontinuierlichen, sinusförmigen Verlauf [3]. Unter der Randbedingung, dass die Summe der drei Eingangsströme null ergeben muss, können sie durch entsprechende Taktung der Leistungsschalter der Brückenzweige getrennt voneinander beeinflusst werden. Daher ermöglichen beide Strukturen eine sinusförmige Stromaufnahme und regelbare Ausgangsspannung bei geringer Belastung der aktiven und passiven Bauteile. Allerdings steigt die Anzahl der benötigten Leistungsschalter.



Abbildung 1.6: Bidirektionaler Dreiphasen-Sechsschalter-Hochsetzsteller mit Ein- und Ausgangsfilter

Eine bewährte Struktur, mittels derer die Anzahl der Leistungsschalter auf drei reduziert werden kann, ist der in Abbildung 1.7 gezeigte, auf der Hochsetzstellerstruktur basierende *Vienna Rectifier* [4]. Durch geschickte Anordnung der Leis-

tungsschalter ist in jedem Phasenzweig ein bidirektionaler Schalter realisiert, wodurch die Möglichkeit zur sinusförmigen Stromaufnahme weiterhin bestehen bleibt. Der Zwischenkreismittelpunkt stellt sicher, dass alle Leistungshalbleiter sperrspannungsmässig mit nur halber Zwischenkreisspannung belastet werden, wodurch bei Betrieb am 400V-Netz und bei 800V Zwischenkreisspannung 600V-Elemente (vorzugsweise MOSFETs) zur Realisierung der Schalter eingesetzt werden können. Bei heutigem Stand der Technik ist diese Topologie bezüglich Wirkungsgrad und Leistungsdichte sämtlichen anderen Hochsetzsteller-Schaltungstopologien überlegen [5].



Abbildung 1.7: Unidirektionaler Dreiphasen-Dreischalter-Dreipunkt-Hochsetzsteller (*Vienna Rectifier*) mit Ein- und Ausgangsfilter

Für den Fall, dass ausgangsseitig jedoch eine unterhalb der verketteten Netzspannung liegende Spannung gefordert wird, muss für die Schaltung nach Abbildung 1.7 zusätzlich ein DC-DC-Dreipunkt-Tiefsetzsteller vorgesehen werden. Bei dieser Anordnung wird also die Eingangsspannung für die Leistungsfaktorerhöhung zunächst hochgesetzt und dann wieder auf das gewünschte Spannungsniveau tiefgesetzt.

Daher stellt sich die Frage, ob nicht auf Basis der oben erwähnten Tiefsetzstellerstrukturen (Abbildung 1.3 und Abbildung 1.5) ebenfalls eine Dreischalter-Topologie mit Tiefsetzstellereigenschaft gefunden werden kann. In Abbildung 1.8 ist diese Topologie, welche das Kernstück dieser Arbeit bildet, gezeigt [6],[7].



Abbildung 1.8: Unidirektionaler Dreiphasen-Dreischalter-Tiefsetzsteller mit Ein- und Ausgangsfilter und expliziter Freilaufdiode

Durch Betätigen der Schalter von zwei Phasen kann die verkettete Spannung zwischen diesen Phasen in den Zwischenkreis geschaltet werden und der DC-seitig durch L_0 eingeprägte Strom über diese beiden Phasen geführt werden. Wenn nur ein Schalter geschlossen ist oder alle Schalter geöffnet sind, so sind Eingangs- und Ausgangsteil voneinander getrennt und das System befindet sich im Freilauf und der Strom in der Induktivität L_0 fliesst über die explizit vorgesehene Freilaufdiode D_F . Wenn alle Schalter geschlossen sind, entspricht dies dem Zustand einer einfachen

Diodenbrücke. Damit lassen sich im Mittel sinusförmige Eingangsströme der drei Phasen sowie eine gewünschte Ausgangsspannung gezielt einstellen, wobei der Mittelwert der an den Zwischenkreis geschalteten Spannung auf den $\sqrt{3}/2$ -fachen Spitzenwert der verketteten Eingangsspannung limitiert ist.

Um nun für geringe Eingangsspannungen, wie z.B. bei Betrieb am 200V-Netz oder auch bei Ausfall einer Phase, eine gewünschte, hohe Ausgangsspannung zu erreichen oder auch um einen weiten Ausgangsspannungsbereich sicherzustellen, wird bei der in dieser Arbeit betrachteten Topologie ausgangsseitig noch wie in Abbildung 1.9 gezeigt ein DC-DC-Boost-Konverter integriert [9],[10],[11]. Der Vergleich mit Abbildung 1.8 zeigt, dass die Erweiterung der Topologie daher lediglich aus der Einfügung eines Schalters und einer Diode zwischen DC-Induktivität und Ausgangskondensator besteht.



Abbildung 1.9: Dreiphasen-Dreischalter-Tiefsetzsteller mit integriertem Boost-Konverter zur Sicherstellung eines weiten Eingangs- bzw. Ausgangsspannungsbereichs.

Prinzipielle Vorteile dieser Topologie gegenüber auf Hochsetzsteller-Funktion basierenden Schaltungen sind:

- der Wegfall der Hochlaufeinrichtung, d.h. der Ausgangskondensator kann mittels Regelung des Gleichrichters direkt auf den gewünschten Wert hochgeladen werden. Allerdings muss eine ausreichende Dämpfung des Eingangsfilters gewährleistet werden, da sonst durch die Resonanz des LC Filters bei Einschalten des Konverters der Spannungswert an den Filterkondensatoren im schlimmsten Fall (reines LC-Filter) die doppelte Netzspannungsamplitude erreichen und zur Zerstörung der Halbleiter führen kann. Wenn keine genügende Dämpfung garantiert werden kann, müssen in jedem Fall wiederum strombegrenzende Elemente eingefügt werden.
- niedrigere Ausgangsspannung im Vergleich zum Vienna Rectifier [12].
- geringe Anzahl an aktiven und passiven Bauelementen
- Möglichkeit zur direkten Strombegrenzung im Kurzschlussfall [13]
- grosse Robustheit gegenüber Störfällen in der Modulation bzw. Regelung [12],[13]: Es existieren prinzipiell keine verbotenen Schaltzustände und die Zwischenkreisspannung ist stets auf den in (1.1) angegebenen Wert der Eingangsspannung limitiert. Bei dauerhaftem Einschalten aller drei Eingangs-Leistungstransistoren entspricht der Eingangskreis wie erwähnt einer einfachen Diodenbrücken-Schaltung.

Als Nachteil können einerseits die pulsförmigen Eingangsströme genannt werden, die im Gegensatz zu Hochsetzstellern eines grösseren Filteraufwands zur Erreichung eines sinusförmigen Netzstromverlaufs bedürfen [12]. Zusätzlich sind für den Betrieb am 400V-Netz (±20%) 600V-MOSFET-Transistoren bezüglich Sperrspannungsbelastung nicht mehr ausreichend, daher muss auf 1200V-Technologie für Transistoren (IGBTs) und Dioden zurückgegriffen werden, was auf Grund der höheren Leit- und Schaltverluste Einbussen im Wirkungsgrad zur Folge hat.

Ein detaillierter Vergleich mit einer auf Dreischalter-Hochsetzsteller-Funktion basierenden Topologie mit nachgeschaltetem Tiefsetzsteller (siehe Kapitel 8) zeigt jedoch, dass der Buck+Boost-Konverter insgesamt bezüglich Wirkungsgrad, Leistungsdichte und Realisierungsaufwand überlegen ist.

Für alle nachfolgenden Untersuchungen seien folgende Spezifikationen für den Betrieb des Systems vereinbart:

- konstante Ausgangsspannung $U_0 = 400$ V
- Nenn-Ausgangsleistung $P_0 = 5$ kW
- weiter Eingangsspannungsbereich $U_{N,l-l,rms} = 208V...480V$ bzw. $U_{N,rms} = 120V...280V$
- sinusförmige Stromaufnahme mit Leistungsfaktor λ ~ 1, auch für den Fall von Netzspannungsunsymmetrien wie z.B. Ausfall einer Netzphase, Kurzschluss zwischen zwei Phasen oder Erdschluss einer Phase
- maximaler Einbruch der Ausgangsspannung von $\Delta U_0 = \pm 10\%$ bei Laständerungen und Netzspannungseinbrüchen bzw. –unsymmetrien
- Erfüllung der EMV-Funkstörnormen für Gleichtakt- und Gegentaktstörungen.
Kapitel 2 Funktionsweise

In diesem Kapitel wird die Grundfunktion des Buck+Boost-Konverters vorgestellt. Dabei wird zunächst auf den Buck-Eingangsteil eingegangen, es werden die Leitzustände des Systems analysiert und mittels der Raumzeigerrechnung, die sich für Hochsetzstellerstrukturen [14],[15] und auch 6-Schalter-Tiefsetzstellerstrukturen [16],[17],[18],[19] bereits bewährt hat, gezeigt, wie mit entsprechenden Einschaltdauern der Transistoren sinusförmige Eingangsströme in Phase mit den Eingangsspannungen erzeugt werden können. Danach wird kurz auf die Funktion des Boost-Ausgangsteiles eingegangen und abschliessend wird ausgehend von den Spezifikationen aus Kapitel 1 der Betriebsbereich für das Gesamtsystem gezeigt.

2.1 Buck-Eingangsteil

2.1.1 Grundsätzliche Betrachtungen

Der Buck-Eingangsteil des Buck+Boost-Konverters besteht wie in Abbildung 2.1 dargestellt im Wesentlichen aus drei Schaltern S_i , die hier vorzugsweise durch IGBTs realisiert werden, zwölf eingangsseitigen Dioden D_i und einer expliziten Freilaufdiode D_F . Da jeweils vier Dioden einer Phase mit einem IGBT in der Praxis in einem Leistungsmodul integriert sind (siehe Kapitel 3, werden diese Dioden in

Zukunft als Moduldioden bezeichnet. Auf die Freilaufdiode könnte prinzipiell verzichtet werden, sie erleichtert die Steuerung jedoch sehr, da für die Einstellung des Freilaufzustandes nicht unbedingt ein Schalter geschlossen bleiben muss.



Abbildung 2.1: Buck-Eingangsteil der Buck+Boost-Topologie

Für den Betrieb ist ausserdem am Eingang pro Phase je ein spannungseinprägender Filterkondensator C_{li} vorzusehen, der einen genügend grossen Wert aufweisen muss, damit der schaltfrequente Spannungsrippel am Eingang des Konverters noch eine korrekte Detektion des Eingangsspannungssektors zulässt (siehe Kapitel 4). Die Filterkondensatoren können prinzipiell wie in Abbildung 2.1 zwischen die Phasen in Dreieck geschaltet werden oder auch von den Phasen zu einem Sternpunkt. Durch die Schalthandlungen werden nun Ausschnitte aus den am Eingang des Konverters liegenden Spannungen, die im Mittel dem gewünschten Ausgangsspannungswert entsprechen, an den Zwischenkreis geschaltet. Durch Einschalten von allen drei Schaltern wird die momentan grösste verkettete Eingangsspannung am Zwischenkreis auftreten und wenn die Schalter zweier Phasen geschlossen sind, wird die verkettete Spannung zwischen diesen beiden Phasen an den Zwischenkreis geschaltet. Wenn mindestens zwei Schalter geöffnet sind, ist der Ausgangskreis vom Eingang getrennt und die Freilaufdiode leitet, d.h. es tritt keine Spannung am Zwisschenkreis auf. Im Mittel wird die Spannung am Ausgang gegenüber den verketteten Eingangsspannungen also verringert.

Analog zu den spannungseinprägenden Eingangskondensatoren muss sich am Ausgang des Buck-Gleichrichters eine stromeinprägende Induktivität L_0 liegen. Diese ist aus Gründen der Unterdrückung des Gleichtakt-Störpegels (siehe Kapitel 5) zu gleichen Teilen $L_{0+} = L_{0-}$ im positiven und negativen Pfad ausgeführt. Der in erster Näherung konstante DC-Strom *I* wird nun durch entsprechende Schaltzustände auf die drei Eingangsphasen verteilt.

Das Ziel der Modulation ist es, die Einschaltdauern derart einzustellen, dass die Eingangsströme nach Filterung schaltfrequenter Anteile sinusförmigen Verlauf in Phase mit den Eingangsphasenspannungen aufweisen und sich ein ohmsches Verhalten des Konverters

$$u_{N,i} \sim i_{N,i} \tag{2.1}$$

aus Sicht des Netzes ergibt.

Für die nun folgenden grundsätzlichen Betrachtungen sei angenommen, dass die Phasenspannungen des Netzes rein sinusförmigen Verlauf

$$u_{N,R} = \hat{U}_N \cos(\omega_N t)$$

$$u_{N,S} = \hat{U}_N \cos(\omega_N t - 2\pi/3)$$

$$u_{N,T} = \hat{U}_N \cos(\omega_N t + 2\pi/3)$$
(2.2)

aufweisen

und die Spannungsabfälle an den Filterinduktivitäten des Eingangsfilters (siehe Kapitel 5) und der schaltfrequente Rippel der Filterkondensatorspannungen vernachlässigbar sind, d.h.

$$u_{C1,i} \approx u_{N,i}, \qquad (2.3)$$

$$\hat{U}_{C1} \approx \hat{U}_N \tag{2.4}$$

gilt. Die Phasenverschiebung durch das Eingangsfilter wird also hier nicht berücksichtigt, was die Sachverhalte anschaulicher macht und keine Einschränkung der allgemeinen Gültigkeit nach sich zieht.

Für die Berechnung der relativen Einschaltdauern ist die momentane Eingangsspannungs-Situation von entscheidender Bedeutung. Abhängig von den Grössenverhältnissen der Phasenspannungen kann eine Netzperiode in 12 Sektoren unterteilt werden

Sektor 1:	$u_{C1,R} > 0 > u_{C1,S} > u_{C1,T}$	Sektor 7:	$u_{C1,T} > u_{C1,S} > 0 > u_{C1,R}$	
Sektor 2:	$u_{C1,R} > u_{C1,S} > 0 > u_{C1,T}$	Sektor 8:	$u_{C1,T} > 0 > u_{C1,S} > u_{C1,R}$	
Sektor 3:	$u_{C1,S} > u_{C1,R} > 0 > u_{C1,T}$	Sektor 9:	$u_{C1,T} > 0 > u_{C1,R} > u_{C1,S}$	(2,5)
Sektor 4:	$u_{C1,S} > 0 > u_{C1,R} > u_{C1,T}$	Sektor 10:	$u_{C1,T} > u_{C1,R} > 0 > u_{C1,S}$	(2.3)
Sektor 5:	$u_{C1,S} > 0 > u_{C1,T} > u_{C1,R}$	Sektor 11:	$u_{C1,R} > u_{C1,T} > 0 > u_{C1,S}$	
Sektor 6:	$u_{C1,S} > u_{C1,T} > 0 > u_{C1,R}$	Sektor 12:	$u_{C1,R} > 0 > u_{C1,T} > u_{C1,S}$	



Abbildung 2.2: Verlauf der Netzphasenspannungen und der verketteten Eingangsspannungen innerhalb einer Netzperiode und Unterteilung der Netzspannung in 12 Sektoren. Der grau schraffierte Bereich (Sektor 1) wird zur Analyse der Schaltzustände und für die Berechnung der Einschaltdauern herangezogen.

In Abbildung 2.2 sind die Phasenspannungen mit den entsprechenden $\pi/6$ -breiten Sektoren dargestellt. Diese Unterteilung wird allen Berechnungen der Einschaltdauern und den in Kapitel 4 beschriebenen Modulationsmethoden zu Grunde gelegt.

2.1.2 Schaltzustände

Im Folgenden wird ausgehend von den möglichen Schaltzuständen des Gleichrichters die Bildung des Sollraumzeigers des Eingangsstromes analysiert, woraus schliesslich die relativen Einschaltdauern abgeleitet werden. Zur Veranschaulichung werden die Zusammenhänge für eine Eingangsspannungs-Siuation $u_{CI,R} > 0 > u_{CI,S} >$ $u_{CI,T}$ (Sektor 1, siehe Abbildung 2.2) erläutert. Auf Grund der Symmetrie der Eingangsspannungen und der identen Struktur der drei Eingangsphasen des Konverters herrschen analoge Verhältnisse für die anderen Sektoren. Der Übersichtlichkeit halber wird also hier nur auf den Sektor 1 eingegangen und die Ergebnisse für die anderen Sektoren werden lediglich angegeben (siehe TABELLE 2.1).

Prinzipiell existieren aufgrund der drei Leistungsschalter $2^3 = 8$ mögliche Schaltzustände, die eine unterschiedliche Aufteilung der Ströme auf die Eingangsphasen zur Folge haben. Zunächst sei nur der Sektor 1 betrachtet und angenommen, der DC-Strom *I* wäre von der Induktivität konstant eingeprägt.

Die Schalterstellung¹ $s_j = (000)$, d.h. alle Transistoren sind im ausgeschalteten Zustand, bewirkt, dass sich das System im Freilaufzustand befindet und sämtliche Eingangsströme null sind (siehe Abbildung 2.3(a)), womit für den Stromraumzeiger

$$\underline{i}_{rec,(000)} = 0. \tag{2.6}$$

gilt. Ohne die Diode D_F wäre dieser Zustand nicht zulässig, da dann der DC-Strom schlagartig zu null werden müsste, was eine entsprechend hohe Überspannung zur Folge hätte.

¹ Die Schalterstellungen s_i der drei Leistungstransistoren S_i mit i = R, S, T werden in kompakter Form mit $s_j = (s_R s_S s_T)$ indiziert, wobei $s_i = 0$ bedeutet, dass der entsprechende Schalter ausgeschaltet ist; entsprechend befindet sich der Schalter S_i für $s_i = 1$ in leitendem Zustand.

Auch die Schalterstellungen $s_j = (100) = (010) = (001)$ bewirken einen Freilauf über die Diode D_F , da der Pfad über die Freilaufdiode geringere Vorwärtsspannung als der entsprechende Pfad mit einem Transistor und zwei Moduldioden aufweist (siehe Abbildung 2.3(b)-(d))

$$\underline{i}_{rec,(100)} = \underline{i}_{rec,(010)} = \underline{i}_{rec,(001)} = 0.$$
(2.7)

Wenn nun die Schalter der Phasen *R* und *S* geschlossen werden $s_j = (110)$, wird sich aufgrund $u_{CI,R} > u_{CI,S}$ wie in Abbildung 2.3(e) gezeigt ein Stromfluss von der Phase *R* über den Ausgangskreis zur Phase *S* einstellen. Mit der Definition des Raumzeigers

$$\underline{i}_{rec} = \frac{2}{3} (i_{rec,R} + e^{j2\pi/3} \cdot i_{rec,S} + e^{j4\pi/3} \cdot i_{rec,T})$$
(2.8)

erhält man für diesen Schalterzustand unter Berücksichtigung von $i_{rec,R} = I$ und $i_{rec,S} = -I$

$$\underline{i}_{rec,(110)} = I \cdot \frac{2}{\sqrt{3}} e^{-j\pi/6}.$$
(2.9)

Mit diesem Schaltzustand wird die verkettete Spannung $u_{CI,RS}$ in den Zwischenkreis geschaltet.

Analog erhält man für $s_j = (011)$, d.h. für leitenden Zustand der Schalter der Phasen *S* und *T* (siehe Abbildung 2.3(f)) einen Stromraumzeiger

$$\underline{i}_{rec,(011)} = I \cdot \frac{2}{\sqrt{3}} j, \qquad (2.10)$$

und aufgrund von $u_{CI,S} > u_{CI,T}$ entsteht einen Stromfluss von Phase *S* zur Phase *T* und eine Zwischenkreisspannung $u = u_{CI,ST}$.



Abbildung 2.3: Zusammenstellung sämtlicher möglicher Schalterstellungen und der daraus resultierenden Stromflüsse am Eingang bzw. der an den Ausgang geschalteten verketteten Eingangsspannungen.

Die grösste verkettete Spannung im Zwischenkreis, nämlich $u_{CI,RT}$, wird in diesem Sektor durch die Schaltzustände $s_j = (101) = (111)$ erzeugt. Dass beide Zustände (siehe Abbildung 2.3(g)-(h)) in diesem Sektor äquivalent sind, lässt sich leicht zeigen. Aufgrund von $u_{CI,R} > u_{CI,S}$ ist die Moduldiode $D_{S,+}$ in Sperrrichtung gepolt und wegen $u_{CI,S} > u_{CI,T}$ sperrt die Moduldiode $D_{S,-}$. Daher ist selbst bei geschlossenem Schalter S_S in der Phase S kein Stromfluss in positiver oder negativer Richtung möglich. Der Stromraumzeiger berechnet sich zu

$$\underline{i}_{rec,(101)} = \underline{i}_{rec,(111)} = I \cdot \frac{2}{\sqrt{3}} e^{j\pi/6}.$$
(2.11)

Damit sind alle acht möglichen Schaltzustände analysiert. Bei vier Schaltzuständen $(s_j = (000), (100), (010), (001))$ ist der Eingang des Konverters vom Ausgang getrennt und das System befindet sich im Freilaufzustand. Für die restlichen vier Schaltzustände $(s_j = (110), (011), (101), (111))$ stellt sich ein Stromfluss zwischen AC-Seite und DC-Seite ein, es wird Leistung an die DC-Seite geliefert. Daher werden diese vier Zustände im Folgenden als aktive Zustände bezeichnet.

2.1.3 Bildung des Soll-Stromraumzeigers

Der momentane Raumzeiger der Filterkondensatorspannungen \underline{u}_{C1} wird, wie vorhin erwähnt, in erster Näherung dem Eingangsspannungsraumzeiger mit dem Phasenwinkel $\varphi_N = \omega_N \cdot t$ und einer Amplitude gleich der Amplitude \hat{U}_N der Netzphasenspannungen gleichgesetzt $\underline{u}_{C1} \approx \underline{u}_N$ (2.3). Nun soll der gewünschte Netzstromraumzeiger \underline{i}_N^* in Phase mit der Eingangsspannung erzeugt werden. Wenn, wie eingangs erwähnt, die Phasenverschiebung des Eingangsfilters vernachlässigt wird, so ist die Grundschwingungskomponente des Eingangsstromraumzeigers $\underline{i}_{rec,(1)}^*$ genau gleich dem Netzstromraumzeiger \underline{i}_N^* . Der momentane Phasenwinkel φ_{C1} und der Betrag, d.h. die Amplitude der Gleichrichtereingangsphasenstromgrundschwingung $I_{rec,(1)}^*$ bzw. der Netzphasenstrom-Grundschwingung $I_{N,(1)}^*$ sind also direkt mittels der verfügbaren Raumzeiger einzustellen.



Abbildung 2.4: Darstellung der in Sektor 1 verfügbaren Stromraumzeiger und Bildung des Sollstromraumzeigers \underline{i}^*_{rec} .

In Abbildung 2.4 sind die in diesem Sektor verfügbaren Stromraumzeiger der aktiven Schaltzustände grafisch dargestellt. Man sieht, dass der gewünschte Soll-Stromraumzeiger durch die beiden benachbarten Raumzeiger $i_{rec,(110)}$ und $i_{rec,(101)} = i_{rec,(111)}$ eingestellt werden kann. Prinzipiell könnte auch der dritte Raumzeiger $i_{rec,(011)}$ verwendet werden, allerdings wäre dann nicht mehr der volle Aussteuergrad des Konverters (M = 0...1) möglich. Für geringe Ausgangsspannungen könnte dieses Verfahren eventuell von Interesse sein, da die Schaltverluste reduziert werden können. Aufgrund der in Kapitel 1 festgelegten Spezifikationen ist aber der maximale Aussteuergrad notwendig und es werden in dieser Arbeit daher stets die beiden benachbarten Stromraumzeiger zur Bildung des Soll-Stromraumzeigers herangezogen.

Um den Sollstromraumzeiger nun wie gewünscht zu bilden, müssen die relativen Einschaltdauern δ_{110} und $\delta_{101} = \delta_{111}$ der Raumzeiger $\underline{i}_{rec,(110)}$ und $\underline{i}_{rec,(101)} = \underline{i}_{rec,(111)}$ eine entsprechende relative Einschaltdauer innerhalb einer Pulsperiode aufweisen. Wenn ein Modulationsindex M < 1 realisiert werden soll, ist auch eine entsprechende Freilaufdauer δ_{FL} zu berücksichtigen.

2.1.4 Berechnung der Einschaltdauern

Der Berechnung des Soll-Stromraumzeigers werden folgende Annahmen zu Grunde gelegt:

• Der Buck-Konverter soll ohmsche Grundschwingungscharakteristik aufweisen, d.h. die Grundschwingungsanteile von Eingangsstrom und Eingangsspannung weisen keine Phasendifferenz auf:

$$\underline{i}_{rec,(1)} \sim \underline{u}_{C1,(1)}. \tag{2.12}$$

 Der lokale (auf eine Pulsperiode bezogene) Mittelwert der an den Ausgang des Buck-Gleichrichters geschalteten Spannung soll dem geforderten Wert u* entsprechen². Für den betrachteten Sektor 1 bedeutet das:

$$u^* = \delta_{101} \cdot u_{C1,RT} + \delta_{110} \cdot u_{C1,RS} \,. \tag{2.13}$$

• Die Summe der relativen Einschaltdauern (inklusive der Freilaufzeit) muss sich zu 1 ergänzen. Für den betrachteten Sektor folgt demnach:

$$\delta_{101} + \delta_{110} + \delta_{FL} = 1. \tag{2.14}$$

Damit können die relativen Einschaltdauern, die zur Realisierung des geforderten Stromraumzeigers notwendig sind, als Funktion der Eingangsspannungen und der gewünschten Ausgangsspannung berechnet werden.

In Phase *R* fliesst während der relativen Einschaltzeiten δ_{101} und δ_{110} der DC-Strom *I* in positiver Richtung, während in Phase *S* nur während δ_{110} und in Phase *T* nur während δ_{101} Strom in negative Richtung auftritt. Für die Gleichrichtereingangsströme gilt daher mit (2.12)

² Hier sei vorläufig nur der Buck-Konverter betrachtet, d.h. die Zwischenkreisspannung ist gleich der geforderten Ausgangsspannung, $u_0^* = u^*$. Wenn die geforderte Ausgangsspannung die maximal mögliche Zwischenkreisspannung übersteigt, kommt der Boost-Konverter zum Einsatz, siehe Kapitel 2.2.

$$i_{rec,R,(1)} = I \cdot (\delta_{101} + \delta_{110}) \qquad \sim u_{C1,R}$$

$$i_{rec,S,(1)} = -I \cdot \delta_{110} \qquad \sim u_{C1,S}$$

$$i_{rec,T,(1)} = -I \cdot \delta_{101} \qquad \sim u_{C1,T}$$
(2.15)

Unter Verwendung von (2.15) erhält man

$$\delta_{110} = \frac{u_{C1,S}}{u_{C1,T}} \cdot \delta_{101}.$$
 (2.16)

Durch Einsetzen von (2.16) in (2.13) ergibt sich die mittlere Zwischenkreisspannung

$$u^* = \delta_{101} \cdot \left(u_{C1,R} - u_{C1,T} + \frac{u_{C1,S}}{u_{C1,T}} (u_{C1,R} - u_{C1,S}) \right)$$
(2.17)

und daraus eine Beziehung für die relative Einschaltdauer δ_{101}

$$\delta_{101} = \frac{u^* \cdot u_{C1,T}}{u_{C1,R} \cdot u_{C1,T} - u_{C1,T}^2 + u_{C1,R} \cdot u_{C1,S} - u_{C1,S}^2}.$$
(2.18)

Mit

$$u_{C1,T} + u_{C1,S} = -u_{C1,R} \tag{2.19}$$

erhält man schliesslich

$$\delta_{101} = -\frac{u^*}{u_{C1,R}^2 + u_{C1,S}^2 + u_{C1,T}^2} \cdot u_{C1,T}$$

$$= -\frac{2}{3} \frac{u^*}{|\underline{u}_{C1}|^2} \cdot u_{C1,T}$$
(2.20)

Analog folgt für die Einschaltdauer δ_{110}

$$\delta_{110} = -\frac{u^*}{u_{C1,R}^2 + u_{C1,S}^2 + u_{C1,T}^2} \cdot u_{C1,S}$$

= $-\frac{2}{3} \frac{u^*}{|\underline{u}_{C1}|^2} \cdot u_{C1,S}$ (2.21)

Mit (2.14), (2.20) und (2.21) ergibt sich die relative Dauer des Freilaufzustandes zu:

$$\delta_{FL} = 1 - \delta_{101} - \delta_{110} =$$

$$= 1 + \frac{2}{3} \frac{u^{*}}{|\underline{u}_{C1}|^{2}} \cdot (u_{C1,S} + u_{C1,T})$$

$$= 1 - \frac{2}{3} \frac{u^{*}}{|\underline{u}_{C1}|^{2}} \cdot u_{C1,R} .$$
(2.22)

Der Aussteuergrad oder Modulationsgrad M des Konverters ist in den Gleichungen (2.20) - (2.22) implizit enthalten. Mit

$$M = \frac{2}{3} \cdot \frac{u^*}{|\underline{u}_{C1}|} \tag{2.23}$$

lassen sich die Gleichungen (2.20) - (2.22) zu

$$\delta_{101} = -M \cdot \frac{u_{C1,T}}{|\underline{u}_{C1}|}, \qquad (2.24)$$

$$\delta_{110} = -M \cdot \frac{u_{C1,S}}{|\underline{u}_{C1}|}, \qquad (2.25)$$

$$\delta_{FL} = 1 - M \cdot \frac{u_{C1,R}}{|\underline{u}_{C1}|} \tag{2.26}$$

umformen.

Für symmetrische, rein sinusförmige Netzverhältnisse ist der Betrag des Raumzeigers $|u_{CI}|$ gleich der Amplitude der Eingangsspannungen \hat{U}_{CI} , daher lautet die Definition des Modulationsindex dann

$$M = \frac{2}{3} \cdot \frac{u^*}{\hat{U}_N} \tag{2.27}$$

Mit (2.24) - (2.27) lassen sich die relativen Einschaltdauern δ_{101} und δ_{110} mit (2.2) und (2.3) als

$$\delta_{101} = -M \cdot \cos(\omega_N t + 2\pi/3) \tag{2.28}$$

und

$$\delta_{110} = -M \cdot \cos(\omega_N t - 2\pi/3) \tag{2.29}$$

angeben, besitzen also einen rein sinusförmigen Verlauf.

Für die übrigen Sektoren sind die Einschaltdauern der Transistoren und die Freilaufzeiten analog zu berechnen. Die Ergebnisse sind in TABELLE 2.1 zusammengefasst.

Um aus den relativen Einschaltdauern schlussendlich die Einschaltdauern der einzelnen Transistoren zu berechnen, muss festgelegt werden, wie der redundante aktive Zustand mit der grössten verketteten Eingangsspannung realisiert wird (im ersten Sektor ist dies $s_j = (101) = (111)$) und welcher der Schaltzustände $s_j = (000) =$ (100) = (010) = (001) als Freilaufzustand eingesetzt wird. Zusätzlich gibt es für die Anordnung der Zustände innerhalb der Pulsperiode mehrere Möglichkeiten. Dies wird in Verbindung mit den Überlegungen zur Modulation in Kapitel 4 geklärt.

Sektor	δ ₁₀₁	δ ₁₁₀	δ ₀₁₁	$\delta_{\rm FL}$		
1 + 12	$-M\cdot rac{u_{C1,T}}{ \underline{u}_{C1} }$	$-M\cdot rac{u_{C1,S}}{ \underline{u}_{C1} }$	-	$\delta_{FL} = 1 - M \cdot \frac{u_{C1,R}}{ \underline{u}_{C1} }$		
2+3	$M \cdot rac{u_{C1,R}}{\left \underline{u}_{C1} ight }$	-	$M \cdot \frac{u_{C1,S}}{ \underline{u}_{C1} }$	$\delta_{FL} = 1 + M \cdot \frac{u_{C1,T}}{ \underline{u}_{C1} }$		
4 + 5	-	$-M\cdot rac{u_{C1,R}}{\left \underline{u}_{C1} ight }$	$-M \cdot \frac{u_{C1,T}}{ \underline{u}_{C1} }$	$\delta_{FL} = 1 - M \cdot \frac{u_{C1,S}}{ \underline{u}_{C1} }$		
6 + 7	$M \cdot rac{u_{C1,T}}{\left \underline{u}_{C1} ight }$	$M \cdot rac{u_{C1,S}}{\left \underline{u}_{C1} ight }$	-	$\delta_{FL} = 1 + M \cdot \frac{u_{C1,R}}{ \underline{u}_{C1} }$		
8 + 9	$-M\cdot rac{u_{C1,R}}{ \underline{u}_{C1} }$	-	$-M \cdot \frac{u_{C1,S}}{ \underline{u}_{C1} }$	$\delta_{FL} = 1 - M \cdot \frac{u_{C1,T}}{ \underline{u}_{C1} }$		
10 + 11	-	$M \cdot \frac{u_{C1,R}}{ \underline{u}_{C1} }$	$M \cdot \frac{u_{C1,T}}{ \underline{u}_{C1} }$	$\delta_{FL} = 1 + M \cdot \frac{u_{C1,S}}{ \underline{u}_{C1} }$		

TABELLE 2.1

Relative Einschaltdauern der in den einzelnen Sektoren verfügbaren Raumzeiger

In jedem Fall ist die effektive Leitdauer der drei Transistoren im Fall symmetrischer Verhältnisse für alle Sektoren durch

$$\delta_{leit,SR} = M \cdot \frac{\left|\underline{u}_{C1,R}\right|}{\hat{U}_{C1}} \tag{2.30}$$

$$\delta_{leit,SS} = M \cdot \frac{\left|\underline{u}_{C1,S}\right|}{\hat{U}_{C1}} \tag{2.31}$$

$$\delta_{leit,ST} = M \cdot \frac{|\underline{u}_{C1,T}|}{\hat{U}_{C1}}$$
(2.32)

gegeben, wie sich anhand der Einschaltdauern aus TABELLE 2.1 leicht nachprüfen lässt.

2.2 Hochsetzsteller-Ausgangsteil

Der ausgangsseitige Boost-Konverter befindet sich wie in Abbildung 2.5 gezeigt zwischen der Induktivität L_0 und dem Kondensator C_0 . Da diese beiden passiven Bauelemente bereits als Ausgangsfilter der Tiefsetzsteller-Eingangsstufe vorhanden sind, besteht der Aufwand daher lediglich im Einfügen eines Schalters und einer Diode (siehe Abbildung 2.5). Seine Aufgabe ist es für den Fall, dass die geforderte Ausgangsspannung u_0^* die seitens der Tiefsetzsteller-Eingangsstufe maximal mögliche Zwischenkreisspannung u_{max} übersteigt

$$u_0^* > u_{\max},$$
 (2.33)

die Spannung am Ausgang entsprechend hochzusetzen. Das hierfür erforderliche Tastverhältnis berechnet sich aus dem Spannungsübersetzungsverhältnis

$$\frac{u_0^*}{u_{\max}} = \frac{1}{1 - \delta_B}$$
(2.34)

zu

$$\delta_B = 1 - \frac{u_{\text{max}}}{u_0^*}.$$
 (2.35)

Für deaktivierten Boost-Konverter

$$u_0^* \le u_{\max} \tag{2.36}$$

bleibt der Boost-Schalter S_B ständig geöffnet und trägt nicht zur Spannungsübersetzung des Konverters bei. Die Soll-Ausgangsspannung ist dann wie in (2.13) berechnet durch die mittlere Zwischenkreisspannung gegeben:

$$u_0^* = u^*. (2.37)$$



Abbildung 2.5: Topologie des ausgangsseitigen Hochsetzstellers.

2.3 Betriebsbereich des Buck+Boost-Konverters

Der Tiefsetzsteller und der Hochsetzsteller lassen sich nun wie in Abbildung 2.6 zu einem Konverter zusammenfügen. Die Induktivität L_0 (bzw. L_{0+} und L_{0-}) wird vom Buck- und vom Boost-Teil geteilt und am Eingang und Ausgang des Systems befinden sich nun spannungseinprägende Kondensatoren. Das Gesamtsystem kann damit Eingangsspannungen in einem weiten Bereich auf eine konstante Ausgangsspannung umsetzen bzw. könnte auch bei fester Eingangsspannung die Ausgangsspannung in einem weiten Bereich eingestellt werden.



Abbildung 2.6: Gesamtschaltung des Buck+Boost-Konverters, der sich aus der Zusammenschaltung der Buck-Gleichrichterstufe und des ausgangsseitigen DC-DC Boost-Konverters ergibt.

Zum Abschluss dieses Kapitels werden nun die Aussteuerbereiche sämtlicher Betriebsgrössen berechnet, um eine Basis für die nachfolgende Auslegung des Systems zu erhalten.

Der Aussteuergrad M des Buck-Konverters ist über (2.23) definiert, für symmetrische Netzbedingungen entspricht das

$$M = \frac{2}{3} \cdot \frac{U}{\hat{U}_N}.$$
 (2.38)

Unter Annahme eines verlustfreien Konverters lautet die Leistungsbilanz

$$P_0 = \frac{3}{2} \hat{U}_N \hat{I}_N = UI, \qquad (2.39)$$

somit ist das Verhältnis der ein- und ausgangsseitigen Ströme genau gleich dem Modulationsindex

$$M = \frac{\hat{I}_N}{I}.$$
 (2.40)

Mit

$$\hat{I}_{N,\max} = I \tag{2.41}$$

ist somit der Wertebereich des Modulationsindex bestimmt

$$M = 0...1. (2.42)$$

Im praktischen Betrieb wird der Buck-Konverter nicht bis an die Grenzen seines Übersetzungsverhältnisses ausgesteuert werden, da für den geregelten Betrieb des Konverters eine aktive Dämpfung (siehe Kapitel 6) eingesetzt wird, für die ein Teil des Aussteuergrades reserviert wird. Um eine dynamische Reserve von 10% für die aktive Dämpfung des Systems sicherzustellen, wird der Modulationsgrad auf

$$M = 0...M_{\rm max} = 0...0.9 \tag{2.43}$$

begrenzt. Wenn die Verluste im System vernachlässigt werden, lautet die Leistungsbilanz

$$P_N = \frac{3}{2} \hat{U}_N \hat{I}_N = UI = P, \qquad (2.44)$$

woraus sich mit (2.40) die Spannungsübersetzung zu

$$M = \frac{2}{3} \frac{U}{\hat{U}_N} = \frac{\sqrt{2}}{3} \frac{U}{U_{N,rms}}.$$
 (2.45)

ergibt. Die maximale Zwischenkreisspannung ist daher durch

$$U_{\max} = \frac{3}{\sqrt{2}} M_{\max} \cdot U_{N,rms}$$
(2.46)

gegeben.

Es sei nun gemäss den Spezifikationen in Kapitel 1 die Nennleistung $P_0 = 5$ kW, die gewünschte Ausgangsspannung $U_0 = 400$ V und der Eingangsspannungsbereich $U_{N,rms} = 120$ V...280V betrachtet.

Für genügend hohe Eingangsspannungen kann die gewünschte Ausgangsspannung nur mit dem Buck-Eingangsteil hergestellt werden und der Boost-Konverter muss nicht aktiviert werden. Die Grenze ist mit (2.46) durch

$$U_{N,rms}\Big|_{U_0=U_{\text{max}}} = \frac{\sqrt{2}}{3} \frac{U_0}{M_{\text{max}}} = 210\text{V}$$
(2.47)

gegeben.

Im reinen Buck-Betrieb nimmt der Aussteuergrad M des Buck-Konverters mit (2.45) die Werte

$$M = \frac{\sqrt{2}}{3} \frac{U}{U_{N,rms}} = \frac{\sqrt{2}}{3} \frac{400\text{V}}{210\text{V}...280\text{V}} = 0.67...0.9$$
(2.48)

an, während die Einschaltdauer des Boost Konverters stets gleich null ist:

$$\delta_B = 0. \tag{2.49}$$

Die Zwischenkreisspannung Ubleibt in diesem Bereich konstant auf

$$U = U_0 = 400 \,\mathrm{V}\,, \tag{2.50}$$

daher ist auch der DC-Strom I in der Induktivität konstant mit

$$I = \frac{P}{U} = \frac{5\text{kW}}{400\text{V}} = 12.5\text{A}.$$
 (2.51)

Die Eingangsstromamplitude \hat{I}_N wird auf Grund der konstanten Leistung mit grösserer Eingangsspannung kleiner,

$$\hat{I}_N = \frac{\sqrt{2}}{3} \frac{P_N}{U_{N,rms}} = \frac{\sqrt{2}}{3} \frac{5\text{kW}}{210\text{V}...280\text{V}} = 8.4\text{A}...11.2\text{A}, \qquad (2.52)$$

Im Buck+Boost-Betrieb, d.h. für Eingangsspannungen

$$U_{N,rms} < 210 \mathrm{V}$$
, (2.53)

bleibt die Aussteuerung des Buck-Konverters auf seinem maximalen Wert

$$M = M_{\rm max} = 0.9$$
 (2.54)

Die Zwischenkreisspannung U sinkt dabei für kleinere Eingangsspannungen auf

$$U = \frac{3}{\sqrt{2}} M_{\text{max}} \cdot U_{N,\text{rms}} = \frac{3}{\sqrt{2}} \cdot 0.9 \cdot (120\text{V}...210\text{V}) = 230\text{V}...400\text{V}, \qquad (2.55)$$

der Boost-Konverter muss daher mit (2.35) ein Tastverhältnis von

$$\delta_B = 1 - \frac{U}{U_0} = 1 - \frac{230 \text{V}...400 \text{V}}{400 \text{V}} = 0...0.43$$
(2.56)

aufweisen um weiterhin $U_0 = 400$ V zu halten. Der Strom *I* in der DC-Induktivität steigt für sinkende Zwischenkreisspannungen gemäss

$$I = \frac{P}{U} = \frac{5\text{kW}}{230\text{V}...400\text{V}} = 12.5\text{A}...21.7\text{A}; \qquad (2.57)$$

auf Grund des konstanten Aussteuergrades des Buck-Eingangsteiles vergrössert sich damit auch der Eingangsstrom:

$$\hat{I}_N = M \cdot I = 0.9 \cdot (12.5 \text{A}...21.7 \text{A}) = 11.3 \text{A}...19.5 \text{A}.$$
 (2.58)

Die Abhängigkeiten der Betriebsparameter von der Eingangsspannung sind in Abbildung 2.7 nochmals dargestellt. Auf dieser Grundlage kann im Weiteren das Design des Systems durchgeführt werden.



Abbildung 2.7: Abhängigkeit der Betriebsparameter von der Eingangsspannung.

Kapitel 3 Systemdesign

In diesem Kapitel werden sämtliche Betriebsgrössen für das System festgelegt. Dies sind im Wesentlichen der Typ und die Kennwerte der aktiven und passiven Bauteile des Systems sowie die Schaltfrequenz. Zunächst werden auf Basis der maximalen Beanspruchungen der Leistungshalbleiter des Systems die Komponenten ausgewählt. Das Schaltverhalten unter Verwendung der ausgewählten Halbleiter wird analysiert und die Schaltverluste in Abhängigkeit vom Arbeitspunkt des Konverters berechnet. Damit wird ein sinnvoller Bereich für die Schaltfrequenz ausgewählt und es werden die passiven Komponenten dimensioniert. Abschliessend kann der mit dieser Auslegung zu erwartende Gesamtwirkungsgrad des Konverters unter Berücksichtigung der Schalt- und Leitverluste, sowie der Verluste der passiven Komponenten berechnet werden.

3.1 Auswahl der Leistungshalbleiter

3.1.1 Strombelastung

Zur Auswahl der Leistungshalbleiter und zur späteren Berechnung der Leitverluste müssen die Mittel- und Effektivwerte der Ströme in den Leistungstransistoren und dioden ermittelt werden. Aufgrund der Dreiphasen-Symmetrie der Eingangsspannungen und der identen Struktur der drei Eingangsphasen des Konverters können die Betrachtungen auf eine Phase beschränkt werden. Wie im vorhergehenden Kapitel gezeigt wurde, ist die Leitdauer des Transistors S_R für alle Sektoren gemäss (2.30)

$$\delta_{leit,SR}(\varphi_{C1}) = M \cdot \frac{|u_{C1,R}|}{\hat{U}_{C1}} = M \cdot |\cos\varphi_{C1}|.$$
(3.1)

Für konstanten Zwischenkreisstrom I ergibt sich daraus der lokale Mittelwert

$$i_{SR,avg}(\varphi_{C1}) = I \cdot \delta_{leit,SR}(\varphi_{C1}) = I \cdot M \cdot \left|\cos\varphi_{C1}\right|$$
(3.2)

und schliesslich der globale Mittelwert des Transistorstromes über eine Netzperiode

$$I_{SR,avg} = I \cdot M \cdot \frac{1}{2\pi} \int_{0}^{2\pi} |\cos \varphi_{C1}| d\varphi_{C1} = \frac{2\hat{I}_N}{\pi}.$$
 (3.3)

Der lokale Effektivwert des Transistorstromes lässt sich mit

$$i_{SR,rms}^{2}(\varphi_{C1}) = I^{2} \cdot \delta_{leit,SR}(\varphi_{C1}) = I^{2} \cdot M \cdot \left|\cos\varphi_{C1}\right|$$
(3.4)

berechnen, also durch Multiplikation des lokalen Mittelwertes (3.2) mit dem konstanten Wert *I*. Ebenso erhält man den globalen Effektivwert über Multiplikation des globalen Mittelwertes mit *I*:

$$I_{SR,rms}^{2} = I^{2} \cdot M \cdot \frac{1}{2\pi} \int_{0}^{2\pi} \left| \cos \varphi_{C1} \right| d\varphi_{C1} = \frac{2\hat{I}_{N}^{2}}{M \cdot \pi}.$$
(3.5)

Die Moduldioden D_{R,N^+} und D_{R^+} haben aus Symmetriegründen in sechs der zwölf Sektoren dieselbe Leitdauer $\delta_{leit,SR}$ wie der Transistor S_R und führen während der übrigen Sektoren keinen Strom. Für die beiden Moduldioden D_{R,N^-} , D_{R^-} gilt dasselbe in umgekehrter Form. Daher sind die globalen Mittelwerte und die Quadrate der globalen Effektivwerte aller Moduldioden über eine Netzperiode

$$I_{DM,avg} = I \cdot M \cdot \frac{1}{2\pi} \int_{0}^{\pi} |\cos \varphi_{C1}| d\varphi_{C1} = \frac{\hat{I}_{N}}{\pi}.$$
 (3.6)

$$I_{DM,rms}^{2} = I^{2} \cdot M \cdot \frac{1}{2\pi} \int_{0}^{\pi} |\cos \varphi_{C1}| d\varphi_{C1} = \frac{\hat{I}_{N}^{2}}{M \cdot \pi}.$$
(3.7)

Die Freilaufdiode wird im ersten Sektor dann leitend, wenn der Transistor S_R nicht leitet, d.h.

$$\delta_{leit,DF}(\varphi_{C1}) = 1 - M \cdot \frac{|u_{C1,R}|}{\hat{U}_{C1}} = 1 - M \cdot |\cos\varphi_{C1}|.$$
(3.8)

Der lokale Mittelwert des Freilaufdioden-Stromes im Sektor 1 ist also

$$i_{DF,avg}(\varphi_{C1}) = I \cdot \delta_{leit,DF}(\varphi_{C1}) = I \cdot \left(1 - M \cdot \left|\cos\varphi_{C1}\right|\right)$$
(3.9)

und das Quadrat des lokalen Effektivwertes

$$i_{DF,rms}^{2}(\varphi_{C1}) = I^{2} \cdot \delta_{leit,SR}(\varphi_{C1}) = I^{2} \cdot (1 - M \cdot |\cos \varphi_{C1}|).$$
(3.10)

Aufgrund der Symmetrie der drei Phasen wiederholt sich der Verlauf von $i_{DF,avg}$ und $i_{DF,rms}$ für alle folgenden Sektoren Der globale Mittelwert und das Quadrat des globalen Effektivwertes können daher durch Mittelung über den ersten Sektor gefunden werden:

$$I_{DF,avg} = I \cdot \frac{6}{\pi} \int_{0}^{\pi/6} \left(1 - M \cdot \left| \cos \varphi_{C1} \right| \right) d\varphi_{C1} = I - \frac{3\hat{I}_N}{\pi} = \hat{I}_N \left(\frac{1}{M} - \frac{3}{\pi} \right), \quad (3.11)$$

$$I_{DF,rms}^{2} = I^{2} \cdot \frac{6}{\pi} \int_{0}^{\pi/6} \left(1 - M \cdot \left| \cos \varphi_{C1} \right| \right) d\varphi_{C1} = \hat{I}_{N}^{2} \left(\frac{1}{M^{2}} - \frac{3}{M \cdot \pi} \right).$$
(3.12)

Die so gefundenen analytischen Beziehungen für die Mittel- und Effektivwerte der Ströme in den Halbleitern des Buck-Eingangsteils sind in Abbildung 3.1 zusammengefasst.



Abbildung 3.1: Mittelwerte und Effektivwerte der Ströme der Leistungshalbleiter des Eingangsteiles.

Für den Boost-Ausgangsteil lassen sich die Strombelastungen einfach berechnen. Der Mittelwert des Stromes im Boost-Schalter S_B ist direkt vom Tastverhältnis δ_B abhängig

$$I_{SB,avg} = I \cdot \delta_B. \tag{3.13}$$

Mit dem Stromübersetzungsverhältnis des Boost-Konverters

$$\frac{I}{I_0} = \frac{U_0}{U} = \frac{1}{1 - \delta_B}$$
(3.14)

ergibt sich die Abhängigkeit des Mittelwerts des Stromes im Boost-Transistor vom Ausgangsstrom I_0

$$I_{SB,avg} = I_0 \cdot \frac{\delta_B}{1 - \delta_B}.$$
(3.15)

Das Stromeffektivwertquadrat berechnet sich zu

$$I_{SB,rms}^2 = I^2 \cdot \delta_B = I_0^2 \cdot \frac{\delta_B}{\left(1 - \delta_B\right)^2}.$$
(3.16)

Analog dazu können schließlich auch der Mittelwert und das Quadrat des Effektivwertes des Stromes in der Boost-Diode D_B ermittelt werden

$$I_{DB,avg} = I \cdot (1 - \delta_B) = I_0 \tag{3.17}$$

$$I_{DB,rms}^{2} = I^{2} \cdot (1 - \delta_{B}) = I_{0}^{2} \cdot \frac{1}{(1 - \delta_{B})}.$$
(3.18)

Die analytischen Beziehungen für die Strombeanspruchung der Bauelemente des Boost-Konverters sind in Abbildung 3.2 grafisch zusammengefasst.



Abbildung 3.2 Mittelwerte und Effektivwerte der Strombelastungen der Leistungshalbleiter der Boost-Ausgangsstufe des Buck+Boost-Konverters.

Die Abhängigkeit der Strommittel- und Stromeffektivwerte der Leistungshalbleiter von der Eingangsspannung $U_{N,l-l,rms}$ ist in Abbildung 3.3 gezeigt. Die für die Dimensionierung relevanten Maximalwerte, die an einer der beiden Grenzen des Eingangsspannungsbereiches auftreten, sind in TABELLE 3.1 zusammengefasst.



Abbildung 3.3: Abhängigkeit der Mittel- und Effektivwerte der Strombelastungen in den Leistungshalbleitern von der Eingangsspannung.

TABELLE 3.1

Zusammenfassung der Minimal- und Maximalwerte der Strombelastungen der Halbleiter für minimale und maximale Eingangsspannung

U _{Nl-l,rms}	М	δ	\hat{I}_N	I _{Si,avg}	I _{Si,rms}	I _{Di,avg}	I _{Di,rms}	I _{DF,avg}	I _{DF,rms}	I _{SB,avg}	I _{SB,rms}	I _{DB,avg}	I _{DB,rms}
V	-	-	Α	Α	Α	А	Α	Α	Α	Α	Α	Α	Α
208	0.9	0.43	19.5	12.5	16.5	6.2	11.6	3	8.1	9.4	14.4	12.5	16.5
480	0.67	0	8.4	5.3	8.2	2.7	5.8	4.5	7.5	0	0	12.5	12.5

3.1.2 Sperrspannungsbeanspruchung

Es werden nun die maximalen Sperrspannungsbeanspruchungen der Leistungshalbleiter ermittelt um schliesslich eine Auswahl der Komponenten treffen zu können. Dafür ist es wieder ausreichend, lediglich den ersten Eingangsspannungssektor zu betrachten, da sich die Verhältnisse aufgrund der Phasensymmetrie für die folgenden Sektoren wiederholen. In Abbildung 3.4 sind die in Sektor 1 auftretenden Schaltzustände $s_j = (101)$, (110) und (010) des Buck-Eingangsteiles dargestellt³. Dabei sind die jeweils an den Halbleitern auftretenden Sperrspannungen eingezeichnet.

Die Maxima der verketteten Eingangsspannungen betragen im Sektor 1 ($\varphi_{C1} = 0...\pi/6$) gemäss Abbildung 3.4

$$u_{C1,RT,\max,0...\pi/6} = u_{C1,RT} \Big|_{(\varphi_{C1} = \pi/6)} = \sqrt{3} \cdot \hat{U}_{C1} = 679 \,\mathrm{V} \,, \tag{3.19}$$

$$u_{C1,RS,\max,0...\pi/6} = u_{C1,RS} \Big|_{(\varphi_{C1}=0)} = 1.5 \cdot \hat{U}_{C1} = 588 \text{V},$$
 (3.20)

$$u_{C1,ST,\max,0...\pi/6} = u_{C1,ST} \Big|_{(\varphi_{C1} = \pi/6)} = \frac{\sqrt{3}}{2} \cdot \hat{U}_{C1} = 339 \text{V}, \qquad (3.21)$$

daraus ergeben sich die maximalen Sperrspannungen für die Halbleiter:

$$U_{\max,Si} = u_{C1,RS,\max,0...\pi/6} = 1.5 \cdot \hat{U}_{C1} = 588 \text{V},$$
 (3.22)

$$U_{\max,Di,N\pm} = u_{C1,RS,\max,0...\pi/6} = 1.5 \cdot \hat{U}_{C1} = 588 \text{V}, \qquad (3.23)$$

$$U_{\max,Di\pm} = u_{C1,RT,\max,0...\pi/6} = \sqrt{3} \cdot \hat{U}_{C1} = 679 \,\mathrm{V} \,, \qquad (3.24)$$

$$U_{\max,DF} = u_{C1,RT,\max,0...\pi/6} = \sqrt{3} \cdot \hat{U}_{C1} = 679 \,\mathrm{V} \,. \tag{3.25}$$

Unter Berücksichtigung von Schaltüberspannungen, die in der Praxis bei hoher Schaltgeschwindigkeit Werte von etwa $\Delta U = 150$ V annehmen können, sind daher Bauelemente mit einer Sperrspannungsfestigkeit von zumindest 900V auszuwählen.

³ Unter Vorgriff auf das schlussendlich verwendete schaltverlustoptimale Verfahren SLO (siehe Kapitel 4) werden hier nur diese drei Schalterkombinationen untersucht.

Der Transistor und die Diode des Boost-Teiles sind bei einer Ausgangsspannung von $U_0 = 400$ V mit einer Nennsperrspannung von

$$U_{\max,SB} = U_{\max,DB} = U_0 = 400$$
 (3.26)

belastet, daher kann bei der Auswahl der Komponenten unter Berücksichtigung von Schaltüberspannungen auf Halbleiter mit 600V Sperrspannungsfestigkeit zurückgegriffen werden.



Abbildung 3.4: Sperrspannungen an den Halbleitern für die drei im Sektor 1 auftretenden Schaltzustände. Wenn an einem Halbleiter keine Sperrspannung eingezeichnet ist, ist diese Null.

3.1.3 Auswahl der Leistungshalbleiter

Mit den in den vorhergehenden Abschnitten ermittelten Strom- und Spannungsbelastungen können nun die Halbleiter ausgewählt werden. Für die Realisierung eines Brückenzweiges des Buck-Eingangsteiles wurden der Transistor und die vier Dioden in einem Leistungsmodul integriert [20]. Dies ermöglicht im Vergleich zu diskreter Realisierung eine weitaus kompaktere Bauweise. Das Leistungsmodul ist in Abbildung 3.5 gezeigt. Auf Grund der hohen Strombelastung bei kleiner Eingangsspannung wurden hier zur Aufteilung des Stromes zwei IGBTs parallel geschaltet. Die verwendeten Komponenten sind in zusammengefasst. Weitere Details sind in den Datenblättern ersichtlich [21],[22],[23]. Da am Boost-Schalter als maximale Sperrspannung die Ausgangsspannung auftritt, kann ein 600V-MOSFET-Schalter verwendet werden.

Die verwendeten Halbleiter-Komponenten sind in TABELLE 3.2 aufgelistet.



Abbildung 3.5: Schaltschema (links), internes Layout (Mitte) und Gehäuse des Leistungsmoduls zur Integration sämtlicher Leistungshalbleiter eines Brückenzweiges.

TABELLE 3.2

Für die Realisierung des Leistungsteiles verwendete Halbleiter-Komponenten

Komponente	Spezifikationen				
Modul-IGBT S _i	IGBT - MODUL VUI31-12N1, 1200V, 65A $U_{CE0} = 1$ V, $r_{CE} = 60$ m Ω ,				
Modul-Dioden D _i ,	Diode - MODUL VUI31-12N1, 1200V, 25A $U_F = 1.65$ V, $r_D = 18$ m Ω ,				
Diode D _F	RHRP30120 , 1200V, 30A $U_F = 0.97$ V, $r_D = 24$ m Ω $k_{I,rr} = 5\mu$ J/A				
Boost-MOSFET S _B	SPW47N60C3, 600V, 47A $R_{DS,ON} = 70$ mΩ $k_{I,on} = 39$ µJ/A, $k_{I,off} = 8.3$ µJ/A				
Boost-Diode D _B	30EPH06, 600V, 30A $U_F = 0.67$ V, $r_D = 150$ m Ω $k_{I,rr} = 3.2 \mu$ J/A				

3.2 Analyse des Schaltverhaltens

In diesem Abschnitt soll näher auf das Schaltverhalten der Leistungshalbleiter des Buck-Eingangsteiles eingegangen werden. In Verbindung damit ist die Analyse der Verdrahtungsinduktivitäten innerhalb des Moduls und zwischen den Phasen auf der Leiterplatte wichtig, da diese Induktivitäten bei den Kommutierungsvorgängen wesentlich die auftretenden Überspannungen bestimmen. Anschliessend werden die Gate-Vorwiderstände für Ein- und Ausschalten der Schalter so ausgewählt, dass geringe Schaltüberspannungen und –ströme sichergestellt werden. Das Ziel der dann folgenden Schaltverlustmessungen ist es, die auftretenden Schaltverluste in Abhängigkeit vom Arbeitspunkt, d.h. als Funktion der geschaltete Spannung und des geschalteter Stroms zu ermitteln. Das Wissen über die Schaltverluste dient schliesslich als Basis für die Wahl der Schaltfrequenz, wobei versucht wird einen Kompromiss zwischen hoher Leistungsdichte (bei hoher Schaltfrequenz auf Grund kleinerer passiver Komponenten) und hohem Wirkungsgrad (bei niedriger Schaltfrequenz auf Grund geringerer Schaltverluste) zu erreichen.

3.2.1 Analyse des Leistungsmoduls

Die Verwendung von Leistungsmodulen hat im Wesentlichen drei Vorteile gegenüber diskreter Realisierung:

- Kompaktere Bauform im vorliegenden Fall würden diskrete Elemente in TO247-Gehäusen fast den doppelten Platzbedarf aufweisen.
- Einfachere Bestückung (Einzelhalbleiter des Moduls sind gegenüber der Montagefläche isoliert) und damit geringere Kosten – der gesamte Buck-Eingangsteil besteht nur mehr aus drei Modulen und einer Freilaufdiode.
- Geringere Verdrahtungsinduktivitäten und damit geringere Schaltüberspannungen

Demgegenüber stehen folgende Nachteile:

- Bei Fehlfunktion eines Elementes muss das gesamte Modul ausgetauscht werden
- Oft sind nicht die Halbleiter der aktuellsten Technologie in Modulform verfügbar, was geringfügige Einbussen im Wirkungsgrad nach sich zieht.

Aus letzterem Grund wird in Kapitel 8 für die Bewertung des Systems neben der Realisierung mit Leistungsmodulen auch eine Realisierung mit diskreten Halbleiterelementen neuester Technologie betrachtet.

Um die inneren Verdrahtungsinduktivitäten zwischen den Anschlüssen des Moduls zu analysieren, kann dies nicht durch Messung an einem geschlossenen Modul mittels eines herkömmlichen Impedanzanalysators bewerkstelligt werden, da zwischen sämtlichen Anschlüssen Leistungsdioden im Sperrzustand liegen. Daher wurden an einem offenen, nicht bestückten Modul die entsprechenden Bonding-Verbindungen wie in Abbildung 3.6 gemäss der Original-Anordnung gelegt. Somit konnten die Kommutierungswege mittels Impedanzanalysator [29] leicht ausgewertet werden.

Falls die Module nicht in offener Form verfügbar wären, müsste die Messung mittels eines Impedanzanalysators mit integrierter Gleichstromquelle, mit der die Dioden leitfähig gemacht werden, durchgeführt werden. Eine weitere Möglichkeit wäre eine Messung in einem Resonanzkreis, bei der aus der Schwingfrequenz auf die Kommutierungsinduktivität geschlossen werden könnte. In jedem Fall können Verfahren, wie sie zur Ermittlung von parasitären Parametern für Module, die nur Transistoren enthalten [24],[25], nicht verwendet werden.



Abbildung 3.6: Offenes Leistungsmodul ohne Leistungshalbleiter. Die Bonding-Verbindungen im linken Bild entsprechen dem positiven Pfad $(5\rightarrow 2)$, rechts sind die Verbindungen für den negativen Pfad $(1\rightarrow 5)$ gelegt.

Wenn nun eine Phase mit der positiven Zwischenkreisschiene verbunden wird (wie z.B. die Phase *R* während δ_{101} und δ_{110} im ersten Sektor), so ist der Pfad vom Anschluss 5 über die Diode D_{N+} , die IGBTs *S* und die Diode D_+ bis zum Anschluss 2 für die Bestimmung der Induktivität relevant. Die Länge dieses Pfades misst 90mm und der gemessene Induktivitätswert beträgt $L_{Modul,5-2} = 33.7$ nH (siehe Abbildung 3.7). Für den Anschluss der Eingangsphase mit der negativen Zwischenkreisschiene (wie z.B. für die Phase *S* während δ_{110} bzw. für die Phase *T* während δ_{101} im ersten Sektor) muss der Pfad vom Anschluss 1 über die Diode D_- , die IGBTs *S* und die Diode D_N ausgewertet werden. Die Ergebnisse sind sehr ähnlich, die Länge beträgt hier 92mm und die Induktivität $L_{Modul,1-5} = 37.6$ nH (siehe Abbildung 3.8).



Abbildung 3.7: Induktivitätsverlauf des offenen Moduls zwischen den Anschlüssen 5 und 2.



Abbildung 3.8: Induktivitätsverlauf des offenen Moduls zwischen den Anschlüssen 1 und 5.

3.2.2 Analyse des PCB-Layouts

Nun werden die Kommutierungspfade auf der Leiterplatte näher analysiert. Grundlage hierfür ist das Layout des ersten Prototyps, wie er in Kapitel 7 kurz beschrieben ist.

Wenn ein Schalter in einem stromführenden Pfad ausgeschaltet wird, so muss der Strom entsprechend der Spannungssituation in einen anderen Pfad kommutieren. In Abbildung 3.9 (links) ist das für das Ausschalten des Transistors S_R und die entsprechende Kommutierung des Stromes *I* in den Zweig *S* gezeigt (wie sie in Sektor 2 auftritt). Beim Kommutierungsvorgang muss der Strom *I* die Induktivität der schraffierten Fläche überwinden, welche es nun zu messen gilt. Abbildung 3.9 (rechts) zeigt noch die Kommutierung zwischen einem aktiven Zustand (Phasen *S* und *T* leitend, wie sie ebenfalls in Sektor 2 auftritt) in den Freilaufzustand.



Abbildung 3.9: Auf der Printplatte eingeschlossene Flächen während der Kommutierung zwischen zwei aktiven Zuständen (links, für den Übergang $\delta_{101} \rightarrow \delta_{011}$) bzw. von einem aktiven Zustand in den Freilauf (rechts, für den Übergang $\delta_{011} \rightarrow \delta_{010}$).

Soll die Verdrahtungsinduktivität ausgewertet werden, so muss dies an der Printplatte ohne Bestückung der Module durchgeführt werden. Für die Messung der Induktivität $L_{RT \rightarrow ST}$ (siehe Abbildung 3.9) muss daher wie in Abbildung 3.10 gezeigt ein Modul überbrückt werden und am anderen Modul gemessen werden. Für den in Abbildung 3.9(a) gezeigten Fall sind die Eingangsphasen *R* und *S* jeweils mit der positiven Zwischenkreisschiene verbunden werden, daher sind als Anschlusspunkte die Anschlüsse 2 und 5 der Module zu wählen



Abbildung 3.10: Setup zur Messung der Kommutierungsinduktivität $L_{RT \rightarrow ST}$.

Der Kurzschluss des Moduls der Phase S wird hier durch eine leitende Drahtverbindung bewerkstelligt, die natürlich mit ihrer Induktivität L_a ebenfalls zur gemessenen Gesamtinduktivität beiträgt. Diese kann jedoch, wie gleich gezeigt wird, in der Kalibrierung kompensiert werden.

Der Impedanzanalysator stellt einen Messadapter zur Verfügung, dessen bewegliche Ground-Verbindung (siehe Abbildung 3.11 links) die Messung von kleinen Induktivitätswerten wie im vorliegenden Fall jedoch beträchtlich beeinflusst. Daher wurde eine spezielle Adapterspitze konstruiert (siehe Abbildung 3.11 rechts), deren Länge fix ist und exakt dem Abstand der Modulanschlüsse 2 bis 5 entspricht (für die Messung zwischen den Anschlüssen 1 und 5 wurde ein weiterer Adapter konstruiert).



Abbildung 3.11: Messung der Kommutierungsinduktivitäten mittels speziellem, auf die Messdistanz angepassten Messadapter (rechts) statt des beweglichen Messgrounds (links).

Die Kalibrierung kann nun wie in Abbildung 3.12 gezeigt erfolgen: Zunächst wird separat die Messung einer Drahtverbindung mit diesem Messadapter durchgeführt. Damit wird die Induktivität L_b der von Messadapter und Drahtverbindung eingeschlossenen Schleife ermittelt. Dies entspricht dem Induktivitätswert L_a , der bei der Messung gemäss Abbildung 3.10 zusätzlich zur Induktivität der Leiterbahn auftritt. Wird der Induktivitätswert L_b mittels Kalibrierung auf Null abgeglichen, so kann mit der nachfolgenden Messung (Abbildung 3.12 rechts) an den Modulanschlüssen der Phase R und bei Kurzschluss des Moduls der Phase S rein der Induktivitätswert der Leiterbahn ermittelt werden.



Abbildung 3.12: Setup zur Kalibrierung der Messung der Kommutierungsinduktivitäten.
Auf diese Weise können sämtliche Kommutierungsinduktivitäten zwischen zwei Phasen und von zwei Phasen zur Freilaufdiode gemessen werden. Um eine möglichst gute Phasensymmetrie und gleichmässige Aufteilung der Schaltverluste zu erreichen, wurde beim Layout speziell darauf geachtet, möglichst gleiche Verhältnisse für alle drei Phasen zu erzielen. In Abbildung 3.13 ist die Leiterplatte abgebildet und die Positionen der Leistungsmodule sowie der Kondensatoren ist eingezeichnet. Naturgemäss ist eine perfekte Symmetrie der Leiterbahnen der drei Phasen für eine Leiterplatte mit nur zweifacher Beschichtung nur bedingt möglich, eine Verbesserung kann hier durch ein Multi-Layer-Board erzielt werden. Daher wurde für das in Kapitel 7 vorgestellte Redesign des Konverters ein 6-fach-Multi-Layer-Board verwendet.



Abbildung 3.13: Unbestückte Leiterplatte des ersten Hardware-Prototyps, an dem die Induktivitätsmessungen durchgeführt wurden (Ansicht von oben).

Nichtsdestotrotz weichen die gemessenen Induktivitätswerte für die diversen Kommutierungsvorgänge nicht allzu stark voneinander ab, wie in TABELLE 3.3 ersichtlich ist. Die Messwerte wurden bei einer Frequenz von 10MHz ermittelt. Die drei Filterkondensatoren wurden dabei bestückt, d.h. explizit in der Messung berücksichtigt. Wenn die Filterkondensatoren kurzgeschlossen werden, ergeben sich durchwegs um etwa 10nH über den in TABELLE 3.3 liegende Messwerte, da die Kondensatoren in diesem Bereich (die Resonanzfrequenz der Kondensatoren liegt bei $f_{res,C} = 900$ kHz) schon induktives Verhalten zeigen. In Abbildung 3.14 ist beispielhaft der Induktivitätsverlauf von $L_{RT \rightarrow ST}$ dargestellt.

Es zeigt sich eine klare Abhängigkeit der Verdrahtungsinduktivität von der Länge der Leiterbahn. Die längenspezifischen Induktivitätswerte liegen im Bereich

$$L_{PCB} = (0.37...0.44) \text{nH/mm},$$
 (3.27)

Eine Mittelung über alle Induktivitätswerte ergibt den mittleren längenspezifischen Induktivitätswert:

$$L_{PCB,avg} = 0.4 \,\mathrm{nH/mm}\,,\tag{3.28}$$

TABELLE 3.3

An der Leiterplatte gemessene Induktivitätswerte und entlang der Leiterbahn gemessenen Längen für sämtliche Kommutierungen während der 12 Sektoren

Sektor	Übergang	Länge (mm)	Induktivität (nH)	Übergang	Länge (mm)	Induktivität (nH)
1	RT↔RS	253	94.1	RS↔FL	298	119.5
2	RT↔ST	266	99.9	ST↔FL	287	109.8
3	ST↔RT	266	99.9	RT↔FL	352	156.5
4	ST↔SR	312	131.6	SR↔FL	304	124.9
5	SR↔ST	312	131.6	ST↔FL	287	109.8
6	SR↔TR	247	92.3	TR↔FL	344	144.2
7	TR↔SR	247	92.3	SR↔FL	304	124.9
8	TR↔TS	269	102.0	TS↔FL	283	106.1
9	TS↔TR	269	102.0	TR↔FL	344	144.2
10	TS↔RS	304	128.7	RS↔FL	298	119.5
11	RS↔TS	304	128.7	TS↔FL	283	106.1
12	RS↔RT	253	104.1	RT↔FL	352	156.5



Abbildung 3.14: Induktivitätsverlauf der Kommutierungsinduktivität $L_{RT \rightarrow ST}$.

Die gefundenen Werte für die Verdrahtungsinduktivitäten auf der Leiterplatte sowie innerhalb der Module beeinflussen wie gesagt den Kommutierungsvorgang und damit die entstehende Schaltüberspannung und infolgedessen wiederum die entstehenden Schaltverluste. Der Zusammenhang zwischen Induktivitätswert und Schaltüberspannung wird hier abschliessend noch an einem Beispiel gezeigt.

Zunächst sei der Ausschaltvorgang der Phase *R* in Abbildung 3.15 (links) betrachtet. Es findet hier eine Kommutierung von der Phase *R* zur Phase *S* statt, wie sie in Abbildung 3.9 (links) gezeigt wurde. Zum Zeitpunkt des Spannungsmaximum können eine Schaltüberspannung von $\Delta U = 90$ V und eine Stromabfallsrate von *di/dt* = 520A/µs gemessen werden. Dies ergibt eine Induktivität von

$$L_{R,off} = \frac{\Delta U}{di/dt} = \frac{80\text{V}}{467\text{A}/\mu\text{s}} = 171.4\text{nH}.$$
 (3.29)

Für das Wiedereinschalten der Phase *R* in Abbildung 3.15 (rechts) kann die Stromanstiegsrate etwa in der Mitte des Kommutierungsvorganges sehr gut ausgewertet werden. Hier ist die Sperrspannung schon von 375V auf 240V reduziert und die Stromanstiegsrate ist hier di/dt = 833A/µs, daher errechnet sich die Induktivität zu

$$L_{R,on} = \frac{\Delta U}{di/dt} = \frac{375\text{V} - 240\text{V}}{833\text{A}/\mu\text{s}} = 162.1\text{nH}.$$
 (3.30)

Im Vergleich dazu erhält man mit den Ergebnissen aus den beschriebenen Messungen des Moduls und der Leiterplatte für beide Kommutierungsvorgänge

$$L_R = L_{RT \to ST} + 2 \cdot L_{Modul, 5 \to 2} = 167.3 \text{nH}, \qquad (3.31)$$

also eine sehr gute Übereinstimmung.



Abbildung 3.15: Strom- und Spannungsverläufe für den Ausschaltvorgang (links) bzw. Einschaltvorgang (rechts) zur Verifizierung der Induktivitätsmessungen an der Printplatte (Spannungen 100V/Div, Ströme 10A/Div, Leistungen 10kW/Div, Zeitskala 200ns/Div).

3.2.3 Setup für die Schaltverlustmessungen

Um die Schaltverlustenergien in Abhängigkeit der geschalteten Spannungen und des geschalteten Stromes zu ermitteln, wurde das in Abbildung 3.17 dargestellte Setup verwendet. Anstatt der drei Phasenspannungen werden die Werte der zu schaltenden verketteten Eingangsspannungen mittels zwei DC-Spannungsquellen fix eingestellt. Es wurde die zwischen den Phasen *R* und *T* betriebsmässig maximal auftretenden Spannung

$$u_{RT} = 750 \text{V}$$
 (3.32)

68

eingestellt ($\hat{U}_{N,l-l,max}$ +10% = 750V) und verschiedene Werte für die verkettete Spannung u_{RS} betrachtet

$$u_{RS} = 0V...750V$$
 (3.33)

Damit kann der gesamte Spannungsbereich (vgl. Abbildung 2.7) für die Kommutierung zwischen zwei Phasen und für die Kommutierung zwischen einem aktiven Zustand und dem Freilaufzustand untersucht werden.



Abbildung 3.16: Setup für die Schaltverlustmessungen mit DC-Spannungsquellen anstatt der Netzspannungen. Die Sperrschicht-Temperatur wird über den Heizwiderstand R_T eingestellt.



Abbildung 3.17: Für die Schaltverlustmessungen verwendetes Pulsmuster.

Es wurde das Pulsmuster aus Abbildung 3.17 verwendet. Da mit (3.32) und (3.33) stets $u_R \ge u_S \ge u_T$ gilt, sind während der Zeit t_{rise} (siehe. Abbildung 3.17) die Phasen R und T stromführend und der DC-Strom steigt in erster Näherung linear mit

$$\frac{d}{dt}I = \frac{u_{RT}}{L_0} = \frac{750\text{V}}{2\text{mH}} = 3.75\text{A}/10\mu\text{s}$$
(3.34)

an. Damit kann der gewünschte, zu schaltende Strom I über entsprechende Wahl von t_{rise} eingestellt werden:

$$t_{rise} = \frac{I \cdot L_0}{u_{RT}}.$$
(3.35)

Zum Zeitpunkt t_1 wird der Transistor S_R abgeschaltet und der Strom I kommutiert vom Zweig R in den Zweig S. Die für die Schaltverluste massgeblich Spannung ist dabei die verkettete Spannung u_{RS} . Durch Abschalten des Leistungstransistors S_T zum Zeitpunkt t₂ lässt sich der Freilaufzustand einstellen und die hier massgeblich Spannung ist die verkettete Eingangsspannung u_{ST} . Das Einschalten der Phase T zum Zeitpunkt t_3 beendet den Freilaufzustand und der Strom kommutiert wieder zu den Phasen S und T. Abschliessend wird zum Zeitpunkt t_4 wieder S_R eingeschaltet, wodurch der Strom I wieder von Phase S zur Phase R kommutiert. Es können also für das Ein- und Ausschalten sämtliche Kommutierungsvorgänge zwischen zwei aktiven Zuständen und zwischen einem aktiven Zustand und dem Freilaufzustand analysiert werden. Die Zeitdauer t_d zwischen den einzelnen Schaltbefehlen (siehe. Abbildung 3.17) ist gross genug zu wählen, damit die Ein- bzw. Ausschaltvorgänge bereits vor dem Anlegen eines weiteren Schaltzustandes abgeschlossen sind, andererseits sollte sich der DC-Strom während 4 t_d nicht wesentlich verändern. Hier wurde $t_d = 3.3 \mu s$ gewählt. In Abbildung 3.18 sind Strom- und Spannungsverläufe für eine derartige Pulsfolge für I = 20A und $U_{RS} = U_{ST} = 375$ V gezeigt.

Zur Messung der Ströme in den Brückenzweigen wurden Stromsensoren, welche zur Strommessung eines mit 500kHz schaltenden Stromrichtersystems realisiert wurden, konstruiert (siehe Abbildung 3.19). Aufgrund des geringen Abstandes zwischen den Modulen und der Leiterplatte (5.5mm, entspricht der Höhe der Anschluss-Pins der Module) müssen diese sehr flach ausgeführt werden.

Die Leistungselemente wurden anstatt auf dem Kühlkörper auf einem beheizbaren Blech montiert, dessen Temperatur über Heizwiderstände eingestellt im Bereich $T_j = (25...125)^{\circ}$ C werden konnte. Nachdem in der Versuchsanordnung lediglich wenige Pulsfolgen durchgeführt wurden und keine wesentlichen Schaltverluste entstanden, konnte somit die Sperrschichttemperatur in diesem Bereich eingestellt werden.



Abbildung 3.18: Verlauf der Zwischenkreisspannung an der Freilaufdiode u, des Eingangsstromes der Phase R $i_{rec,R}$, der Phase S $i_{rec,S}$ und des Stromes in der Freilaufdiode i_{DF} für das Pulsmuster aus Abbildung 3.17 (Spannung 1kV/Div, Ströme 20A/Div, Zeitskala 2µs/Div).



Abbildung 3.19: Stromsensor zur Messung der Modulströme.

3.2.4 Auswahl der Gate-Vorwiderstände

Die Wahl der Gate-Vorwiderstände hat ebenfalls besonderen Einfluss auf das Schaltverhalten und damit auf die Schaltverluste des Konverters. Das Ziel bei der Selektion ist daher in erster Linie die Minimierung der Schalverlustenergien für das Ein- und Ausschalten der Transistoren E_{on} bzw. E_{off} , andererseits müssen auch die Überströme und –spannungen beachtet werden und geben Grenzen für die Widerstandswerte vor.

In Abbildung 3.20 ist das Einschalten eines Transistors für zwei unterschiedliche Gate-Vorwiderstände oszillographiert. Einerseits ist ersichtlich, dass für kleinere Gate-Vorwiderstände der Einschaltvorgang schneller vor sich geht, was die Verlustenergie verkleinert. Andererseits wird auch der Spitzenwert des Rückwärts-Erholstroms (*reverse recovery current*) wesentlich grösser, was die Schaltverlustenergie wiederum vergrössert. Insgesamt kann jedoch ein Absinken der Schaltverlustenergien E_{on} für kleinere Gate-Widerstände festgestellt werden. Die in Abbildung 3.20 dargestellten Messungen wurden bei der betriebsmässig maximal auftretenden Spannung ($\hat{U}_{N,l-l,max}$ +10% = 750V), dem maximal zu schaltenden Strom (I = 20A) und der maximalen Sperrschichttemperatur ($T_{j,max} = 125^{\circ}C$) durchgeführt, was für den Überstrom den worst-case Betriebspunkt darstellt.



Abbildung 3.20: Einschaltvorgang zur Auswahl des Gate-Widerstandes für $u_{RS} = 750$ V, I = 20A, $T_j = 125$ °C (Spannungen 200V/Div, Ströme 20A/Div, Leistungen 20kW/Div, Verlustenergien 5mJ/Div, Zeitskala 200ns/Div).



Abbildung 3.21: Ausschaltvorgang zur Auswahl des Gate-Widerstandes für $u_{RS} = 750$ V, I = 20A, $T_j = 25$ °C (Spannungen 200V/Div, Ströme 20A/Div, Leistungen 20kW/Div, Verlustenergien 5mJ/Div, Zeitskala 200ns/Div).

In Abbildung 3.21 ist der Ausschaltvorgang für zwei unterschiedliche Gate-Vorwiderstände aufgezeichnet. Wie zu erwarten verkürzt sich die Schaltzeit für kleinere Gate-Widerstände. Überraschenderweise wird aber auch die Überspannung mit kleineren Gate-Widerstandswerten verkleinert. Insgesamt sinken die Ausschaltverluste E_{off} für kleinere Gate-Widerstände. Wieder tritt der worst-case Betriebsfall für maximale Spannung (U = 750V) und maximalen Strom (I = 20A) auf, jedoch bei minimaler Sperrschichttemperatur ($T_{j,min} = 25$ °C).

Die Abhängigkeit der Überspannungen und Überströme vom Gate-Widerstand ist in Abbildung 3.22 dargestellt und in Abbildung 3.23 sieht man die Schaltverlustenergien für verschiedene Gate-Widerstände, in beiden Fällen für den jeweiligen kritischen Arbeitspunkt ausgewertet. Offensichtlich führt sowohl für das Ein- wie auch das Ausschalten ein minimaler Gate-Widerstand auf minimale Schaltverluste. Jedoch ist die thermische Grenze des Ausgangsstroms des verwendeten Gate-Treibers für den Dauerbetrieb zu berücksichtigen, was die Gate-Widerstände auf

$$R_{G,on} = R_{G,off} = 10\Omega \tag{3.36}$$

nach unten beschränkt. Damit erhält man eine maximale schaltfrequente Überspannung von

$$\Delta U_{\rm max} = 70 \rm V \tag{3.37}$$

und einen maximalen Spitzenwert des Rückwärts-Erholstromes von

$$\Delta I_{\rm max} = 52 A \,. \tag{3.38}$$

Daher ist ein Einsatz von Snubber-Netzwerken [26] in diesem Fall nicht notwendig.



Abbildung 3.22: Beim Ein- bzw. Ausschalten auftretende Überströme und –spannungen in Abhängigkeit vom Gate-Widerstand (Überspannung ΔU ermittelt für $u_{RS} = 750$ V, I = 20A, $T_j = 25$ °C, Spitzenwert des Rückwärts-Erholstromes ΔI ermittelt für $u_{RS} = 750$ V, I = 20A, $T_j = 125$ °C).



Abbildung 3.23: Schaltverlustenergien beim Ein- bzw. Ausschalten in Abhängigkeit vom Gate-Widerstand (ermittelt für $u_{RS} = 750$ V, I = 20A, $T_j = 125$ °C).

Damit sind die Werte für die Gate-Widerstände festgelegt und es können die Schaltverlustenergien für sämtliche Spannungs- und Stromsituationen ausgewertet werden um letztendlich den Gesamtwirkungsgrad des Konverters berechnen zu können.

3.2.5 Schaltverlustmessungen

Abbildung 3.24 zeigt für die vorhin besprochene Pulsfolge beispielhaft für I = 20Aund $U_{RS} = U_{ST} = 375V$ die wesentlichen Strom-, Spannungs- und Verlustleistungsverläufe. Zunächst ist in Abbildung 3.24 (a) der Ausschaltvorgang zum Zeitpunkt t_I mit der charakteristischen Schaltüberspannung zu sehen. Der Ausschaltvorgang zum Zeitpunkt t_2 weist praktisch identischen Verlauf auf und ist daher nicht dargestellt. Zu den Zeitpunkten t_3 und t_4 finden die Einschaltvorgänge statt, die im Wesentlichen vom Rückwärtserholverhalten der Dioden (Freilaufdiode D_F bei t_3 und Moduldiode D_{S+} bei t_4) geprägt werden. In den Abbildung 3.24 (b)-(d) sind die Auswirkungen des Einschaltvorganges für den Zeitpunkt t_4 , also die Kommutierung des Stromes von Phase S zu Phase R, gezeigt. Der hohe Überstrom stammt vom Rückwärtserholstrom I_{rr} der Moduldiode D_{S+} (siehe Abbildung 3.24 (c)). Der Strom I_{rr} verursacht schliesslich auch Vorwärtserholverluste (forward recovery losses) in den Moduldioden $D_{R,N+}$ und D_{R+} (siehe Abbildung 3.24 (d)).

Die Verläufe für den Einschaltvorgang des Schalters S_T nach dem Freilaufzustand zum Zeitpunkt t_3 ähneln den hier gezeigten stark. Lediglich treten hier Vorwärtserholverluste in vier Moduldioden auf ($D_{S,N+}$, D_{S+} , $D_{T,N-}$ und D_{T-}).

Somit tragen zu den Zeitpunkten t_1 und t_2 lediglich die Ausschaltverluste der Transistoren $S_{off,S\to S}$ bzw. $S_{off,S\to D}$ zu den Gesamtverlusten bei, während zu den Zeitpunkten t_3 und t_4 Einschaltverluste der Transistoren $S_{on,D\to S}$ und $S_{on,S\to S}$, Rückwärtserholverluste der Freilaufdiode $D_{F,rev,D\to S}$ bzw. der Moduldiode $D_{i,rev,S\to S}$ und Vorwärtserholverluste der Moduldioden $D_{i,fwd,D\to S}$ und $D_{i,fwd,S\to S}$ auftreten.



Abbildung 3.24: Schalthandlungen für $T_J = 125$ °C, $U_{RS} = U_{ST} = 375$ V und I = 20A (Spannungen 100V/Div, Ströme 10A/Div, Leistungen 10kW/Div, Zeitskala 2µs/Div). (a) Ausschalten des Transistors S_R zum Zeitpunkt t_I ; (b) Einschalten des Transistors S_R zum Zeitpunkt t_4 ; (c) Rückwärtserholverhalten der Moduldiode D_{S+} während des Einschaltens von S_R zum Zeitpunkt t_4 ; (d) Vorwärtserholverhalten der Moduldioden $D_{R,N+}$ und D_{R+} zum Zeitpunkt t_4 .

Sämtliche Verlustterme wurden für die Stromwerte

I = [5A; 10A; 15A; 20A; 25A]

und die Spannungswerte

 $U_{ij} = [200V; 375V; 550V; 700V]$ ij = RS, ST, TR

messtechnisch ausgewertet. Die so erhaltene Messreihe bildet die Basis um eine allgemeine Funktion für die Schaltverlustterme zu finden. Im Gegensatz zu vorangegangenen Untersuchungen, bei denen von vornherein nur eine lineare Abhängigkeit

von Strom und Spannung angenommen wurde [27] oder komplexere Schaltverlustfunktionen durch nachfolgende Mittelung der geschalteten Spannungen wieder auf eine lineare Funktionen reduziert wurden [28], wurde hier sämtlichen Verlusttermen die allgemeine Verlustfunktion

$$w = k_1 \cdot u \cdot i + k_2 \cdot u \cdot i^2 + k_3 \cdot u^2 + k_4 \cdot u^2 \cdot i + k_5 \cdot u^2 \cdot i^2 + k_6 \cdot i + k_7 \cdot i^2$$
(3.39)

mit den Parametern $k_1...k_7$ zu Grunde gelegt. Die Verlustfunktion (3.39) beinhaltet sowohl physikalisch sinnvolle wie physikalisch nicht direkt erklärbare Terme. Die Einbeziehung letzterer in die Verlustberechnung dient der höheren Genauigkeit der Approximation der Verlustfunktion an die Messwerte. Die Parameter für die erwähnten Verlustenergien sind in TABELLE 3.4 zusammengefasst.

Schliesslich sind die gefundenen Funktionen für die Aus- und Einschaltverluste der IGBTs (Abbildung 3.25 (a) und (b)), die Rückwärtserholverluste der Moduldiode (Abbildung 3.25 (c)) und die dadurch entstehenden Vorwärtserholverluste (Abbildung 3.25(d)) in Abhängigkeit von Spannung und Strom in grafisch dargestellt. Die Messwerte sind dabei speziell durch Symbole gekennzeichnet.

TABELLE 3.4

Schaltverlustfaktoren $k_1...k_7$ für die einzelnen Verlustterme. S \rightarrow S bedeutet dabei den Übergang zwischen zwei aktiven Zuständen und S \rightarrow D bzw. S \rightarrow D die Übergänge zwischen einem aktiven und dem Freilaufzustand.

Time	Action	$\frac{k_1}{\mathrm{nWs(VA)}^{-1}}$	$\frac{k_2}{\mathrm{nWs(VA^2)^{-1}}}$	$\frac{k_3}{\mathrm{nWs}(\mathrm{V}^2)^{-1}}$	$\frac{k_4}{\mathrm{nWs(V^2A)^{-1}}}$	$\frac{k_5}{\mathrm{nWs}(\mathrm{V}^2\mathrm{A}^2)^{-1}}$	k ₆ nWs(A) ⁻¹	$\frac{k_7}{\mathrm{nWs}(\mathrm{A}^2)^{-1}}$
t_{l}	$S_{off,S \rightarrow S}$	153.7	32 · 10 ⁻³	241 · 10 ⁻³	123 · 10 ⁻³	-5 · 10 ⁻³	-	-
t_2	$S_{off,S \rightarrow D}$	222.8	-3.5	769 · 10 ⁻³	-131 · 10 ⁻³	5.3 10-3	-	-
t_3	$S_{on,D \rightarrow S}$	116.2	-2.2	5.3	-213 · 10 ⁻³	5.4 10-3	-	-
t_4	$S_{on,S \rightarrow S}$	91.5	-1.9	1.4	19 · 10 ⁻³	3.7 10-3	-	-
t_3	$D_{F,rev,D\rightarrow S}$	24.5	61 · 10 ⁻³	-909 · 10 ⁻³	93 · 10 ⁻³	-2.3 · 10 ⁻³	-	-
t_4	$D_{i,rev,S \rightarrow S}$	44.9	-625 · 10 ⁻³	-164 · 10 ⁻³	-10 · 10 ⁻³	1.8 10-3	-	-
t_3	$D_{i,fwd,D\to S}$	-	-	-	-	-	$4.8 \cdot 10^{3}$	80.8
t_4	$D_{i,fwd,S \rightarrow S}$	12.1					$3.5 \cdot 10^{3}$	192.1



Abbildung 3.25: Schaltverlustenergien für die Ein- und Ausschaltvorgänge zu den Zeitpunkten t_1 und t_4 für $U_{RS} = 0...700$ V, I = 0...25A und $T_J = 125$ °C,; (a) Ausschaltenergie $W_{S,off,S\to S}$ des IGBTs S_R zum Zeitpunkt t_1 ; (b) Einschaltenergie $W_{S,on,S\to S}$ des IGBTs S_R zum Zeitpunkt t_4 ; (c) Rückwärtserholverlustenergie $W_{Di,rev,S\to S}$ der Moduldiode D_{S^+} während des Einschaltens von S_R zum Zeitpunkt t_4 ; (d) Vorwärtserholverlustenergie $W_{Di,fwd,S\to S}$ der Moduldioden D_{R,N^+} und D_{R^+} zum Zeitpunkt t_4 .

3.2.6 Berechnung der Schaltverluste des Buck-Eingangsteiles

Nun sollen die gesamten Schaltverluste in Abhängigkeit vom Arbeitspunkt des Konverters berechnet werden. Die allgemeine Gleichung für die Schaltverlustenergien (3.39) beinhaltet die Arbeitspunktabhängigkeit in Form des Stromwertes *i* und der geschalteten Spannung *u*. Der zu schaltende Strom *i* entspricht aufgrund der DCseitigen Stromeinprägung dabei direkt dem DC-Strom I

$$i = I = \frac{2}{3} \cdot \frac{P}{M \cdot \hat{U}_N},\tag{3.40}$$

während die geschaltete Spannung u aufgrund des sinusförmigen Verlaufs der Netzphasenspannungen zeitlich variiert. Da das verwendete Schaltmuster exakt dem Pulsmuster des Sektors 2 entspricht, können die Schaltverluste für diesen Sektor direkt ausgewertet werden. Die verkettete Spannung u_{RS} tritt dabei als die zu den Zeitpunkten t_1 und t_4 zu schaltende Spannung

$$u = u_{RS}(\varphi) = \sqrt{3} \cdot \hat{U}_N \cos(\varphi + \frac{\pi}{6})$$
 für $t = t_1$ und $t = t_4$ (3.41)

auf, während die verkettete Spannung u_{ST} zu den Zeitpunkten t_2 und t_3 geschaltet wird:

$$u = u_{ST}(\varphi) = \sqrt{3} \cdot \hat{U}_N \cos(\varphi - \frac{\pi}{2})$$
 für $t = t_2$ und $t = t_3$. (3.42)

Die mittleren Verluste während des Sektors 2 lassen sich dann durch Integration über das entsprechende Intervall $\varphi = \pi/6...\pi/3$ auswerten

$$P = f_{S} \cdot \frac{6}{\pi} \int_{\pi/6}^{\pi/3} w(u,i) d\varphi.$$
 (3.43)

Für die Ausschaltverluste des Transistors ergibt sich daher

$$P_{S,off,S\to S} = f_S \cdot \frac{6}{\pi} \int_{\pi/6}^{\pi/3} w_{S,off,S\to S} \left\{ u_{RS}(\varphi), I \right\} d\varphi.$$
(3.44)

Die anderen Verlustterme können ebenso berechnet werden.

Bei der so durchgeführten Rechnung wurden die Verluste also nur für einen bestimmten Sektor ausgewertet. In den restlichen Sektoren sind andere Transistoren und Dioden an den Verlusten beteiligt, die Gesamtverlustenergien sind aber aufgrund des annähernd symmetrischen Layouts (vgl. TABELLE 3.3) und des symmetrischen Pulsmusters für die drei Phasen identisch. Daher kann darauf verzichtet werden, auch die restlichen Sektoren auszuwerten.

Die Schaltverluste der drei Transistoren bestehen aus den Ein- und Ausschaltverlusten

$$P_{Sw,IGBTs} = P_{S,off,S \to S} + P_{S,off,S \to D} + P_{S,on,S \to S} + P_{S,on,S \to D}.$$
(3.45)

Die Verluste in den Moduldioden

$$P_{Sw,DM} = P_{DM,rev,S\to S} + 2 \cdot P_{DM,fwd,S\to S} + 4 \cdot P_{DM,fwd,D\to S}.$$
(3.46)

beinhalten Rückwärts- und Vorwärtserholverluste, während in den Freilaufdioden nur Rückwärtserholverluste auftreten

$$P_{Sw,DF} = P_{DF,rev,D\to S} \,. \tag{3.47}$$

3.2.7 Berechnung der Schaltverluste des Boost-Ausgangsteiles

Abschliessend sollen noch kurz die Schaltverluste des Boost-Ausgangsteiles besprochen werden. Die Berechnung ist hier weitaus einfacher, da der zu schaltende Strom $i_{sw} = I$ und die zu schaltende Spannung $u_{sw} = U_0$ konstant sind und daher eine lineare Funktion

$$w = k \cdot u_{sw} \cdot i_{sw} = k \cdot U_0 \cdot I . \tag{3.48}$$

für die Strom- und Spannungsabhängigkeit der Schaltverluste verwendet werden kann. Für $U_0 = 400$ V sind die *k*-Faktoren für die Ein- und Ausschaltverluste in TABELLE 3.2 angegeben und die Schaltverluste des MOSFET ergeben sich zu

$$P_{Sw,SB} = f_S \cdot (k_{ON} + k_{OFF}) \cdot I . \tag{3.49}$$

Und schliesslich erhält man für die Rückwärtserholverluste der Boost-Diode:

$$P_{Sw,DB} = f_S \cdot k_{rev} \cdot I \,. \tag{3.50}$$

3.2.8 Festlegung der Schaltfrequenz

Abbildung 3.26 zeigt die berechneten Schaltverluste gemäss den Gleichungen (3.45), (3.46), (3.47), (3.49) und (3.50) für den Eingangsspannungsbereich $U_{N,l-l} = 208V...480V$ in Abhängigkeit von der Schaltfrequenz f_S . Dabei wurde den Berechnungen das in Kapitel 4 entwickelte Modulationsverfahren zu Grunde gelegt, das durch minimale Schaltverluste gekennzeichnet ist.

80

Es zeigt sich dass ab f_S = 30kHz die Schaltverluste über 100W betragen, was für ein 5kW-System den Wirkungsgrad des Systems schon allein wegen der Schaltverluste auf 98% reduzieren würde. Besonders unter Berücksichtigung der aufgrund der zahlreichen im Strompfad liegenden Halbleiter und dadurch zu erwartenden zusätzlich auftretenden hohen Leitverluste ist daher in jedem Fall eine maximale Schaltfrequenz von

$$f_{S,\max} = 30 \text{kHz} \,. \tag{3.51}$$

nicht zu überschreiten.

In Kapitel 5 wird unter zusätzlicher Berücksichtigung von EMV-Gesichtspunkten (einer günstigen Lage der höheren Harmonischen der Schaltfrequenz) schliesslich eine Schaltfrequenz von

$$f_S = 28 \text{kHz}$$
. (3.52)

festgelegt. Dieser Wert soll nun für den nächstfolgenden Abschnitt als Grundlage zur Dimensionierung und Auswahl der passiven Komponenten dienen.



Abbildung 3.26: Abhängigkeit der Schaltverluste des Konverters von der Schaltfrequenz für unterschiedliche Eingangsspannungen $U_{N,l-l,rms} = 208V...480V.$

3.3 Auswahl der passiven Komponenten

Nachdem die Schaltfrequenz festgelegt ist, können die passiven Komponenten des Ausgangsfilters ausgewählt werden. Besonders die DC-Induktivität bestimmt mit den stromabhängigen Verlusten letztlich auch den Gesamtwirkungsgrad. Das Eingangsfilter wird erst später in Kapitel 5 in einem weitaus aufwendigeren Verfahren entworfen. Die Verluste der Eingangsfilter-Komponenten spielen aber ohnehin eine untergeordnete Rolle bei den Gesamtverlusten des Systems, daher können sie hier vernachlässigt werden.

3.3.1 Ausgangsinduktivität L₀

Der Wert der Induktivität L_0 wird aufgrund eines maximal zulässigen Spitze-Spitze-Rippelwertes $\Delta i_{L,pp}$ des DC-Stromes ausgewählt. Dafür muss der worst-case-Betriebsfall identifiziert werden. Wenn im Buck+Boost-Betrieb der Boost-Transistor derart angesteuert wird, dass das Einschaltintervall des Boost-Schalters symmetrisch um die Mitte des Freilaufzustandes des Buck-Konverters angeordnet wird, so kann der Rippelwert dadurch verringert werden. Daher ist der worst-case-Fall für die Auslegung der Induktivität im reinen Tiefsetzsteller-Betrieb zu suchen.

Bei eingeprägter Ausgangsspannung U_0 ist der Spitze-Spitze-Rippelwert $\Delta i_{L,pp}$ des DC-Stromes im Buck-Betrieb durch

$$\Delta i_{L,pp} = \frac{U_0}{L_0} \frac{(1-M)}{f_S}$$
(3.53)

gegeben, daher muss die Induktivität für den minimalen Aussteuergrad des Buck-Konverters $M_{min} = 0.67$ dimensioniert werden:

$$L_0 = \frac{U_0}{\Delta i_{L,pp}} \frac{(1 - M_{\min})}{f_S}.$$
 (3.54)

Wenn ein relativer Stromrippel von $\pm 10\%$ des DC-Wertes

$$\Delta i_{L,pp} \le 0.2 \cdot I \tag{3.55}$$

zugeslassen werden soll, ergibt sich für $U_0 = 400$ V, $P_0 = 5$ kW und der zuvor gewählten Schaltfrequenz von $f_S = 28$ kHz (3.52) ein erforderlicher Induktivitätswert von

$$L_0 \ge \frac{U_0}{0.2 \cdot I} \frac{(1 - M_{\min})}{f_S} = 1.89 \text{mH}.$$
 (3.56)

Schliesslich wird ein Induktivitätswert von

$$L_0 = 2 \text{mH}.$$
 (3.57)

gewählt und auf zwei gleich grosse, in der positiven und negativen DC-Schiene liegende Induktivitäten

$$L_{0+} = L_{0-} = 1 \text{mH}. \tag{3.58}$$

aufgeteilt, um Gleichtaktstörungen besser zu unterdrücken.

Zur Realisierung der Induktivität wurde ein Eisenlegierungs-Material [30] gewählt, da mit diesem ein konstanter Induktivitätswert bis über 20A sichergestellt werden kann. Die Kernverluste für dieses Material lassen sich mit

$$P_{L,Kern}[W/kg] = 6.5 \cdot \left(\frac{B_{sat}[T]}{2}\right)^{1.74} \cdot \left(f[kHz]\right)^{1.51}.$$
 (3.59)

und die Kupferverluste mittels

$$P_{L,Cu} = \frac{\rho_{Cu} \cdot l_{Cu}}{A_{Cu}} \cdot I^2 \,. \tag{3.60}$$

berechnen. Dabei muss die Temperaturabhängigkeit des spezifischen elektrischen Widerstandes von Kupfer ρ_{Cu} berücksichtigt werden

$$\rho_{Cu,Ta} = \rho_{Cu,25^{\circ}C} \cdot \left(1 + 3.93 \cdot 10^{-3} \cdot (T_a[^{\circ}C] - 25)\right)$$
(3.61)

mit

$$\rho_{Cu,25^{\circ}C} = 16.8\mathrm{n}\Omega\mathrm{m} \tag{3.62}$$

Als Umgebungstemperatur für die Induktivität wurde $T_a = 70^{\circ}$ C angenommen, d.h.

$$\rho_{Cu,70^{\circ}C} = 19.8 \mathrm{n}\Omega\mathrm{m} \,. \tag{3.63}$$

Die Kerndaten sind in TABELLE 3.5 zu finden.

3.3.2 Ausgangskondensator C_{θ}

Der Ausgangskondensator muss einerseits bezüglich einer geringen 100Hz-Schwankung der Ausgangsspannung bei Phasenausfall dimensioniert werden, andererseits muss er der schaltfrequenten Strombelastung durch die Aktivität des Boost-Konverters standhalten.

Wenn im Fall eines kompletten Ausfalls einer Phase die Ausgangsleistung und damit die Ausgangsspannung mit 100Hz pulsiert, so ist die dadurch entstehende Spannungsschwankung durch

$$\Delta u_{pp,100Hz} = \frac{P_0}{U_0} \frac{1}{\omega C_0}$$
(3.64)

gegeben. Wenn eine maximale Schwankungsbreite von $\pm 7.5\%$ der Ausgangsspannung von $U_0 = 400$ V zugelassen werden soll (entspricht ± 30 V), so ergibt sich ein geforderter Kondensatorwert von

$$C_0 \ge \frac{P_0}{0.15 \cdot U_0^2} \frac{1}{\omega} = 664 \mu \text{F}.$$
 (3.65)

Die Strombelastung des Kondensators ist im Boost-Betrieb am höchsten, daher lässt sich der Effektivwert des Kondensatorstromes über

$$I_{C0,rms}^2 = I_{DB,rms}^2 - I_0^2$$
(3.66)

ermitteln. Mit (3.18) erhält man

$$I_{C0,rms} = I_0 \cdot \sqrt{\frac{\delta_B}{1 - \delta_B}} \,. \tag{3.67}$$

Der Kondensatorstrom-Effektivwert wird also bei maximalem Boost-Tastverhältnis $\delta_B = 0.43$ maximal:

$$I_{C0,rms,max} = 12.5 \text{A} \cdot \sqrt{\frac{0.43}{1 - 0.43}} = 10.9 \text{A}.$$
 (3.68)

Aufgrund der beiden Design-Bedingungen (3.65) und (3.68) kann nun ein Kondensator ausgewählt werden. Schliesslich wird

$$C_0 = 5 \cdot 150 \mu F = 750 \mu F \tag{3.69}$$

in Form einer Parallelschaltung von 5 Elektrolyt-Kondensatoren [31] verwendet. Aufgrund des geringen seriellen Gesamtwiderstandes ($ESR_{28kHz,60^{\circ}C} = 62m\Omega$) werden die Verluste in der Berechnung des Konverterwirkungsgrades nicht berücksichtigt. In TABELLE 3.5 sind die Spezifikationen zusammengefasst.

${\rm TABELLE}\ 3.5$

Ausgewählte Komponenten für das Ausgangsfilter

Komponente	Spezifikationen
DC-Induktivität L ₀	Honeywell Metglas Powerlite AMCC-16B 2 x 1mH@20A N = 56Wdg., 14AWG (Kupferquerschnitt 2.1mm ²)
Ausgangskondensator C_0	Epcos B43501, 5 x 150μF@450VDC $I_{C,rms,max,28kHz,60^{\circ}C} = 2.4$ A, $ESR_{28kHz,60^{\circ}C} = 310$ mΩ

3.4 Berechnung des Konverterwirkungsgrades

Abschliessend kann der Gesamtwirkungsgrad der Schaltung in Abhängigkeit von der Eingangsspannung berechnet werden. Die Schaltverluste der Leistungshalbleiter wurden schon in (3.45), (3.46), (3.47), (3.49) und (3.50) hergeleitet. Die Leitverluste der Halbleiter können sehr gut mit den in den Datenblättern [20],[21],[22],[23] angegebenen Vorwärtscharakteristika (Angaben für 150°C) ermittelt werden. Für die IGBTs wurde dabei eine Vorwärtsspannungsabfall von

$$u_{CE} = U_{CE,0} + r_{CE} \cdot i_S \tag{3.70}$$

angenommen, mit den bereits berechneten Strommittel- und Stromeffektivwerten (3.3) und (3.5) ergibt sich daher

$$P_{Fw,IGBT} = U_{CE,0} \cdot I_{S,avg} + r_{CE} \cdot I_{S,rms}^2.$$
(3.71)

Die Verluste der Moduldioden lassen sich mit Gleichungen für die Stromkennwerte (3.6) - (3.7) ebenso berechnen:

$$P_{Fw,Di} = U_{F,Di} \cdot I_{Di,avg} + r_{D,Di} \cdot I_{Di,rms}^{2} .$$
(3.72)

Gleiches gilt mit (3.11), (3.12), (3.17) und (3.18) für die Freilauf- und Boostdiode:

$$P_{Fw,DF} = U_{F,DF} \cdot I_{DF,avg} + r_{D,DF} \cdot I_{DF,rms}^2, \qquad (3.73)$$

$$P_{Fw,DB} = U_{F,DB} \cdot I_{DB,avg} + r_{D,DB} \cdot I_{DB,rms}^2 .$$
(3.74)

Der Vorwärtsspannungsabfall des MOSFET des Hochsetzstellers ist direkt vom Widerstand $R_{DS,on}$ abhängig:

$$u_{DS} = R_{DS,on} \cdot i_{SB}, \qquad (3.75)$$

daher resultieren mit (3.16) folgende Leitverluste

$$P_{Fw,MOSFET} = R_{DS,on} \cdot I_{SB,rms}^2.$$
(3.76)

Sämtliche Spezifikationen zur Berechnung der Leitverluste sind in TABELLE 3.2 und TABELLE 3.5 zusammengefasst. Zusätzlich zu den bisher berechneten Verlusttermen

wurde für den Leistungsverbrauch der Eigenstromversorgung für die Lüfter, den Signalprozessor und die Gate-Treiber insgesamt

$$P_{aux} \approx 25W. \tag{3.77}$$

veranschlagt.

Somit sind alle Verlustterme bekannt und können für unterschiedliche Eingangsspannungen ausgewertet werden. In Abbildung 3.27 ist dies für $U_{N,l-l} = 208V$, 320V, 400V und 480V dargestellt. Die Verluste für $U_{N,l-l} = 400V$ unterscheiden sich kaum von denen bei $U_{N,l-l} = 480V$, da die höheren Schaltverluste bei $U_{N,l-l} = 480V$ durch geringere Leitverluste wettgemacht werden und aufgrund der gleich bleibenden Ausgangsleistung und –spannung die DC-seitigen Verluste (Boost-Diode D_B und DC-Induktivitäten L_{0+} und L_{0-}) konstant bleiben.

Damit lässt sich wie in Abbildung 3.28 gezeigt insgesamt ein Wirkungsgrad von 95.1% für beide Eingangsspannungssituationen erreichen.

Wenn die Eingangsspannung auf $U_{N,l-l} = 320$ V abgesenkt wird, steigen die Leitverluste insbesondere in den Moduldioden weiter an und zusätzlich treten aufgrund der beginnenden Aktivität des Boost-Konverters nun auch Boost-Schaltverluste auf. Der Wirkungsgrad reduziert sich für diesen Arbeitspunkt auf 94.1%.

Bei minimaler Eingangsspannung $U_{N,l-l} = 208V$ werden in den Moduldioden und IGBTs aufgrund des nun sehr hohen Eingangsstromes (2.58) beträchtliche Leitverluste verursacht. Zusätzlich bewirkt der grosse Zwischenkreisstrom (2.57) auch hohe Verluste in der DC-Induktivität, wodurch sich der Wirkungsgrad auf nur mehr 91.2% reduziert.

Somit ist klar, dass das System für den Einsatz an einem Netz mit sehr geringer Eingangsspannung keinen zufrieden stellenden Wirkungsgrad aufweisen wird, solange das System eingangsseitig mit 1200V-Elementen bestückt ist. Für den Betrieb an einem 208V-Netz müsste somit vorteilhaft 600V- oder 800V-Technologie verwendet werden und der Betrieb bei hohen Eingangsspannungen ausgeschlossen werden.



Abbildung 3.27: Aufteilung der Verluste auf die einzelnen Systemkomponenten für Eingangsspannungen im Bereich $U_{N,l-l,rms} = 208 \text{V} \dots 480 \text{V}$ für $f_S = 28 \text{kHz}$.



Abbildung 3.28: Abhängigkeit des berechneten Gesamtwirkungsgrades von der Eingangsspannung und der Ausgangsleistung für $f_s = 28$ kHz.

Für den Normalbetrieb am 400V-Netz ist der Wirkungsgrad mit $\eta = 95.1\%$ jedoch zufrieden stellend. Wie schon erwähnt, könnte mit diskreter Realisierung des Eingangsteiles statt Verwendung der Module ein höherer Wirkungsgrad erreicht werden, was schliesslich auch in Kapitel 8 gezeigt wird. Der Wirkungsgradgewinn läge hier bei etwa 0.5%. Wenn mit entsprechend niederinduktivem Layout sichergestellt werden kann, dass die Schaltüberspannungen auf etwa 50V begrenzt bleiben, könnten auch 1000V-MOSFETs verwendet werden, womit die Ausschaltverluste wesentlich reduzieret werden könnten. In diesem Fall müsste jedoch das resonante Überschwingen des Eingangsfilters bei direktem Anlegen der Versorgungsspannung an den ausgeschalteten Konverter begrenzt werden.

Weiter könnte für die Realisierung der Freilaufdiode und sechs der zwölf Moduldioden Silizium-Carbid-Technologie eingesetzt werden. Die zu ersetzenden Moduldioden wären diejenigen, die während des Schaltvorganges zwischen zwei aktiven Zuständen Rückwärtserholverhalten zeigen, das sind die dem Zwischenkreis zugewandten Dioden D_{i+} bzw. D_i . An den dem Netz zugewandten Moduldioden treten keine Rückwärtserholverluste auf. Dies würde die Einschaltverluste wesentlich reduzieren, sodass insgesamt eine Verbesserung des Wirkungsgrades um 1-2% möglich sein wird.

Zur Überprüfung der Auswahl der Komponenten wurden abschliessend die Sperrschichttemperaturen der Halbleiter ermittelt. Dabei wurde eine Umgebungstemperatur von

$$T_a = 50^{\circ}C \tag{3.78}$$

angenommen. Wie in Abbildung 3.29 ersichtlich sind die Bauelemente nur für niedrige Eingangsspannung ($U_{N,l-l,rms} = 208$ V) thermisch ausgelastet, ab $U_{N,l-l,rms} = 320$ V ist die maximal auftretende Sperrschichttemperatur $T_j = 93$ °C (an den Moduldioden). Somit könnte für einen Eingangsspannungsbereich von $U_{N,l-l,rms} = 400$ V±20% das System aus thermischer Sicht bis zu einer Leistung von $P_0 = 10$ kW betrieben werden.



Abbildung 3.29: Sperrschichttemperaturen der Leistungshalbleiter in Abhängigkeit von der verketteten Eingangsspannung $U_{N,l-l,rms}$ für eine Ausgangsleistung von $P_0 = 5$ kW, eine Schaltfrequenz von $f_S = 28$ kHz und eine Umgebungstemperatur von $T_a = 50$ °C (die Temperatur des Kühlkörpers liegt dann für $U_{N,l-l,rms} = 320$ V, 400V und 480V bei $T_{hs} = 70$ °C und für $U_{N,l-l,rms} = 208$ V bei $T_{hs} =$ 81°C (der Wärmeübergangswiderstand des Kühlblechs wurde mit $R_{th,hs} = 0.1$ K/W angenommen, siehe Kapitel 8).

Modulation

Kapitel 4 Modulation

Wie in Kapitel 2 gezeigt, können mittels einfacher Überlegungen die auf die Periodendauer bezogenen relativen Dauern der einzelnen Schaltzustände in Abhängigkeit der momentanen Eingangsspannungssituation berechnet werden. Dabei hat sich die Einteilung in zwölf Eingangssektoren als hilfreich erwiesen.

Ausgehend von diesen Überlegungen hat man nun die im Folgenden angeführten Freiheitsgrade bei der konkreten Realisierung der Ansteuerung der Leistungstransistoren, die zur Optimierung der Modulation bezüglich Zielsetzungen wie minimaler Schaltverluste, minimaler Netzstromverzerrungen und minimalem Programmieraufwand benutzt werden können:

- der Freilauf-Zustand lässt sich dadurch einstellen, dass sich mindestens zwei der drei Transistoren in ausgeschaltetem Zustand befinden, d.h. es stehen hier vier Möglichkeiten zur Auswahl, $s_j = (000) = (100) = (010) = (001)$
- für den aktiven Zustand, bei dem die grösste verkettete Spannung an den Zwischenkreis geschaltet wird, ist der Schaltzustand der mittleren Phase irrelevant, d.h. z.B. s_j = (101) = (111) für die Sektoren 1 und 2.
- die Anordnung der Schaltzustände innerhalb der Pulsperiode ist prinzipiell ebenfalls frei wählbar. Auch wenn asymmetrische Anordnungen denkbar wä-

ren, werden diese auf Basis früherer Untersuchungen [32],[33] hier nicht behandelt, da sie von höherem Programmieraufwand und höheren Schaltverlusten im Vergleich zu symmetrischen Pulsmustern gekennzeichnet sind. Es werden hier also nur bezüglich der Mitte der Taktperiode symmetrische Pulsmuster betrachtet und rein die Anordnung der zwei aktiven Zustände und des Freilaufzustandes innerhalb einer Pulshalbperiode für die Optimierung herangezogen.

Im Folgenden wird zunächst erläutert, in welcher Weise die Modulation zu erfolgen hat um minimale Schaltverluste bei gegebener Schaltfrequenz zu erreichen. Ausgangspunkt sind zwei sehr einfach zu implementierenden Verfahren, die durch die Klemmung jeweils einer Phase über ein 60°-Intervall gekennzeichnet sind (MPC-, HPC-Verfahren, siehe Kapitel 4.1.1 und 4.1.2). Bei diesen Verfahren wird jedoch an den Sektorgrenzen das Eingangsfilter angeregt, was starke Verzerrungen der Netzströme zur Folge hat. Eine deutliche Verbesserung der Netzstromqualität wird mit dem SLO-Verfahren erreicht (siehe Kapitel 4.1.3), das von dem Prinzip der Klemmung abgeht, jedoch weiterhin minimale Schaltverluste garantiert.

Eine darüber hinaus gehende Verbesserung der Netzstromqualität, die durch eine Erhöhung der Kontinuität des Pulsmusters an den Sektorgrenzen (CDO-Verfahren, siehe Kapitel 4.2) erreicht werden kann, ist zwangsläufig mit einer Erhöhung der Schaltverluste verbunden.

4.1 Verfahren zur Minimierung der Schaltverluste

Wie in Kapitel 2 erläutert, liegt für jeden Schaltzustand eine bestimmte verkettete Eingangsspannung direkt am Zwischenkreis, respektive an der Freilaufdiode am Ausgang des Eingangskreises. Wird nun eine Schalthandlung durchgeführt und damit eine neue verkettete Eingangsspannung an die Freilaufdiode geschaltet, so ist die Differenz zwischen der alten und der neuen Zwischenkreisspannung für die Schaltverlustenergien des Transistors und der Dioden direkt massgebend.

Diese Tatsache wird nun kurz am Beispiel der Eingangsspannungssituation $u_{CI,R} > u_{CI,S} > 0 > u_{CI,T}$, also dem Eingangsspannungssektor 2 erläutert. In der Pulsmuster-

Modulation

folge, an Hand derer das Auftreten der Schaltverlustterme erklärt wird, sind die Schaltzustände bereits derart angeordnet, dass die minimale Schaltverluste auftreten (siehe Abbildung 4.1(a)). Daher wird diese Anordnung für die schaltverlustoptimalen Modulationsverfahren (siehe Kapitel 4.1.1 - 4.1.3) verwendet.

Zur besseren Übersichtlichkeit werden die Filterkondensatorspannungen $u_{Cl,i}$ in Zukunft kurz mit u_i bezeichnet.

Zunächst sei angenommen, die grösste verkettete Spannung u_{RT} sei mittels des Schaltzustandes $s_j = (101)$ an den Zwischenkreis geschaltet. Dadurch entsteht ein Stromfluss wie in Abbildung 4.1(c) gezeigt, die an den nicht am Stromfluss beteiligten Halbleitern anliegenden Sperrspannungen sind ebenfalls eingezeichnet. Aus der Tatsache, dass am Leistungsschalter S_S keine Sperrspannung anliegt, ist ersichtlich, dass der Zustand $s_j = (101)$ bezüglich der Schaltverluste äquivalent zum Zustand $s_j =$ (111) ist. Ein Schliessen des Schalters S_S wie in Abbildung 4.1(d) verursacht demnach keine Schaltverluste.

Wird jedoch der Schalter S_R geöffnet und damit der Schaltzustand $s_j = (011)$ eingestellt, so kommutiert der DC-seitig eingeprägte Strom *I* von der Phase *R* zur Phase *S*. An der Freilaufdiode liegt nun die zweitgrösste verkettete Spannung u_{ST} an. Am Leistungstransistor S_R tritt jetzt, wie in Abbildung 4.1(e) ersichtlich, die Sperrspannung u_{RS} auf, also die Differenz zwischen der vor und nach der Schalthandlung an der Freilaufdiode anliegenden Spannungen

$$u_{RS} = u_{RT} - u_{ST} \tag{4.1}$$

was Schaltverluste

$$p_{off,R} = f(u_{RS}, I) \tag{4.2}$$

proportional zu dieser Spannung zur Folge hat, während an den zuvor am Stromfluss beteiligten Dioden D_{R,N^+} und D_{R^+} im Brückenzweig *R* keine Sperrspannung und damit keine Rückwärtserholverluste entstehen. Die im Zweig *S* auftretenden Vorwärtserholverluste sind, wie die Messungen in Kapitel 3 zeigten, vernachlässigbar.



Abbildung 4.1: (a) Pulsmuster zur Erklärung der Schaltverlustterme; (b) Indizierung der Halbleiter eines Brückenzweiges i; (c)-(f) Stromflüsse und Sperrspannungen für die unterschiedlichen Schaltzustände des Konverters innerhalb des Pulsmusters. Die auftretenden Sperrspannungen der am Schaltvorgang beteiligten Halbleiter sind eingezeichnet.

Modulation

Um nun den Freilaufzustand einzustellen, muss zumindest einer der beiden im Strompfad liegenden Leistungsschalter S_S oder S_T geöffnet werden. Zunächst sei der Zustand $s_j = (010)$ betrachtet (siehe Abbildung 4.1(f)). Die Ausschaltverluste des Transistors S_T sind proportional zur verketteten Spannung u_{ST}

$$p_{off,T} = f(u_{ST}, I), \qquad (4.3)$$

während an den Dioden $D_{S,N+}$, D_{S+} , $D_{T,N-}$ und D_T keine Sperrspannung und damit keine Verluste auftreten. Die forward recovery Verluste der Freilaufdiode D_F sind wiederum zu vernachlässigen. Wie leicht verifiziert werden kann, würde für den Schaltzustand $s_j = (001)$ analog zu den beschriebenen Verhältnissen der Schalter S_S die Sperrspannung und somit die Schaltverluste übernehmen. Für $s_j = (000)$, also ein gleichzeitiges Ausschalten der Transistoren S_S und S_T , würden sich bei ideal symmetrischen Bedingungen für die beiden Phasen (idente Schaltgeschwindigkeiten der Transistoren inklusive Gate-Treiber und idente Kommutierungswege) die Schaltverluste auf die beiden Schalter gleich aufteilen. Da diese perfekte Symmetrie jedoch in der Realität nie gegeben ist, werden sich die Verluste ungleich auf die beiden beteiligten Schalter aufteilen bzw. gänzlich von dem schneller ausschaltenden Transistor übernommen. In jedem Fall bleibt die Summe der Verluste gleich wie in den ersten beiden Fällen ($s_j = (010)$ und $s_j = (001)$), daher sind die drei Fälle aus Sicht der Verlustleistungsbilanz gleichwertig.

Für das Wieder-Einschalten des Schalters S_T (siehe Abbildung 4.1(e)) entstehen analog zum Ausschalten Verluste proportional zur Spannung u_{ST}

$$p_{on,T} = f(u_{ST}, I).$$
 (4.4)

Da nun auch an der Freilaufdiode wieder die Sperrspannung u_{ST} auftritt, treten hier zusätzlich Rückwärtserholverluste

$$p_{rev,DF} = f(u_{ST}, I) \tag{4.5}$$

auf, die ihrerseits nun auch – aufgrund des hohen reverse recovery Stromes relevante – Vorwärtserholverluste Verluste in den Moduldioden D_{S,N^+} , D_{S^+} , D_{T,N^-} und D_{T^-}

$$p_{fwd,Di} = f(u_{ST}, I) \tag{4.6}$$

verursachen.

Beim Einschalten des Transistors S_R und damit dem Kommutieren des Stromes I von der Phase S zur Phase T (siehe Abbildung 4.1(d)) fallen analog zu den vorherigen Überlegungen Schaltverluste

$$p_{on,R} = f(u_{RS}, I) \tag{4.7}$$

proportional zur Spannung U_{RS} an. Die reverse recovery Verluste der Moduldiode D_{S^+}

$$p_{rev,Di} = f(u_{RS}, I) \tag{4.8}$$

verursacht ihrerseits wieder forward recovery Verluste in den Moduldioden D_{R,N^+} und D_{R^+}

$$p_{fwd,Di} = f(u_{RS}, I).$$
 (4.9)

Die in der Moduldiode $D_{S,N}$ auftretenden Vorwärtserholverluste werden auf Grund der Tatsache, dass nur der Rückwärtserholstrom, nicht jedoch der DC-Strom *I* wirksam ist, vernachlässigt.

Zusammenfassend kann also gesagt werden, dass bei sämtlichen Schalthandlungen – wie eingangs behauptet – stets die Differenz zwischen der vor und nach der Schalthandlung auftretenden Zwischenkreisspannung für alle Schaltverlustenergien massgebend ist.

Eine Minimierung der Schaltverluste kann demnach dadurch erzielt werden, dass die Summe der durch die Schalthandlungen hervorgerufenen Differenzen der an der Freilaufdiode auftretenden Spannungen minimal wird. Für alle folgenden Untersuchungen soll davon ausgegangen werden, dass der volle Aussteuergrad des Konverters genutzt werden soll. Dies hat zur Konsequenz, dass immer die zwei grössten zur Verfügung stehenden verketteten Eingangsspannungen zur Bildung der Zwischenkreisspannung benutzt werden.

Für kleine Ausgangsspannungen könnten zwecks Minimierung der Schaltverluste auch die mittlere und die kleinste verkettete Eingangsspannung benutzt werden. Die

maximal einstellbare Ausgangsspannung ist aber dann um den Faktor $\sqrt{3}$ kleiner als bei der oben beschriebenen Modulationsmethode, also

$$U_{0,\max} = \frac{\sqrt{3}}{2} \hat{U}_N \,. \tag{4.10}$$

Damit könnte eine Ausgangsspannung von $U_0 = 400$ V erst ab einer Eingangsspannung von $\hat{U}_N = 462$ V im reinen Buck-Betrieb realisiert werden. Daher ist dieser Betrieb für die in Kapitel 1 vorgestellten Spezifikationen irrelevant und wird daher hier nicht behandelt.

4.1.1 Klemmung der mittleren Phase (MPC)

Eine mögliche Umsetzung der Erkenntnisse aus Kapitel 2 ist ein Modulationsverfahren, das durch minimale Schaltverluste gekennzeichnet ist und bei dem der Leistungsschalter einer Phase – jeweils der mit der zweitgrössten aktuellen Phasenspannung – geklemmt, d.h. während eines 60°-Intervalls ständig eingeschaltet ist (MPC = Middle Phase Clamped). Dadurch müssen nur noch die Schalter der beiden anderen Phasen angesteuert werden, was eine einfachere Steuerung ermöglicht.

Abbildung 4.2 zeigt die Verläufe der Phasenspannungen, der verketteten Spannungen, der Spannung an der Freilaufdiode und der Schaltfunktionen für eine Netzperiode. Um die Verhältnisse zu veranschaulichen wurde einerseits die Schaltfrequenz auf die 12-fache Netzfrequenz (600Hz) reduziert und andererseits der Kondensatorspanungs-Rippel vernachlässigt (Speisung durch Sinusspannungsquellen angenommen). Die Einschaltdauern für die einzelnen Sektoren sind in TABELLE 4.1 zusammengefasst.

Dieses Modulationsverfahren wurde bereits in [10] vorgestellt. Ein klares Defizit dieses Verfahrens wird bei Betrachten der Eingangsströme in Abbildung 4.3 sichtbar (hier für eine Schaltfrequenz von $f_s = 20$ kHz). Offensichtlich treten alle $\varphi = n \pi/3$ (n = 0,1,2,...), also bei jedem zweiten der zwölf Sektorwechsel Oszillation zweier Eingangsströme auf, was in der Literatur schon sowohl bei der Dreischaltertopologie [34] als auch für die Sechsschalter-Topologie [35] beschrieben wurden.

Modulation



Abbildung 4.2: Phasenspannungen und verkettete Eingangsspannungen (oben), die für das MPC-Verfahren an den Zwischenkreis geschalteten Ausschnitte der verketteten Eingangsspannungen (Mitte) und das dazu gehörige, für das MPC-Verfahren typische Schaltmuster (unten) für eine Schaltfrequenz von $12f_N = 600$ Hz und unter Vernachlässigung des Filterkondensator-Spannungsrippels zur besseren Veranschaulichung.

TABELLE 4.1

Relative Einschaltdauern der drei Schalter S_R , S_S , S_T für das MPC-Modulationsverfahren, wobei aus Gründen der Übersichtlichkeit $m_i = M^{-1} |u_{CI,i}| / |\underline{u}_{CI}|$ verwendet wurde. Die Beziehungen lassen sich aus TABELLE 2.1 ableiten.

Sektor	$\delta_{\!R}$	δ_{S}	δ_T
1+7	m_R	1	m_T
2+8	m_R	1	m_T
3+9	1	m_S	m_T
4+10	1	m_S	m_T
5+11	m_R	m_S	1
6+12	m_R	m_S	1



Abbildung 4.3: Verlauf der Netzphasenströme für das MPC-Modulationsverfahren.

Im Folgenden wird dieser Effekt im Detail analysiert. Dabei werden aus Gründen der Anschaulichkeit ohne Einschränkung der Allgemeingültigkeit der getätigten Aussagen folgende Annamen getroffen:

- Der DC-Strom sei von der Induktivität L₀ ideal konstant eingeprägt, d.h. es gelte L₀ → ∞ und Δi_{L,pp} → 0
- Das Eingangsfilter als einstufiges LC-Filter mit einfachem Dämpfungswiderstand R_D parallel zur Filterinduktivität L angenommen. Dies soll anschaulich den Zusammenhang zwischen Gleichrichter-Eingangsstrom und Netzstrom anschaulich zeigen⁴. In Kapitel 5 wird schliesslich ein zweistufiges Filter entworfen, wobei die zweite Filterstufe auf Grund der oberhalb der Schaltfrequenz liegenden Resonanzfrequenz und auf Grund ausreichender passiver Dämpfung der Filterstufe (siehe Kapitel 5) auf diese Untersuchungen keinen Einfluss hat.
- Die Phasenverschiebung zwischen dem Netzspannungsraumzeiger $\underline{u}_{N,i}$ und dem Raumzeiger der Grundschwingung der Filterkondensatorspannung $\underline{u}_{CI,i}$ durch das Eingangsfilter bleibt nur insofern berücksichtigt, als dass die Sektorinformation als um eine halbe Pulsperiode verzögert detektiert angenommen wird.

Es sei nun der Sektorwechsel um $\varphi = \pi/3$ betrachtet. Wären die Kondensatorspannungen rippelfrei und exakt in Phase mit den Netzspannungen $u_{CI,i} = u_{N,i}$, so würden sich die beiden Spannungen $u_{CI,R}$ und $u_{CI,S}$ bei Annäherung an die Sektorgrenze mit $u_{CI,R} > u_{CI,S}$ sukzessive nähern, bis sie exakt an der Sektorgrenze $\varphi_{CI} = \pi/3$ denselben Wert $u_{CI,R} = u_{CI,S}$ aufweisen und sich im darauf folgenden Sektor mit $u_{CI,R} < u_{CI,S}$ wieder auseinander bewegen würden.

Nun sind die Filterkondensatorspannungen aufgrund des endlichen Kapazitätswertes der Filterkondensatoren in der Realität jedoch rippelbehaftet. Dadurch existiert nicht ein Schnittpunkt exakt an der Sektorgrenze, sondern wie in Abbildung 4.4 ersichtlich treffen die Filterkondensatorspannungen $u_{CI,R}$ und $u_{CI,S}$ schon einige Pulsperioden zuvor aufeinander, d.h. am Eingang der Brückenzweige *R* und *S* liegt exakt das selbe Potential. Dies tritt zum ersten Mal auf, wenn alle Schalter eingeschaltet sind, also der Eingangskreis einem Brückengleichrichter entspricht. Solange $s_i = (111)$

⁴ Der Dämpfungswiderstand $R_{\underline{D}}$ wird dabei unter Berücksichtigung optimaler Dämpfung (siehe [51] mit $R_D = 3.9\Omega$ gewählt.
gilt, kann sich an dieser Situation nichts ändern, d.h. die Filterkondensatorspannungen $u_{CI,R}$ und $u_{CI,S}$ gleiten aneinander, bis eine Änderung des Schaltzustandes eintritt. Diese Abschnitte werden daher als Filterkondensatorspannungs-Gleitstücke bezeichnet (engl. *Sliding Input Filter Capacitor Voltage Intersections*).

Durch das gleiche Potential an den Phasen R und S werden zusätzlich zu den Dioden $D_{R,N+}$ und D_{R+} der Phase R auch die Dioden $D_{S,N+}$ und D_{S+} der Phase S leitend, wodurch auch ein Stromfluss in der Phase S entsteht. Der Gesamtstrom ist durch $i_{rec,R} + i_{rec,S} = I$ gegeben, es tritt ein Teil des Stromes der Phase R nun in Phase S auf (siehe Abbildung 4.4). Diese fehlenden Strom-Zeit-Flächen des Gleichrichter-Eingangsstromes in Phase R bewirken ein Absinken des Eingangsstromes der Phase R

$$i_{N,R} = i_{rec,R} + i_{C1,R} \tag{4.11}$$

während die zusätzlichen Strom-Zeit-Flächen in Phase S einen Anstieg des Eingangsstromes der Phase S

$$i_{N,S} = i_{rec,S} + i_{C1,S} \tag{4.12}$$

bewirken. Durch die gleichen Filterkondensatorspannungen in den Phasen *R* und *S* sind auch die Ströme in den Filterkondensatoren während $s_i = (111)$ identisch

$$i_{C1,R} = C_{1,R} \cdot \frac{d}{dt} u_{C1,R} = i_{C1,S} = C_{1,S} \cdot \frac{d}{dt} u_{C1,S}$$
(4.13)

Da sich die lokalen Mittelwerte der Filterkondensatorspannungen bei Annäherung an die Sektorgrenze immer weiter annähern, wie in Abbildung 4.4 ersichtlich, wird der Effekt der Gleitstücke mit jedem weiteren Aufeinandertreffen der Kondensatorspannungen stärker, was zu einer immer ausgeprägteren Verzerrung der Netzströme von der Sinusform führt.



Abbildung 4.4: Effekt der Filterkondensator-Gleitstücke an der Sektorgrenze zwischen Sektor 2 und Sektor 3.

Nach dem Übergang von Sektor 2 in Sektor 3 wird zunächst der Schaltzustand $s_j =$ (101) eingestellt. Der Eingangsstrom $i_{rec,R} = I$ führt zur Entladung des Kondensators $C_{I,R}$ und damit zum Absinken der Filterkondensatorspannung $u_{CI,R}$ und in weiterer Folge dazu, dass nun erstmals die Kondensatorspannung $u_{CI,R}$ die Spannung $u_{CI,S}$ unterschreitet, $u_{CI,R} < u_{CI,S}$. Für den nächstfolgenden Schaltzustand $s_j =$ (111) nähern sich die beiden Kondensatorspannungen wieder an und es tritt unter umgekehrten Grössenverhältnissen abermals ein Gleitstück auf. Allerdings bewegen sich die Kondensatorspannungen im Folgenden rasch auseinander, wodurch kein weiteres Gleitstück mehr zu beobachten ist und die Eingangsstromverzerrung bei weitem geringer ist als vor dem Sektorwechsel. Durch die starke Dämpfung des Eingangsfilters mit dem Widerstand R_D stellt sich rasch wieder ein im Mittel sinusförmiger, nicht mehr durch Gleitstücke der Filterkondensatorspannungen $u_{CI,R}$ und $u_{CI,T}$ analog zu den beschriebenen Verhältnissen eine Anregung des Eingangsfilters und damit eine Verzerrung der Netzeingangsströme $i_{N,R}$ und $i_{N,T}$ bewirken.

Es drängt sich also auf, als Massnahme gegen die beschriebenen Stromverzerrungen an den Sektorgrenzen vom Konzept der Phasenklemmung abzugehen und den Schaltzustand $s_j = (111)$ zu vermeiden, d.h. jeweils die Phase, die ausserhalb der Sektorgrenzen keinen Strom führt und deren Stromführung zu den Verzerrungen an den Sektorgrenzen führt, abzuschalten. Dieses Verfahren wird in Kapitel 4.1.3 beschrieben und stellt auf Grund der minimalen Schaltverluste und der verbesserten Netzstromqualität das optimale Modulationsverfahren dar.

4.1.2 Klemmung der höchsten Phase (HPC)

Als bezüglich Schaltverlusten und Netzstromqualität gleichwertige Variante zu dem zuvor beschrieben MPC-Verfahren kann auch der Leistungsschalter der Phase mit der grössten aktuellen Phasenspannung geklemmt werden (HPC = Highest Phase Clamped) [10]. Die Schaltfunktionen sind dann während der beiden aktiven Zustände identisch zum MPC-Verfahren, lediglich der Freilaufzustand ist unterschiedlich. Bezüglich der Schaltverluste, der beschriebenen Eingangsstrom-Verzerrungen sowie der Programmierbarkeit des Pulsmusters sind die beiden Verfahren aber vollkommen identisch, daher wird das Verfahren hier nicht näher beschrieben.

4.1.3 Schaltverlustoptimale Modulation mit geringen Netzstromverzerrungen (SLO)

Ausgehend von der Analyse der beim MPC- sowie HPC-Verfahren auftretenden Verzerrungen der Eingangsströme (siehe Kapitel 4.1.1) wurden in [36] bzw. [37] Modulationsverfahren entwickelt, die die Stromverzerrungen weitestgehend vermeiden und ebenfalls minimale Schaltverluste garantieren. Eine darüber hinaus gehende Verringerung der Netzstromverzerrungen ist nur unter in Kaufnahme von höheren Schaltverlusten möglich. Ein derartiges Verfahren wird anschliessend in Kapitel 4.2.2 beschrieben.

Die hier vorgestellte schaltverlustoptimale Modulation mit geringen Eingangsstromverzerrungen ist den beiden Klemmverfahren vorzuziehen und wird daher als das schaltverlustoptimale Modulationsverfahren (SLO = Switching Loss Optimized) bezeichnet und als Standardverfahren für die weiteren Untersuchungen verwendet.

Beim SLO-Verfahren wird, wie schon in Kapitel 4.1.1 angedeutet, nun der Schaltzustand $s_i = (111)$ vermieden, indem der Transistor der jeweils zweitgrössten Phasenspannung während des ersten aktiven Zustandes jeder Pulsperiode ausgeschaltet wird (z.B. Transistor S_s im Eingangssektor 1, siehe Abbildung 4.5). Ausgehend von den beiden Klemmverfahren gibt es daher zwei Realisierungsvarianten SLO und SLO-2. Abbildung 4.5 zeigt für den Eingangsspannungs-Sektor 1 eine Zusammenstellung der vier Varianten. Die SLO-Variante (siehe [36]) ist das aufgrund der einfacheren Programmierbarkeit eher einzusetzende Verfahren, da das Pulsmuster der Phase S bei dem aus der HPC-Modulation entwickelten SLO-2-Verfahren [37] nicht mehr einfach durch Verschneidung mit einem einfachen Dreiecksignal generiert werden kann (siehe Abbildung 4.5). Bezüglich der Schaltverluste und Stromverzerrungen sind die beiden Verfahrenaber identisch da sich SLO- und SLO-2-Verfahren nur durch die Realisierung des Freilaufzustandes unterscheiden ($s_i = (010)$ bzw. $s_i = (100)$ in Abbildung 4.5), der wie in Kapitel 4.1 festgestellt keine Auswirkung auf die Schaltverluste und auch auf die Qualität des Netzstromes hat. Im Weiteren wird daher das SLO-2-Verfahren nicht mehr näher betrachtet.

Bei beiden Verfahren muss jedenfalls sichergestellt werden, dass sich nicht zwischen dem Ein- und Ausschalten der Transistoren durch eine Differenz von in der Realität

immer auftretenden Ein- und Ausschaltverzögerungen der Ansteuerstufen zwischen den beiden aktiven Zuständen ein Freilaufzustand einstellt, der hohe Schaltverluste und ebenfalls Stromverzerrungen zur Folge hätte. Daher wird eine Sicherheitszeit zwischen dem Ein- und dem Ausschalten der Transistoren beim Übergang zwischen den beiden aktiven Schaltzuständen eingehalten, die minimale Schaltverluste sicherstellt und auf Grund der geringen Dauer die Stromformen nicht beeinflusst.

In Abbildung 4.6 sind die verbesserten Stromformen im Vergleich zum MPC-Verfahren (siehe Abbildung 4.3) eindeutig zu sehen. Auch wenn noch geringfügige Stromverzerrungen festgestellt werden können, so ist das SLO-Verfahren klar vorzuziehen.

Analog zu den Darstellungen in Kapitel 4.1.1 werden in Abbildung 4.7 die Eingangsspannungen, die Gleichrichter-Eingangsströme und die Netzströme für das SLO-Verfahren dargestellt. Die beschriebenen Gleitstücke der Kondensatorspannungen treten hier nicht mehr auf, ebenso keine gleichzeitige Stromführung aller drei Phasen. Augenscheinlich ist auch hier die Verminderung der Netzströmverzerrung der zwei beteiligten Phasen in Abbildung 4.7 im Vergleich zu Abbildung 4.4.



Abbildung 4.5: Entwicklung des SLO-Modulationsverfahrens aus dem MPC-Verfahren durch bewusste Vermeidung der Klemmung und Einführung der Sicherheitszeit t_d (links) bzw. Entwicklung des SLO-2-Verfahrens aus dem HPC-Verfahren (dargestellt hier am Beispiel des Eingangssektors 1).



Abbildung 4.6: Verlauf der Netzströme für das SLO-Modulationsverfahren.

Abbildung 4.8 zeigt den Einfluss des Zeitpunktes der Detektion des Sektorwechsels auf das Ausmass der Stromverzerrung. Die Stromverzerrung ist für eine Verzögerung der Sektordetektion von 0.5 Pulsperioden (durchgezogene Linie) und für 3.5 Pulsperioden (punktierte Linie) etwa gleich gross. Dabei wird in beiden Fällen der Sektorwechsel in der Mitte des Pulsmusters, also im Freilaufzustand durchgeführt. Dahingegen tritt eine verhältnismässig stärkere Stromoszillation auf, wenn der Sektorwechsel um genau eine Pulsperiode verzögert detektiert wird, wenn die Änderung des Pulsmusters also zwischen zwei aktiven Zuständen erfolgt.

Offensichtlich spielt der genaue Zeitpunkt der Detektion für die Qualität der Netzströme eine untergeordnete Rolle, d.h. die Phasenverschiebung aufgrund des Eingangsfilters (siehe Kapitel 5) und die Verzögerung durch Abtastung, Mittelwertbildung und Pulsmusterausgabe (siehe Kapitel 6) haben keinen entscheidenden Einfluss auf die Stromqualität, solange das Pulsmuster im Freilaufzustand geändert wird⁵ (siehe Abbildung 4.8 für $0.5T_P$ und $3.5T_P$). Dies ist eine wichtige Konsequenz für die Realisierung des Pulsmusters in einem digitalen Signalprozessor.

⁵ Der Einfluss einer Totzeit in der Sektordetektion auf die Dynamik der Regelung wird separat in Kapitel 6.4 behandelt.



Abbildung 4.7: Unterbindung der Filterkondensator-Gleitstücke durch Anwendung des SLO-Verfahrens, dargestellt anhand der Filterkondensatorspannungen und der Eingangsströme.



Abbildung 4.8: Einfluss des Zeitpunktes der Detektion des Sektorwechsels auf das Ausmass der Eingangsstromverzerrungen.

Falls die Zeitdauer eines Sektors kein ganzzahliges Vielfaches der Periodendauer ist

$$n \cdot T_P \neq \frac{2\pi}{12 \cdot \omega_N} \tag{4.14}$$

(wie dies zum Beispiel für niedrige Schaltfrequenzen leicht der Fall sein kann), so fällt die Sektorgrenze an eine Stelle innerhalb einer Pulsperiode. Die Verzögerung der Sektordetektion wird daher allgemein nicht wie vorhin besprochen ein ganzzahliges Vielfaches von $0.5T_P$ sein. Der exakte Wert der Verzögerung der Detektion spielt jedoch auch hier wieder eine untergeordnete Rolle, für eine Reduzierung der Netzstromverzerrung ist in erster Linie entscheidend, dass wie oben beschrieben das Pulsmuster im Freilaufzustand geändert wird.

Abschliessend sind in TABELLE 4.2 noch die Einschaltdauern der Transistoren für das SLO-Verfahren zusammengefasst. Zur Generierung der SLO-Pulsmuster der drei Phasen werden jeweils zwei Phasen (z.B. s_R und s_T in Abbildung 4.5) mit einem mit Schaltfrequenz periodischen Dreiecksignal der Form

$$\Delta(t_{\mu}) = \begin{cases} \frac{t_{\mu}}{0.5T_{P}} & 0 \le t_{\mu} \le 0.5T_{P} \\ 2 - \frac{t_{\mu}}{0.5T_{P}} & 0.5T_{P} \le t_{\mu} \le T_{P} \end{cases}$$
(4.15)

und die dritte Phase (z.B. s_T in Abbildung 4.5) mit einem um 180° phasenverschobenen Dreiecksignal

$$\Delta'(t_{\mu}) = \begin{cases} 1 - \frac{t_{\mu}}{0.5T_{P}} & 0 \le t_{\mu} \le 0.5T_{P} \\ -1 + \frac{t_{\mu}}{0.5T_{P}} & 0.5T_{P} \le t_{\mu} \le T_{P} \end{cases}$$
(4.16)

verschnitten. D.h. das Pulsmuster der Phase R wird gemäss TABELLE 4.2 in den Sektoren 1,2,5,6,7,8,11, und 12 mit

$$s_R = \begin{cases} 1 & m_R \ge \Delta(t) \\ 0 & m_R < \Delta(t) \end{cases}$$
(4.17)

generiert und in den Sektoren 3,4,9 und 10 mit

$$s_R = \begin{cases} 1 & m_R \ge \Delta'(t) \\ 0 & m_R < \Delta'(t) \end{cases}.$$
(4.18)

${\rm TABELLE}\,4.2$

Relative Einschaltdauern der drei Schalter S_R , S_S , S_T für das SLO-Modulationsverfahren mit $m_i = M^{-} |u_{CI,i}| / |\underline{u}_{CI}|$. Die grau schraffierten Bereiche werden mit einem zu den beiden anderen Phasen um 180° phasenverschobenen Dreiecksignal verschnitten (siehe s_S in Abbildung 4.5).

Sektor	$\delta_{\!R}$	δ_{S}	δ_T
1+7	m_R	1- $m_T + t_d$	m_T
2+8	m_R	1- $m_R + t_d$	m_T
3+9	1- $m_S + t_d$	m_S	m_T
4+10	1- $m_T + t_d$	m_S	m_T
5+11	m_R	m_S	1- $m_R + t_d$
6+12	m_R	m_S	1- $m_S + t_d$

4.2 Verfahren zur Minimierung der Netzstromverzerrungen

4.2.1 Kontinuität an den Sektorgrenzen

Wie im vorangegangenen Kapitel festgestellt wurde, können mittels des SLO-Verfahrens die Verzerrungen der Netzströme weitestgehend vermieden werden, indem vom Konzept der Klemmung einer Phase abgegangen wird. Jedoch sind, wie an den Stromformen in Abbildung 4.6 und Abbildung 4.7 ersichtlich ist, immer noch geringfügige Verzerrungen an den Sektorgrenzen erkennbar. Bei sehr geringer Dämpfung des Eingangsfilters kann daher ein Verfahren zur weiteren Minimierung der Netzstromverzerrungen erwünscht sein.

Im Folgenden werden die Verhältnisse an den Sektorübergängen näher betrachtet, indem die Kontinuität des Pulsmusters an den Sektorgrenzen analysiert wird, und daraus ein Verfahren zur weiteren Reduzierung der Netzstromverzerrungen abgeleitet.

Es sei zunächst der Eingangsspannungssektor $0 < \varphi < 30^{\circ}$ (Sektor 1) betrachtet. Hier wird - schaltverlustoptimale Modulation vorausgesetzt – der Stromraumzeiger wie in Abbildung 4.9(a) gezeigt durch die zwei aktiven Zustände (101) und $s_j =$ (110) gebildet. Entsprechend den Gleichungen (2.24) und (2.25) bzw. TABELLE 2.1 sind die relativen Einschaltdauern dann durch

$$\delta_{101} \sim \left| u_{C1,T} \right| \tag{4.19}$$

$$\delta_{110} \sim \left| u_{C1,S} \right| \tag{4.20}$$

gegeben, gemäss schaltverlustoptimalem Verfahren SLO werden die Zustände in der Reihenfolge (101)-(110)-(010)-(110)-(101) geordnet. Nun stellt sich die Frage, ob an der Grenze zum nächsten Sektor eine Diskontinuität im Pulsmuster auftreten kann. Bei Annäherung an die Sektorgrenze verringert sich der Wert der relativen Einschaltdauer δ_{110} durch dessen Proportionalität mit $u_{CI,S}$ zunehmend und erreicht bei φ = 30° den Wert 0, d.h. der Stromraumzeiger wird nur noch durch den Zustand s_j = (101) (und den Freilaufzustand s_j = (010)) bestimmt (siehe Abbildung 4.9(b)). Im Bereich 30° < φ < 60° wird der Stromraumzeiger durch die Schaltzustände δ_{101} und

 δ_{011} gebildet (siehe TABELLE 2.1 und Abbildung 4.9(c)) und es gelten die Beziehungen

$$\delta_{101} \sim \left| u_{C1,R} \right| \tag{4.21}$$

$$\delta_{011} \sim \left| u_{C1,S} \right| \tag{4.22}$$

Nach dem schaltverlustoptimalen Verfahren muss die Reihenfolge (101)-(011)-(010)-(011)-(101) gelten. D.h. es wird an der Sektorgrenze einerseits der Zustand s_j = (110) durch den Zustand s_j = (011) ersetzt, dessen relative Dauer vorher wie nachher durch den Spannungswert $|u_{CI,S}|$ bestimmt wird und darüber hinaus an der Sektorgrenze je nach Spannungsdetektion mehr oder weniger exakt gleich null ist. Andererseits wird die relative Einschaltdauer des Zustandes s_j = (101) nun über $|u_{CI,R}|$ statt $|u_{CI,T}|$ berechnet, die an der Sektorgrenze idealerweise den gleichen Wert aufweisen sollten. Aufgrund des Kondensatorspannungsrippels und evtl. Messunsicherheiten kann es zu kleinen Unterschieden kommen, im Wesentlichen wird aber das Pulsmuster an der Sektorgrenze ohne Diskontinuität fortgesetzt. Es ist in Abbildung 4.6 auch ersichtlich, dass bei $\varphi = 30^{\circ}$ (und ebenso bei 90°, 150°, 210° und 270°) keine Verzerrung des Eingangsstromes auftritt. Diese Sektorübergänge sind also unkritisch.

Nun sei der nächste Sektorübergang bei $\varphi = 60^{\circ}$ betrachtet. Die Situation vor der Sektorgrenze ist die oben beschriebene und ist für $\varphi = 50^{\circ}$ in Abbildung 4.9(d) noch einmal verdeutlicht. Exakt an der Sektorgrenze bei $\varphi = 60^{\circ}$ weisen die beiden relativen Einschaltdauern δ_{101} und δ_{011} aufgrund von $|u_{CI,T}| = |u_{CI,S}|$ den gleichen Wert auf (siehe Abbildung 4.9(e)). Im folgenden Sektor gelten zwar die gleichen Berechnungen für die beiden aktiven Zustände (4.21), (4.22), um die Schaltverlustminimalität weiterhin zu garantieren, muss jedoch an der Sektorgrenze die Reihenfolge der zwei aktiven Zustände vertauscht werden.

Diese Vertauschung der Reihenfolge verursacht, wie schon an den Schaltbefehlen in Abbildung 4.7 bei $t_{\mu} = 0.5T_P$ erkennbar wird, eine Diskontinuität in den Gleichrichter-Eingangsströmen der Phasen *R* und *S*.



Abbildung 4.9: Darstellung der Stromraumzeigerbildung i_{rec} durch die verfügbaren Raumzeiger für $\varphi = 20^{\circ}$, 30° , 40° , 50° , 60° und 70° zur Analyse der Kontinuität der Pulsmuster an den Sektorgrenzen bei $\varphi = 30^{\circ}$ und $\varphi = 60^{\circ}$.

Es zeigt sich also, dass bei schaltverlustoptimalen Modulationsverfahren zumindest eine geringfügige Diskontinuität in den Gleichrichter-Eingangsströmen und damit eine Anregung des Eingangsfilters unvermeidbar ist (siehe auch Abbildung 4.6 bei φ = $n\pi/3$). Als Alternative zu den bisher besprochenen Verfahren wird daher nun ein Modulationsverfahren vorgestellt, das durch optimale Kontinuität des Pulsmusters und damit durch minimale Stromverzerrungen gekennzeichnet ist, jedoch nicht mehr minimale Schaltverluste aufweist.

4.2.2 Modulationsverfahren mit minimalen Eingangsstromverzerrungen (CDO)

Wird die im vorigen Kapitel angesprochene Optimierung der Stromformen angestrebt, so muss für Kontinuität des Pulsmusters an den Sektorgrenzen $\varphi = n \pi/3$ (n = 0,1,2,...) gesorgt werden. Dies kann erreicht werden, wenn wie in Abbildung 4.10 gezeigt die Reihenfolge der Schaltzustände (101)-(110)-(010)-(110)-(101) auch nach $\varphi = \pi/3$ beibehalten wird [37].



Abbildung 4.10: Schaltbefehle und Verlauf der Zwischenkreisspannung für das CDO-Modulationsverfahren für eine Schaltfrequenz von $12 f_N = 600$ Hz und unter Vernachlässigung des Filterkondensator-Spannungsrippels zur besseren Veranschaulichung analog zu Abbildung 4.2.

Die Verbesserung der Stromqualität in Abbildung 4.11 (oben) gegenüber Abbildung 4.11 (unten) ist klar ersichtlich. Allerdings wird diese Verbesserung mit erhöhten Schaltverlusten erkauft, da nun die Reihenfolge der Schaltzustände nicht mehr nach dem in Kapitel 4.1 besprochenen Prinzip der Schaltverlustoptimalität erfolgt. Ab $\varphi = \pi/3$, wo noch Gleichheit der an den Zwischenkreis geschalteten Spannungen $u_{CI,RT} = u_{CI,ST}$ gilt, wird nun stets zuerst die zweitgrösste und dann die grösste verkettete Filterkondensatorspannung geschaltet, was gegenüber der ursprünglichen Schaltreihenfolge zusätzliche Aus- (und in der zweiten Pulshalbperiode ebenso Ein-) Schaltverluste verursacht. Zur Veranschaulichung ist der Verlauf der Zwischenkreisspannung für das CDO-Verfahren in Abbildung 4.10 für eine sehr niedrige Schaltfrequenz ($f_S = 600$ Hz) und mit sinusförmigen Eingangsspannungen ohne Spannungsrippel dargestellt.

An dem bezüglich Stromverzerrungen unkritischen Übergang bei $\varphi = \pi/2$ wird wie beim SLO-Verfahren der Schaltzustand $s_j = (110)$ durch $s_j = (011)$ ersetzt, was an den Grössenverhältnissen der geschalteten Spannungen nichts ändert. Erst bei Erreichen der Sektorgrenze bei $\varphi = 2\pi/3$ sind unter Einhaltung der Kontinuität des Schaltmusters die Schaltverluste wieder minimal, das Schaltmuster entspricht ab hier wieder (bis zum nächsten kritischen Sektorwechsel bei $\varphi = \pi$) dem SLO-Verfahren. Dies wird entsprechend fortgesetzt, sodass einem 60° breiten Intervall mit schaltverlustoptimalem Pulsmuster immer ein 60° breites Intervall mit einem durch erhöhte Schaltverluste gekennzeichnetem Pulsmuster folgt (und vice versa). Das CDO-Verfahren besteht demnach aus drei 60° breiten Intervallen mit gegenüber dem SLO-Verfahren vertauschter Reihenfolge der aktiven Zustände (hier $\varphi = 60^{\circ}..120^{\circ}$, $180^{\circ}..240^{\circ}$, $300^{\circ}..360^{\circ}$)⁶, sowie drei ebenfalls 60° breiten Intervallen mit derselben Schaltreihenfolge wie beim SLO-Verfahren. Die relativen Einschaltdauern in Abhängigkeit der Eingangsspannungssituation sind in TABELLE 4.3 aufgelistet.

⁶ Natürlich kann ebenso die Schaltreihenfolge der Bereiche -30°..30°, 90°..150°, 210°..270° vertauscht werden.



Abbildung 4.11: Verlauf der Eingangsströme in der Umgebung der Sektorgrenze bei $\varphi = \pi/3$ für das SLO-Verfahren (oben) und das CDO-Verfahren (unten).

Dass die Stromformen gegenüber den schaltverlustoptimalen Verfahren verbessert sind, ist in Abbildung 4.12 klar ersichtlich. Es stellt sich jedoch die Frage, um welchen Faktor die Schaltverluste beim CDO-Verfahren gegenüber dem SLO-Verfahren sich nun erhöhen. Für eine Abschätzung wird eine lineare Abhängigkeit der Schaltverlustenergie von Strom und Spannung angenommen und der Sektor 3 ($\varphi = 60^{\circ}..90^{\circ}$), in dem die Pulsmuster erstmals unterschiedlich sind, analysiert. Beim SLO-Verfahren wird in diesem Sektor zunächst die verkettete Spannung u_{SR} und dann die Spannung u_{RT} geschaltet. Damit ergibt sich über das 30°-Intervall eine mittlere geschaltete Spannung von

$$u_{sw,avg,SLO,60^{\circ}-90^{\circ}} = u_{C1,SR,avg,60^{\circ}-90^{\circ}} + u_{C1,RT,avg,60^{\circ}-90^{\circ}} = u_{C1,ST,avg,60^{\circ}-90^{\circ}} = \frac{3 \cdot \sqrt{3} \cdot \hat{U}_{C1}}{\pi}.$$
(4.23)

Im Gegensatz dazu wird beim CDO-Verfahren die verkettete Spannung u_{SR} und dann die Spannung u_{ST} geschaltet. Damit ergibt sich über das 30°-Intervall eine mittlere geschaltete Spannung von

$$u_{sw,avg,CDO,60^{\circ}-90^{\circ}} = u_{C1,SR,avg,60^{\circ}-90^{\circ}} + u_{C1,ST,avg,60^{\circ}-90^{\circ}} = = \frac{3 \cdot \sqrt{3} \cdot \hat{U}_{C1}}{\pi} (2 - \sqrt{3}) + \frac{3 \cdot \sqrt{3} \cdot \hat{U}_{C1}}{\pi} = = \frac{3 \cdot \sqrt{3} \cdot \hat{U}_{C1}}{\pi} (3 - \sqrt{3}).$$
(4.24)

Damit erhöhen sich bei dem CDO-Verfahren die Schaltverluste gegenüber dem SLO-Verfahren in diesem Sektor um

$$p'[\%] = \frac{u_{sw,avg,CDO,60^\circ - 90^\circ}}{u_{sw,avg,SLO,60^\circ - 90^\circ}} - 1 = 2 - \sqrt{3} = 26.8\%.$$
(4.25)

Aufgrund der Symmetrie der Phasenspannungen gilt dies für alle Bereiche mit vertauschter Schaltreihenfolge, also die Hälfte einer Netzperiode. Die Erhöhung der Schaltverluste für das CDO-Verfahren beträgt daher insgesamt

$$p[\%] = \frac{p'[\%]}{2} = 13.4\%.$$
(4.26)

Ob diese Einbusse im Wirkungsgrad des Konverters für die meist geringfügige Verbesserung der Eingangsstromqualität in Kauf genommen wird, muss für den konkreten Einzelfall entschieden werden. Für niedrige Schaltfrequenzen könnte dieses Verfahren eventuell interessant sein. Im vorliegenden Fall wird aber in Hinblick auf die Forderung nach einem hohen Konverterwirkungsgrad in Zukunft stets das SLO-Verfahren eingesetzt.

Es sei abschliessend noch erwähnt, dass auch ausgehend von der zweiten Variante des schaltverlustoptimalen Pulsmusters (SLO2) ein Verfahren entwickelt werden kann, das durch minimale Netzstromverzerrungen an den Sektorgrenzen gekennzeichnet ist. Dieses Verfahren ist in [37] detailliert beschrieben. Allerdings ist auch hier so wie beim SLO2-Verfahren die Programmierung des Pulsmusters relativ aufwändig. Es wird daher nicht näher ausgeführt.

TABELLE 4.3

Relative Einschaltdauern der drei Schalter S_R , S_S , S_T mit $m_i = M^{-} |u_{CI,i}| / |\underline{u}_{CI}|$ für das CDO-Modulationsverfahren. Die grau schraffierten Bereiche werden mit einem zu den beiden anderen Phasen um 180° phasenverschobenen Dreiecksignal verschnitten.

Sektor	δ_{R}	δ_{S}	δ_T
1	m_R	$1 - m_T + t_d$	m_T
2	m_R	$1 - m_R + t_d$	m_T
3	$m_R + t_d$	$1-m_R$	m_T
4	$m_R + t_d$	m_S	$1 - m_R$
5	m_R	m_S	$1 - m_R + t_d$
6	m_R	m_S	$1 - m_S + t_d$
7	m_R	$m_S + t_d$	$1 - m_{S}$
8	$1-m_S$	$m_S + t_d$	m_T
9	$1 - m_S + t_d$	m_S	m_T
10	$1 - m_T + t_d$	m_S	m_T
11	$1-m_T$	m_S	$m_T + t_d$
12	m_R	$1-m_T$	$m_T + t_d$



Abbildung 4.12: Eingangsstromformen für das CDO-Modulationsverfahren.

Kapitel 5 Eingangsfilter

Ein Eingangsfilter für den Konverter ist im Wesentlichen aus folgenden Gründen vorzusehen:

- Der Eingangsstrom *i_{rec}* hat aufgrund der Tiefsetzstellerstruktur des Konverters naturgemäss pulsförmigen Verlauf. Um den schaltfrequenten Anteil herauszufiltern und eine sinusförmige Stromaufnahme zu gewährleisten ist zumindest ein einstufiges LC-Filter mit genügender Unterdrückung der Schaltfrequenz notwendig.
- Der Gleichrichter kann durch seine hochfrequente Störaussendung andere mit dem gleichen Versorgungsnetz verbundene Systeme in der Funktionsweise beeinträchtigen. Die Störaussendung darf die Limite, die in den Funkstörnormen CISPR 22 [38] (entspricht der europäischen Norm EN 55022) definiert sind, nicht überschreiten. Um diese Entkopplung des Konverters vom Netz zu erreichen, muss ein Filter entworfen werden, das sowohl Gegentakt- wie auch Gleichtaktstörungen des Systems entsprechend den Normen unterdrückt.
- Und letztlich muss durch das Eingangsfilter auch ein Schutz des Konverters vor hochfrequenten Störungen aus dem Netz [39],[40] sichergestellt werden.

Der Entwurf des Eingangsfilters ist eine relativ komplexe Aufgabe, da die folgenden, sich teilweise widersprechenden Zielsetzungen bestehen:

- Erfüllung der oben erwähnten Funkstörnormen für Gleichtakt- und Gegentaktstörungen
- Hohe Leistungsdichte des Gesamtsystems, d.h. das Volumen und das Gewicht der Filterbauteile sollen möglichst klein sein
- Genügend passive Dämpfung der Filterresonanzen, damit Störungen aus dem Netz nicht das Filter anregen können. Eine aktive Dämpfung des Filters ist in der Regelung zusätzlich vorzusehen (siehe Kapitel 6), ist bei ausgeschaltetem Konverter jedoch wirkungslos.
- Geringe Verluste in den Dämpfungswiderständen des Filters
- Geringe Phasenverschiebung durch das Filter, d.h. der von der Konverterfunktion erzielte Leistungsfaktor λ ~ 1 sollte vom Filter kaum verringert werden. Ansonsten müsste die Grundschwingungsverschiebung mittels z.B. mittels Störgrössenaufschaltung in der Regelung korrigiert werden [41],[42],[43].
- Minimierung der Ausgangsimpedanz des Filters um eine Instabilität der Regelung zu vermeiden bzw. die Anforderungen an das Reglerdesign zu verringern. In jedem Fall steigt durch das Einfügen des Eingangsfilters in ein bestehendes System die Neigung zur Instabilität, durch eine geringe Ausgangsimpedanz kann diese Gefahr tendenziell klein gehalten werden [44][45].

In industriellen Anwendungen spielen neben der einwandfreien Funktion auch die Kosten eine entscheidende Rolle. Hier wird dieser Aspekt aber nicht a priori in die Auswahl der Filterkomponenten miteinbezogen um wissenschaftlich interessante Ansätze nicht wirtschaftlichen Überlegungen unterzuordnen.

Zusätzlich wird das Filterdesign durch einige Tatsachen erschwert:

• Die Störaussendung lässt sich prinzipiell in zwei unterschiedliche Anteile aufspalten, und zwar Gleich- und Gegentaktstörungen. Gemessen wird die Summe beider Störanteile, die Massnahmen zur Eindämmung der Störausbreitung müssen jedoch naturgemäss von unterschiedlicher Natur sein.

- Die Impedanz des Netzes ist im Normalfall unbekannt und kann stark variieren. Im vorliegenden Fall wird, um alle praktisch auftretenden Fälle abzudecken, ein Bereich von $L_N = 5\mu$ H ... 150 μ H betrachtet. In jedem Fall muss die Stabilität des Gesamtsystems gewährleistet sein
- Der Messprozess der Funkstöranalyse zur Bestimmung der Störaussendung, der in der CISPR 16 [46] festgelegt ist, beeinflusst wesentlich das Messresultat. D.h. ohne Modellbildung des Messprozesses kann ein Eingangsfilter nicht korrekt für die Erfüllung der Funkstörnormen entworfen werden.
- Das Verhalten des Filters für hohe Frequenzen wird durch parasitäre Induktivitäten und Kapazitäten beeinflusst.
- Zur Realisierung des Filters ist ausserdem die Verfügbarkeit von nur diskreten Kondensatorwerten zu beachten

Aufgrund dieser Forderungen und Problemstellungen kann der Filterentwurf nicht in einem einzigen Designschritt bewerkstelligt werden. Vielmehr wird zunächst zwischen Gegentaktstörungen (*Differential Mode Noise*) und Gleichtaktstörungen (*Common Mode Noise*) unterschieden und der Filterentwurf dementsprechend in zwei Schritte unterteilt. Es ratsam, zunächst ein Filter rein zur Unterdrückung der Gegentaktstörungen zu entwerfen, das im Wesentlichen für die Leistungsdichte, den Leistungsfaktor und die Dynamik des Systems verantwortlich ist. In einem zweiten Schritt wird die verbleibende Störaussendung analysiert, ein Gleichtaktfilter entworfen und anschliessend überprüft, ob die Funkstörnormen erfüllt sind.

5.1 Entwurf des Gegentakt-Eingangsfilters (DM Filter)

5.1.1 Entwurfsverfahren



Abbildung 5.1: Vorgangsweise für den Entwurf des Gegentakt-Eingangsfilters.

Für den Entwurf des Gegentaktfilters wird zur Erfüllung der vorhin erwähnten Ziele das in [47] beschriebene Vorgehen (siehe Abbildung 5.1) gewählt. Zu Beginn steht die simulative Ermittlung der Gegentakt-Störaussendung des Konverters zunächst ohne Eingangsfilter in Form des Frequenzspektrums des Konverter-Eingangsstroms, der ein Spannungsspektrum am 50 Ω -Widerstand der LISN (*Line Impedance Stabilization Network*) verursacht. Dieser Spannungsabfall wird vom Funkstöranalysator gemessen und entsprechend einer Quasi-Peak-Messmethode im Bereich 150kHz – 30MHz ausgewertet. Das Messresultat gibt Aufschluss darüber, welche Gegentakt-Störunterdrückung das Filter aufweisen muss. Im nachfolgenden Schritt wird eine geeignete Filtertopologie festgelegt und die Auswahl der Filterkomponenten vorgenommen. Gegebenenfalls folgen dann noch weitere Verfeinerungsschritte, um das Filter hinsichtlich der anfangs erwähnten Zielsetzungen zu optimieren.

Im gesamten Designverfahren werden sämtliche Überlegungen aufgrund der Symmetrie der drei Phasen auf eine Phase beschränkt. D.h. es wird der Eingangsstrom einer Phase analysiert und ein einphasiges Filter entworfen, das dann schlussendlich für jede der drei Phasen gleichermassen verwendet wird.

Die dem Design zugrunde gelegten Normen sind die in CISPR 22 Class B [38] definierten Grenzwerte für Anwendungen in der Informationstechnologie, wobei der

Frequenzbereich von 150kHz – 30MHz für leitungsgebundene Störungen massgeblich ist.

5.1.2 Spektrum des Eingangsstromes

Für den Nennbetrieb des Konverters (P = 5kW, $U_N = 230$ V_{rms}, $U_0 = 400$ V) resultiert das in Abbildung 5.2 gezeigte Spektrum des Eingangsstromes. Dabei wurde eine Schaltfrequenz von $f_S = 28$ kHz gewählt, was, wie später gezeigt wird, eine geschickte Wahl in Bezug auf den Messbereich des Funkstörmessempfängers darstellt. Man sieht, dass im Bereich der Schaltfrequenz die Harmonischen in Seitenbändern gemäss

$$f_{harm} = m \cdot f_S \pm n \cdot f_{mains} \tag{5.1}$$

mit m = 1,2,3, and n=1,2,4,5,7,8,... und $f_{mains} = 50$ Hz angeordnet sind (siehe Abbildung 5.2 Mitte). Dabei ist zu erwähnen, dass die Form der Seitenbänder von der Modulationsmethode abhängig ist. Für das Spektrum in Abbildung 5.2 wurde die SLO-Methode (siehe Kapitel 4) verwendet. Im Bereich höherer Frequenzen reduzieren sich die Amplituden der Harmonischen, während sich die Breite der Seitenbänder vergrössert. In Abbildung 5.2 (rechts) ist der Bereich um die sechste Harmonische 6 $f_s = 168$ kHz, welche die erste auftretende Harmonische im Messbereich 150kHz – 30MHz ist, vergrössert dargestellt.



Abbildung 5.2: Simulativ ermitteltes Spektrum des Gleichrichter-Eingangsstromes im Bereich 10kHz...1MHz (links); Detaildarstellung des Bereiches um die Schaltfrequenz $f_S = 28$ kHz (Mitte); und Detaildarstellung des Bereiches um die erste Harmonische innerhalb des Messbereiches für die Funkstöranalyse bei f = 168kHz (rechts).

Da alle folgenden Harmonischen für höhere Frequenzen geringere Amplitude aufweisen und, wie gezeigt wird, eine geringere Störaussendung verursachen, ist das in Abbildung 5.2 (rechts) dargestellte Spektrum dem Design des Gegentakt-Filters zugrunde gelegt.

5.1.3 Messung an der LISN (Netznachbildung)



Abbildung 5.3: Einphasiges Ersatzmodell der Netznachbildung (LISN).

Um die Messung vorschriftsgemäss und reproduzierbar durchzuführen, wird die Funkstöranalyse statt am öffentlichen Netz an einer Netznachbildung (LISN – Line Impedance Stabilization Network) mit definierter Impedanz durchgeführt [40]. Das für den betrachteten Frequenzbereich einphasige Ersatzschaltbild der LISN ist in Abbildung 5.3 dargestellt. Der Konverter wird dabei lediglich durch eine Gegentakt-Störstromquelle i_{DM} repräsentiert⁷. Gemessen wird am 50 Ω -Widerstand R_{LISN} , somit ergibt sich die gemessene Spannung aus der Übertragungsfunktion $u_{meas,0}(s)/i_{DM}(s)^8$ und dem Spektrum des Eingangsstromes $I_{DM}(j\omega)$

$$U_{meas}(j\omega) = I_{DM}(j\omega) \cdot \frac{u_{meas}(s)}{i_{DM}(s)}\Big|_{s=j\omega}.$$
(5.2)

⁷ Gegentaktanteile werden in Zukunft mit DM (Differential Mode) indiziert, Gleichtaktanteile mit CM (Common Mode).

⁸ Der Index 0 soll andeuten, dass es sich noch um eine Messung ohne Eingangsfilter handelt.

Eingangsfilter

5.1.4 Funkstöranalyse mittels Quasi-Peak-Messung

Der Prozess der Funkstöranalyse kann vereinfacht wie in Abbildung 5.4 dargestellt werden. Nach einem Abschwächglied, das keine Relevanz für das Messergebnis hat, da dessen Abschwächung schlussendlich in der Darstellung des Funkstöranalysators berücksichtigt wird, wird das zu messende Spannungsspektrum mit einem Oszillator/Mischer auf eine geeignete Messfrequenz (Intermediate Frequency IF) gebracht und dort mittels eines Bandpass-Filters (Resolution Bandwidth Filter RBW) um die Mittenfrequenz (Middle Band Frequency MB) gefiltert und ausgewertet. Dies ermöglicht, einen weiten Frequenzbereich zu analysieren und stets bei einer günstig gewählten, konstant bleibenden Frequenz IF = MB auszuwerten. Für die Modellierung und Berechnung ist es jedoch gleichwertig, das RBW-Filter mit der Mittenfrequenz MB das betrachtete Frequenzspektrum durchlaufen zu lassen. Damit können Oszillator und Mischer für die Modellierung vernachlässigt werden. Aufgrund der vorangegangenen Überlegungen ist es in diesem Fall sogar ausreichend lediglich die Filterfunktion für MB = 168kHz auszuwerten, da bei dieser Frequenz die höchste Störemission zu erwarten ist und somit der kritische Punkt betrachtet wird. Diese Tatsache wird später noch überprüft und bestätigt.



Abbildung 5.4: Modellbildung des Funkstöranalyse-Prozesses.

Die Form des RBW-Filters ist in Abbildung 5.5 dargestellt. Die strichlierten Kurven sind die in den Normen verankerten oberen und unteren Grenzen für die tatsächliche Realisierung des Filters, die durchgezogene Linie stellt die hier für die Modellbildung der Funkstörmessung verwendete Filterfunktion dar. Die -6dB-Banbreite des Filters ist demnach mit 9kHz definiert, bei Auswertung einer bestimmten Harmonischen fallen also stets die Seitenbänder im Bereich von ±4.5kHz in den Messbereich. Der Effekt des modellierten RBW-Filters ist in Abbildung 5.6 für eine Positionierung der Mittenfrequenz bei MB = 168kHz zu sehen. Im Bereich um die Auswertefrequenz bleibt das ursprüngliche Spektrum $U_{meas}(j\omega)$ erhalten, während andere Frequenzanteile gemäss der Filterfunktion unterdrückt werden.



Abbildung 5.5: Gemäss CISPR 16 definierter Toleranzbereich für die Realisierung des RBW-Filters (strichlierte Linie); Charakteristik des gewählten Filters (durchgezogene Linie).



Abbildung 5.6: Effekt des RBW-Filters auf das gemessene Störsignalspektrum.

Mit dem nachfolgenden Verstärkungsblock (*Gain*) wird lediglich eine Umrechnung von Amplituden- auf Effektivwerte vorgenommen, daher beträgt die Verstärkung dieses Blocks $1/\sqrt{2}$ [46].

Der Quasi-Peak (*QP*) Detektor hat die Aufgabe, das hochfrequente Signal sowohl bezüglich seines Mittelwertes als auch bezüglich der Amplitude und Häufigkeit seiner Spitzenwerte zu bewerten. Prinzipiell existieren auch Auswertemethoden zur reinen Mittelwertdetektion (*Average Detection*) und reinen Spitzenwertdetektion (*Peak Detection*). Für die Erfüllung der Normen [38] muss die Störaussendung bezüglich der Quasi-Peak-Detektion und der Mittelwertdetektion die vorgeschriebenen Limits einhalten, während die Spitzenwertdetektion nur zur ungefähren Einschätzung der Störaussendung und zur Beschleunigung des Messprozesses dient. Da die Quasi-Peak-Detektion stets auf höhere Messwerte als die Mittelwertdetektion führt und somit das strengere Designkriterium darstellt, ist für die Modellierung des Messprozesses die *Quasi-Peak Detektion* relevant.

Im Wesentlichen lässt sich diese Funktion durch ein nichtlineares Netzwerk wie in Abbildung 5.7 gezeigt modellieren [48],[49]. Die Zeitkonstanten für das Auf- und Entladen des Kondensators C_{QP} sind in [46] für den betrachteten Frequenzbereich 150kHz – 30MHz mit

$$\tau_{auf} = C_{QP} \cdot R_{QP1} / / R_{QP2} = 1ms , \qquad (5.3)$$

$$\tau_{ab} = C_{OP} \cdot R_{OP2} = 160ms \tag{5.4}$$

definiert. Der simulierte Zeitverlauf des QP-detektierten Signals $u_{QP,0}$ im Vergleich zum Eingangssignal des Detektors $u_{D,0}$ ist in Abbildung 5.8 aufgezeichnet. Schlussendlich wird $u_{QP,0}$ noch über ein Video Filter mit einer Zeitkonstante von $\tau = 160$ ms tiefpassgefiltert, um einen konstanten Wert zur Anzeige bringen zu können, der dann das Ergebnis der Funkstöranalyse für eine bestimmte Frequenz darstellt.



Abbildung 5.7: Nichtlineares Netzwerk zur Quasi-Peak-Messung.



Abbildung 5.8: Zeitverlauf des QP-detektierten Signals $u_{QP,0}$ im Vergleich zum Eingangssignal des Detektors $u_{D,0}$.

Anzumerken bleibt hier, dass zur Durchführung der besprochenen Operationen von Abbildung 5.4 zunächst das Spektrum des Gleichrichter-Eingangsstroms $I_{DM}(j\omega)$ aus dem Zeitverlauf $i_{DM}(t)$ mittels Fourier-Analyse zu ermitteln ist und letztlich aus dem Spektrum $u_{D,0}(j\omega)$ wieder der Zeitverlauf $u_{D,0}(t)$ mittels inverser Fourier-Transformation rückzugewinnen ist, um die QP-Bewertung im Zeitbereich vornehmen zu können. Eingangsfilter

Für die Anwendung des beschriebenen Messprozesses auf die erste im Frequenzband 150kHz – 30MHz auftretende Harmonische bei 168kHz, d.h. der Lage der Mittenfrequenz des RBW-Filters bei MB = 168kHz, erhält man durch Simulation und Berechnung einen Messwert von $u_{F,0,168kHz} = 39.3$ V. Die Anzeige des Funkstöranalysators hat die Einheit dBµV, wobei die Umrechnung

$$[dB\mu V] = 20 \cdot \log\left(\frac{[V]}{10^{-6}V}\right)$$
(5.5)

gilt. Das Messergebnis ohne Eingangsfilter lautet daher

$$U_{F,0,168kHz} = 39.3 \text{V} = 151.9 \text{dB} \mu \text{V} \,. \tag{5.6}$$

Der Grenzwert für Störaussendung laut CISPR 22 liegt für diesen Frequenzwert bei

$$Limit_{CISPR,168kHz} = 65.1 dB\mu V, \qquad (5.7)$$

daher ergibt sich unter Berücksichtigung einer Sicherheitsreserve von

$$Margin = 6 dB \tag{5.8}$$

für Bauteiltoleranzen eine gewünschte Störunterdrückung des Filters von

$$Att_{req} [dB] = U_{F,0,168kHz} [dB\mu V] - Limit_{CISPR,168kHz} [dB\mu V] +Margin [dB] = 92.8dB.$$
(5.9)

bei f = 168kHz. Dieser Wert ist massgebend für den nachfolgenden Schritt des Eingangsfilterentwurfs

Auf Basis der Kenntnis des Messprozesses soll nun noch die Wahl der Schaltfrequenz begründet werden.

Um geringe Anforderungen an das Eingangsfilter bezüglich der geforderten Störunterdrückung zu erhalten, ist es prinzipiell vorteilhaft, die Schaltfrequenz möglichst tief zu wählen, da dann nur höhere schaltfrequente Harmonische, die geringere Amplitude aufweisen, in den Messbereich fallen. Damit wären auch die Schaltverluste gering und der Wirkungsgrad des Systems hoch (siehe Kapitel 3.4). Eine tiefe Schaltfrequenz würde jedoch auf grosse Werte der DC-Induktivitäten und der Filterkondensatoren am Eingang des Gleichrichters führen, um die Rippelwerte des Ausgangsstroms und der Eingangsspannungen gering zu halten⁹. Wenn eine hohe Leistungsdichte des Systems angestrebt wird, darf die Schaltfrequenz daher nicht zu tief angesiedelt werden. Zusätzlich würde eine niedrige Schaltfrequenz auch die Dynamik der inneren Stromregelung, die in Kapitel 6.5 entworfen wird, limitieren und das Führungs- sowie auch das Störverhalten der Regelung verschlechtern (siehe Kapitel 6.3). Mit diesen Einschränkungen wird ein sinnvoller Bereich der Schaltfrequenz mit $f_S = 25$ kHz...30kHz festgelegt. Innerhalb dieses Bereiches kann nun eine in Bezug auf die Funkstöranalyse günstige Schaltfrequenz gewählt werden.

In Abbildung 5.9 sind schematisch die beiden schaltfrequenten Harmonischen nf_S und $(n+1)f_S$ samt Seitenbändern im Bereich des unteren Randes f = 150kHz des QP-Messbereichs dargestellt. Um nun geringe Anforderungen an das Eingangsfilter bezüglich der geforderten Störunterdrückung zu erhalten, ist es günstig, die Harmonische nf_S knapp unterhalb des unteren Randes des QP-Messbereichs (150kHz -30MHz) zu platzieren, wobei die Einhüllende der Seitenbänder der Harmonischen nf_S und die 9kHz-Bandbreite des RBW-Filters zu berücksichtigen sind. Damit trägt die Harmonische nf_S nichts zum Messresultat bei, sondern nur die dann innerhalb des Messbereichs liegende Harmonische $(n+1)f_S$ samt Seitenbändern, die auf Grund des Abfalls der Amplituden für höhere Frequenzen (siehe Abbildung 5.2) eine geringere Amplitude aufweisen¹⁰.

Damit wurde $f_S = 28$ kHz gewählt, womit die fünfte schaltfrequente Harmonische bei 140kHz knapp unterhalb des Messbereichs liegt und die sechste schaltfrequente Harmonische bei 168kHz. Für z.B. $f_S = 25$ kHz läge die sechste Harmonische bei 150kHz, wo die Störunterdrückung durch das zu entwerfende Eingangsfilter noch

⁹ Ein grosser DC-Stromrippel ist unerwünscht, da der Konverter dann bei geringer Last im diskontinuierlichen Betrieb arbeitet, was ein verändertes regelungstechnisches Verhalten nach sich ziehen würde. Der Spannungsrippel der Filterkondensatorspannungen soll klein gehalten werden um eine korrekte Sektordetektion, die auf den korrekten Vorzeichen der Filterkondensatorspannungen beruht, durchführen zu können.

¹⁰ Zwar werden die zulässigen Grenzwerte für CISPR 22, Class B für steigende Frequenzen geringfügig strenger (siehe Abbildung 5.21), jedoch sind sowohl der Abfall des Amplitudenspektrums der Eingangsströme als auch die Störunterdrückung durch das Filter um ein Vielfaches stärker. Daher ist es immer ratsam die Schaltfrequenz in der beschriebenen Weise zu wählen.

geringer ist als bei 168kHz. Somit müssten die Filterelemente grösser dimensioniert werden. Würde eine Schaltfrequenz von z.B. $f_S = 30$ kHz gewählt werden, so würde bereits die fünfte Harmonische, die eine höhere Amplitude als die sechste Harmonische aufweist, in den Messbereich bei 150kHz fallen, womit auch wieder höhere Anforderungen an das Eingangsfilter bezüglich Störunterdrückung resultieren würden.



Abbildung 5.9: Lage der schaltfrequenten Harmonischen im Bereich des unteren Randes des QP-Messbereiches.

5.1.5 Auswahl der Filtertopologie

Es wurden drei grundlegende Filterstrukturen (siehe Abbildung 5.10) näher betrachtet, zu denen schon Vorarbeiten bezüglich Entwurf, Stabilität und optimaler Dämpfung bestanden und deren Vor- und Nachteile in [51] ausführlich behandelt wurden. Um gleichzeitig eine hohe Unterdrückung von hohen Frequenzen, ausreichende Dämpfung, geringe Verluste in den Dämpfungswiderständen und kleines Filtervolumen zu erreichen ist, wie im Folgenden ausgeführt wird, die Variante aus Abbildung 5.10(b) direkt am Eingang des Konverters am besten geeignet¹¹.

Um diese Tatsache zu untermauern, sind die Filterkomponentenwerte und Dämpfungsverluste in Abbildung 5.10 gegeben, die notwendig wären, um mittels dieser einstufigen Filterstrukturen jeweils die gewünschte Störunterdrückung (5.9) bei gleicher Dämpfung der Filterresonanz und gleichen Filterkondensatorwerten am Eingang des Konverters zu erreichen.

¹¹ Diese Aussage trifft für alle Tiefsetzsteller-basierten Gleichrichtersysteme zu, für Gleichrichter mit Hochsetzsteller-Funktion ist aufgrund der diskontinuierlichen Eingangsspannung direkt am Eingang eine Induktivität vorzusehen und es muss daher eine andere Filterstruktur in Betracht gezogen werden.

Eingangsfilter



Abbildung 5.10: Drei grundlegende Strukturen für die Realisierung einer Filterstufe. Die angegebenen Werte der Filterkomponenten sind für die geforderte Unterdrückung bei f = 168kHz nach (5.9), für denselben Kapazitätswert $C_I = 6.8\mu$ F und optimale Filterdämpfung mit einem Dämpfungsverhältnis von $n = C_{Id}/C_I = 0.125$ bzw. $n = L_{Id}/L_I = 0.125$ anhand des Stromspektrums aus Abbildung 5.2 berechnet.

Als Filterstufe am Konvertereingang ist die Variante aus Abbildung 5.10(a) weniger gut geeignet, da aufgrund des C_{1d} - R_{1d} -Dämpfungspfads zusätzliche Blindleistung konsumiert wird, was sich besonders bei kleinen Ausgangsleistungen in einem geringen Leistungsfaktor niederschlägt.

Bei Vergleich der Bauteilwerte der beiden Varianten aus Abbildung 5.10(b) und (c) zeigt sich, dass die Struktur aus Abbildung 5.10(c) auf weitaus höhere Induktivitätswerte führt, da bei dieser Struktur im Gegensatz zu den beiden anderen Alternativen die Unterdrückung von hohen Frequenzen für steigende Dämpfungsverhältnisse $n = L_{1d}/L_1$ abnimmt und daher die Knickfrequenz des Filters entsprechend verringert werden muss. Wenn der Dämpfungswiderstand R_{1d} wieder nach dem Gesichtspunkt optimaler Dämpfung der Filterresonanz gewählt wird, so entstehen dann sehr hohe Verluste, sodass auch diese Filtertopologie ausscheidet.

Somit wird die Struktur aus Abbildung 5.10(b) als Filtertopologie am Eingang des Konverters gewählt. Die errechneten Werte zeigen jedoch, dass ein einstufiges Filter bei fixem Kapazitätswert des Eingangsfilterkondensators C_I auf sehr hohe Induktivitätswerte führen würde, was einerseits ein beträchtliches Filtervolumen, als auch eine niedrige Resonanzfrequenz und damit auch eine niedrige Reglerbandbreite nach Eingangsfilter

sich ziehen würde. Daher wird nun untersucht, wie durch Implementierung eines zweistufigen Filters diesem Problem beizukommen ist. Im Folgenden wird die direkt beim Konvertereingang befindliche Filterstufe als *Stufe 1* und die in Richtung Netz darauf folgende Filterstufe als *Stufe 2* bezeichnet.

In [51] wurde gezeigt, dass, um die Ausgangsimpedanz des Filters und damit die Stabilität des Konverters durch Einfügen der zweiten, dem Netz zugewandten *Filter-Stufe 2* nicht zu verändern, die *Stufe 1* eine niedrigere Knickfrequenz als die *Stufe 2* aufweisen muss. Üblicherweise wird

$$f_{c,Stufe1} \approx 0.1 \cdot f_{c,Stufe2} \tag{5.10}$$

gewählt. Um einen Ausgangspunkt für den iterativen Designprozess zu wählen und den Entwurf mit konkreten Zahlenwerten zu untermauern, werden die Knickfrequenzen gemäss (5.10) gewählt. Für den Zusammenhang zwischen der Knickfrequenz f_c und der Unterdrückung $Att_{Filt,f0}$ einer Filterstufe bei einer bestimmten Frequenz f_0 gilt allgemein

$$f_c = \frac{f_0}{\sqrt{Att_{Filt, f_0}}}.$$
(5.11)

Damit lässt sich aus (5.10) und (5.11) die Relation der Verstärkungen der Filterstufen berechnen

$$Att_{Stufe1} : Att_{Stufe2} = 100 : 1 \tag{5.12}$$

bzw.

$$Att_{Stufe1} - Att_{Stufe2} = 40 \text{dB}.$$
(5.13)

Mit der geforderten Gesamtverstärkung (5.9)

$$Att_{Stufe1} + Att_{Stufe2} = 92.8 \text{dB}$$
(5.14)

ergibt sich die benötigte Verstärkung der Filterstufe 1

$$Att_{Stufe1} = 66.4 \text{dB} \tag{5.15}$$

und für die Filterstufe 2

$$Att_{Stufe2} = 26.4 \text{dB}.$$
 (5.16)

Somit kann die Grösse der Stufe 1 wesentlich reduziert werden, während üblicherweise die Stufe 2 die Gesamtfiltergrösse nicht sonderlich beeinflusst. In Abbildung 5.11 sind die Bauteilwerte, die für ein zweistufiges Filter für die gleichen Spezifikationen wie für Abbildung 5.10 ermittelt wurden, angegeben. Für die zweite Filterstufe ist dabei lediglich ein Kondensator C_2 vorzusehen, der für die Funkstöranalyse gemeinsam mit der LISN-Impedanz ZLISN bzw. für den Normalbetrieb mit der Netzimpedanz L_N eine Filterstufe zweiter Ordnung bildet. D.h. gemeinsam mit der LISN-Impedanz Z_{LISN} muss die Filterstufe die geforderte Störunterdrückung (5.16) aufweisen und für den Betrieb am Versorgungsnetz stabilen Betrieb der Regelung für beliebige Netzimpedanzen sicherstellen. Der Einfluss des Wertes der Netzimpedanz L_N auf die Lage und Ausprägung der Filterresonanzen wird im Anschluss an die Auswahl der Filterelemente in Kapitel 5.1.7 näher untersucht. An den Bauteilwerten ist leicht zu erkennen, dass eine wesentliche Reduktion des Filtervolumens im Vergleich zum einstufigen Filter zu erzielen ist. Eine dritte Filterstufe würde jedoch keine Verbesserung mehr herbeiführen, da sich die Knickfrequenz der ersten Filterstufe dann aufgrund der Aufteilung der Gesamtunterdrückung auf drei Stufen zu höheren Frequenzen hin verschieben würde und die Knickfrequenzen dann zu eng zusammenrücken würden. Daher wird im Folgenden eine zweistufige Filterstruktur verfolgt.



Abbildung 5.11: Zweistufiges Gegentakt-Eingangsfilter, das die erforderliche Unterdrückung des Gegentakt-Störpegels erfüllt.

Eingangsfilter

5.1.6 Dimensionierung der Filterelemente

Nun werden also die Filterelemente C_1 , L_1 , L_{1d} , R_{1d} und C_2 derart dimensioniert, dass die zu Beginn des Kapitels erwähnten Zielsetzungen bestmöglich erfüllt sind. Da dies wie schon erwähnt nicht in einem einzigen Schritt erledigt werden kann, sind vorerst bevorzugte Bereiche für die Komponentenwerte angegeben, die Auswahl erfolgt dann in einem weiteren Schritt.

Der Kondensator C_1 hat eine wesentliche Bedeutung für den Betrieb des Konverters, da er die schaltfrequente Schwankung der Filterkondensatorspannung definiert. Um die Vorzeichen der Filterkondensatorspannungen und damit die Sektoren korrekt zu detektieren, sind ein möglichst geringer Rippelwert und damit ein möglichst grosser Kapazitätswert erstrebenswert. Andererseits bewirkt ein grosser Wert von C_1 eine starke Phasendrehung des Filters und vermindert damit den Leistungsfaktor des Systems. Aus diesen Überlegungen ergibt sich ein Bereich von

$$C_1 = 4\mu F \dots 8\mu F \,. \tag{5.17}$$

Damit ist die schaltfrequente Schwankung der Eingangsfilterkondensatorspannung auf maximal etwa

$$\Delta u_{C1,pp,\max} = (0.1...0.2) \cdot \hat{U}_N \,. \tag{5.18}$$

limitiert. Der Wert der Induktivität L_1 legt zusammen mit C_1 die Knickfrequenz der *Filter Stufe 1* fest:

$$f_{c,Stufe1} = \frac{1}{2\pi\sqrt{L_1 \cdot C_1}} = \frac{168kHz}{\sqrt{10^{Att_{Stufe1}}[dB]/20}}.$$
(5.19)

Damit Mit der in (5.15) und (5.16) festgelegten Aufteilung der Anteile an der Gesamtunterdrückung des Filters erhält man mit (5.17) und (5.19) den Wertebereich für die Filterinduktivität L_1

Eingangsfilter

$$L_{1} = \frac{10^{Att_{Studie1}}[dB]/20}{4\pi^{2} \cdot C_{1} \cdot (168 \text{kHz})^{2}} = \frac{2090}{4\pi^{2} \cdot (4\mu\text{F}...8\mu\text{F}) \cdot (168 \text{kHz})^{2}} = 234\mu\text{H}...469\mu\text{H}}$$
(5.20)

Bei der konkreten Wahl von C_1 und L_1 ist es meist günstiger, höhere Kapazitätswerte zu wählen, da dies auf Grund der geringeren Dichte von Spulen im Allgemeinen auf kleineres Filtervolumen führt.

Die Induktivität L_{1d} bestimmt über das Dämpfungsverhältnis $n = L_{1d} / L_1$ den Grad der möglichen Dämpfung des Filters. Das Dämpfungsverhältnis n hat für diese Filtertopologie keinerlei Einfluss auf die Störunterdrückung bei hohen Frequenzen, sondern beeinflusst lediglich die Ausprägung der Filterresonanz. Je grösser n gewählt wird, desto besser kann die Resonanz gedämpft werden, desto voluminöser wird aber auch das Filter. Ausserdem steigt für grössere n auch die Ausgangsimpedanz. Ein Dämpfungsverhältnis im Bereich n = 0.1...0.3 stellt hier einen guten Kompromiss dar, daraus folgt

$$L_{1d} = n \cdot L_1 = (0.1...0.2) \cdot (234\mu\text{H}...469\mu\text{H}) = 23.4\mu\text{H}...93.8\mu\text{H}.$$
 (5.21)

In [51] wurde der für diese Topologie optimale Dämpfungswiderstand berechnet, der nur vom Dämpfungsverhältnis *n* und der charakteristischen Impedanz der Filterstufe $\sqrt{L_1/C_1}$ abhängt:

$$R_{1d} = \sqrt{\frac{L_1}{C_1}} \cdot \frac{1+n}{n} \cdot \sqrt{\frac{(2+n)\cdot(4+3n)}{2\cdot(1+n)\cdot(4+n)}}.$$
(5.22)

Die zweite Filterstufe wird wie schon erwähnt bei der Funkstöranalyse vom Kondensator C_2 und vom LISN-Netzwerk Z_{LISN} (mit $R_{LISN} = 50\Omega$, $L_{LISN} = 50\mu$ H und C_{LISN} = 250nF) gebildet. Der Kondensatorwert muss dann nach Auswahl der Bauelemente-Werte der *Filter Stufe 1* einfach entsprechend der noch zusätzlich notwendigen Unterdrückung bei 168kHz

$$Att_{Stufe2}[dB] = Att_{req}[dB] - Att_{Stufe1}[dB].$$
(5.23)

gewählt werden.

136
Mit diesen Daten können in wenigen iterativen Schritten die Filterwerte bestimmt werden, mit denen die anfangs formulierten Zielsetzungen weitestgehend erfüllt werden. Die Bauelemente-Werte und die mittels Datenblättern und Messungen eruierten parasitären Werte sind in Abbildung 5.11 dargestellt. Mit diesem Filter sind die Normen in Bezug auf Gegentaktstörungen schon erfüllt, was das zentrale Ziel des Filterentwurfs war. Aus den wesentlichen Charakteristika des Filters (siehe TABELLE 5.1) ersieht man, dass die Phasendrehung durch das Filter akzeptabel ist und die ohmschen Verluste aufgrund der Dämpfung vernachlässigbar sind.

Kenngrösse	Wert
Phasenverschiebung φ_N bei Nennlast	-2.5°
Max. Ladung in C_1	1.6 mC
Max. Energie in L_1	11.5 mJ
Max. Blindleistung an C_1	-98.8 VAr
Max. Blindleistung an L_1	3.9 VAr
Max. Verlustleistung an R_{1d}	40 mW

TABELLE 5.1

Kenngrössen des Eingangsfilters

Einzig die geringe Dämpfung des Filters könnte im realen Betrieb des Konverters		
noch Probleme bereiten. In Abbildung 5.12 ist die Übertragungsfunktion des Filters		
für unterschiedliche Netzimpedanzen im Bereich 5µH150µH dargestellt. Man		
erkennt, dass beide Resonanzen problematisch sind, insbesondere die erste Filterstu-		
fe mit ihrer Resonanzüberhöhung von bis zu 25dB (für $L_N = 150 \mu$ H) kann bei Anre-		
gung der Resonanzfrequenz zu ausgeprägten Oszillationen des Filters führen. Auch		
die zweite Filterstufe kann Probleme verursachen, besonders wenn die Resonanzfre-		
quenz für eine bestimmte Netzimpedanz mit der Schaltfrequenz zusammenfällt und		
damit das Filter angeregt wird. Behält man jedoch die Grösse des Filters weiter im		
Auge, so lässt sich mit den bisher besprochenen Massnahmen keine weitere Verbes-		
serung mehr erzielen. Um dennoch eine höhere Dämpfung der beiden Filterresonan-		

zen zu erreichen, soll im nächstfolgenden Kapitel ein Verbesserungsschritt durchgeführt werden, der die Dämpfung der Filterstufen erhöht und das Filter hinsichtlich Grösse und hochfrequenter Störunterdrückung nur unwesentlich verändert.



Abbildung 5.12: Verlauf der Übertragungsfunktionen des Filters aus Abbildung 5.11 für unterschiedliche Netzimpedanzen im Bereich 5µH...150µH.

5.1.7 Optimierung des Filters

Zunächst soll die Dämpfung der *Filter Stufe 1* verbessert, d.h. die Resonanzüberhöhung des Filters im Bereich der ersten Resonanzfrequenz mittels einer geeigneten Massnahme verringert werden. Eine wirkungsvolle Massnahme ist das Einfügen einer mit L_1 magnetisch gekoppelten Induktivität L_{1c} in den Dämpfungspfad zusätzlich zu L_{1d} wie in Abbildung 5.13 dargestellt [52]. Dies kann einfach durch zusätzliche Windungen auf dem Spulenkern von L_1 geschehen, die in Serie mit der Dämpfungsinduktivität L_{1d} angeschlossen werden. Mit dieser Massnahme wird über die Kopplung zwischen L_1 und L_{1c} der Dämpfungswiderstand teilweise auch für L_1 wirksam, was die Filterdämpfung erhöht. Das Ausmass der Dämpfung ist somit abhängig vom Induktivitätsverhältnis $n_L = L_{1c}/L_1$ sowie von der magnetischen Kopplung k = 0.98 erreicht).



Abbildung 5.13: Optimiertes Eingangsfilter mit verbesserter Dämpfung der Filter Stufe 1 durch Einfügen einer magnetisch gekoppelten Induktivität L_{Ic} , sowie eines parallelen R_{2d} - C_{2d} -Dämpfungspfades zur Dämpfung der Filter Stufe 2.

Dies ist auch in Abbildung 5.14 zu beobachten, wo die Positionen der zwei dominanten Filterpole der *Filter Stufe 1* in Abhängigkeit von n_L dargestellt sind¹². Für steigendes Induktivitätsverhältnis wächst der Abstand zur imaginären Achse und damit die Dämpfung an, bis schlussendlich alle Pole auf der reellen Achse platziert sind. Jedoch geht der Zuwachs an Dämpfung mit einem Verlust von hochfrequenter Störunterdrückung einher, wie das Bode-Diagramm der Filter Stufe 1 für verschiedene n_L in Abbildung 5.15 eindrücklich zeigt.

Einen guten Kompromiss stellt ein Induktivitätsverhältnis von $n_L = 5\mu$ H:240 μ H dar, wo die Resonanzüberhöhung um 12dB verringert werden kann und gleichzeitig die Störunterdrückung bei 168kHz lediglich um 1.2dB verringert ist. Optimale Dämpfung ist weiterhin durch den Dämpfungswiderstand von $R_{Id} = 0.7\Omega$ gesichert, und die Verluste in R_{Id} sind mit $P_{RId} = 110$ mW nur geringfügig höher.

Der Aufwand für diese Massnahme besteht lediglich im Anbringen von 7 Windungen auf dem Kern von L_1 , wodurch sich das Filter nicht vergrössert. Wenn nun mittels klassischen Filterentwurfs dasselbe Verhalten erzielt werden sollte, müsste eine weitaus grössere Dämpfungsinduktivität L_{1d} gewählt werden (und die Induktivi-

¹² Der dritte Pol befindet sich weit links auf der reellen Achse und beeinflusst daher die Stabilität des Systems nicht.

tät L_1 könnte nur geringfügig reduziert werden). In diesem konkreten Fall wäre das $L_1 = 210 \mu$ H, $L_{1d} = 130 \mu$ H und $R_{1d} = 2.15 \Omega$. Damit ist der Vorteil der gekoppelten Induktivitäten klar gezeigt.



Abbildung 5.14: Positionen der dominanten Filterpole für verschiedene Induktivitätsverhältnisse $n_L = L_{1c}/L_1$ (für k = 0.98).



Abbildung 5.15: Bode-Diagramm der Filter Stufe 1 (ohne Filter Stufe 2) für verschiedene Induktivitätsverhältnisse n_L (für k = 0.98).

Die zweite Filterstufe kann wie erwähnt aufgrund der möglichen Überdeckung der Resonanzfrequenz mit der Schaltfrequenz für Probleme sorgen. Da die Netzimpedanz im Allgemeinen nicht bekannt ist und in einem weiten Bereich variieren kann, resultiert auch ein breiter Streubereich der möglichen Resonanzpositionen. Daher muss eine weit reichende Dämpfung implementiert werden, die aufgrund des Fehlens einer expliziten Längsimpedanz nun in Form eines parallelen R_{2d} - C_{2d} -Dämpfungspfades realisiert werden muss, was im Grunde der Filtertopologie aus Abbildung 5.13 entspricht. Da diese Filterstufe bezüglich ihrer Baugrösse unkritisch ist ($C_2 = 470$ nF) und das Einfügen von C_{2d} wegen $C_{2d} << C_1$ keine wesentliche Erhöhung der Blindstromaufnahme zur Folge hat, kann problemlos eine hohe Dämpfung (z.B. $n = C_{2d}/C_2 = 1$) verwendet werden. Mit $C_{2d} = 470$ nF ergibt sich gemäss optimaler Dämpfung für diese Topologie [51],[53] der Dämpfungswiderstand zu R_{2d} $= 20\Omega$. Die Verluste in R_{2d} sind maximal $P_{R2d,max} = 100$ mW und die Störunterdrückung bei 168kHz ist sogar um 0.2dB verbessert.

Somit ist das Gegentaktfilter wie in Abbildung 5.13 dargestellt fertig entworfen und das Bode-Diagramm in Abbildung 5.16 zeigt die im Vergleich zu Abbildung 5.12 nun besser gedämpften Filterresonanzen für sämtliche Netzimpedanzen. Die schaltfrequenten Anteile im Eingangsstrom werden im Fall von $L_N = 50\mu$ H (stellt wegen der Überdeckung mit der Schaltfrequenz den worst-case-Fall dar, siehe Abbildung 5.16) um -26.3dB abgeschwächt. Dies entspricht etwa einer Abschwächung der Spektralkomponenten im Bereich um $f_S = 28$ kHz um den Faktor 1/20, damit betragen die Spektralanteile aus Abbildung 5.2 (Mitte) nach Filterung weniger als 100mA. Die Qualität des Netzstromes $i_N(t)$ kann in Abbildung 5.17 im Vergleich zum Gleichrichter-Eingangsstrom $i_{DM}(t)$ überprüft werden.

Eingangsfilter



Abbildung 5.16: Bode-Diagramm des gesamten, bezüglich der Dämpfung verbesserten Gegentakt-Eingangsfilters.

TABELLE 5.2

Ausgewählte Komponenten für das Gegentakt-Eingangsfilter (pro Phase)

Komponente	Spezifikationen
C_I	X2 Kondensator, Evox Rifa- PHE840M 6.8 μ F – 275/280Vac ESR = 16m Ω , ESL = 25nH (f_{res} = 386kHz)
$L_I: L_{Ic}$	Magnetics High Flux 58439-A2 240 μ H : 5 μ H, $k = 0.98$ 51Wdg. : 7Wdg 14AWG (Cu 2.0mm ²) $R_{L1} = 35m\Omega$, $C_{p,L1} = 45pF$ ($f_{res} = 1.53$ MHz) $R_{L1c} = 3m\Omega$, $C_{p,L1c} = 3pF$ ($f_{res} = 41$ MHz)
L _{1d}	Magnetics Molypermalloy 55894-A2 30 μ H, 22Wdg. – 14AWG (Cu 2.0mm ²) $R_{L1} = 7$ m Ω , $C_{p,L1} = 3$ pF ($f_{res} = 17$ MHz)
R_{1d}	$10 \ge 6.8\Omega - 0805$ SMD Widerstand
C_{2}, C_{2d}	X2 Kondensator, Evox Rifa- PHE840M 470nF – 275/280Vac ESR = 115m Ω , ESL = 17nH (f_{res} = 1.78MHz)
R _{2d}	$3 \ge 62\Omega - 0805$ SMD Widerstand



Abbildung 5.17: Verlauf des Eingangsstromes i_{DM} vor Filterung und des Netzstromes i_N nach Filterung durch das Gegentakt-Eingangsfilter.

Insgesamt verringert sich mit den beschriebenen Dämpfungsmassnahmen die Störunterdrückung bei 168kHz auf eine Sicherheitsreserve von 5dB. Die Spezifikationen der verwendeten Komponenten sind in Tabelle 5.2 zusammengefasst.

In Abbildung 5.18 sind die Verläufe der Eingangsimpedanz des Filters für ausgeschalteten Konverter ($Z_{in,Rect} \rightarrow \infty$) und für unterschiedliche Netzimpedanzen L_N dargestellt. Wünschenswert ist, dass im Bereich typischer Netzoberschwingungen keine Resonanzen auftreten und dass die Eingangsimpedanz des Filters über alle Frequenzen möglichst hoch ist

$$\left|Z_{in,Filt}\right| > 1\Omega. \tag{5.24}$$

Die minimale Eingangsimpedanz bei der ersten Resonanzfrequenz beträgt mit den Dämpfungsmassnahmen für $L_N = 50 \mu H Z_{in,Filt} = 1.3\Omega$, während ohne zusätzliche Massnahmen die Eingangsimpedanz auf $Z_{in,Filt} = 310 m\Omega$ verringert ist.



Abbildung 5.18: Eingangsimpedanz des Filters für ausgeschalteten Konverter ($Z_{in,Rect} \rightarrow \infty$) für unterschiedliche Netzimpedanzen L_N .

Nun soll noch überprüft werden, wie sich das System für eine sprungartige Veränderung der Eingangsspannung verhält. Abbildung 5.19 zeigt die Verläufe der Gleichrichter-Eingangsspannungen für den Fall, dass die Amplitude des Netzspannungs-Raumzeigers zum Zeitpunkt des Maximums einer Phasenspannung sprungartig um $\Delta \hat{U} = 100$ V erhöht wird. Es ergibt sich ein gut gedämpfter Verlauf mit einer Überschwinghöhe von knapp 70% und einer Ausschwingzeit von etwa 1ms. Es soll hier angemerkt werden, dass die Überschwinghöhe mittels passiver Dämpfung nicht mit akzeptablen Verlusten reduziert werden kann und dass hier auch aktive Dämpfung keine Abhilfe schaffen kann, da der Konverter bei hartem Einschalten des Netzes üblicherweise noch nicht arbeitet. Um die Leistungshalbleiter in dieser Situation zu schützen, muss für eine praktische Realisierung eventuell noch eine zusätzliche Massnahme getroffen werden, wie z.B. ein Überspannungsschutz mittels Varistoren oder der Einsatz einer speziellen Hochlaufeinrichtung.



Abbildung 5.19: Reaktion der Eingangsspannung des Konverters für sprungartige Veränderung des Betrages des Netzspannungs-Raumzeigers um $\Delta \hat{U} = 100$ V im Maximum einer Phasenspannung.

Die Ausgangsimpedanz beeinflusst, wie zuvor schon erwähnt, wesentlich die Stabilität der Regelung. Eine hinreichende Bedingung für die Wahl der Reglerbandbreite für stabilen Betrieb bzw. für die Dimensionierung des Eingangsfilters wurde in [57] mit

$$\left|Z_{out,Filt}\right| \ll \left|Z_{in,Rect}\right| \tag{5.25}$$

angegeben, die Eingangsimpedanz des Konverters muss also in jedem Betriebspunkt wesentlich grösser als die Ausgangsimpedanz des Filters sein. Wenn diese Bedingung erfüllt ist, kann die Regelung ohne Berücksichtigung des Eingangsfilters ausgelegt werden. Üblicherweise führt diese Bedingung jedoch auf überdimensionierte Filter bzw. Regler, die die Dynamik des Systems nicht genügend ausnutzen [58]. Daher wird hier nur der aus (5.25) folgende Maximalwert der Reglerbandbreite ermittelt um eine erste Einschätzung der Dynamik des Systems zu erhalten. Die Auslegung des Reglers folgt in Kapitel 6 unter Miteinbeziehung des kompletten Eingangsfilters.

Eingangsfilter



Abbildung 5.20: Ausgangsimpedanz des Filters für unterschiedliche Netzimpedanzen L_N .

Die Eingangsimpedanz des Konverters berechnet sich für den Fall idealer Regelung, d.h. konstanter Ausgangsspannung unabhängig von Eingangsspannungsänderungen, zu

$$\left|Z_{in,Rect}\right| = \left|-\frac{U_o^2}{P_o} \cdot \frac{1}{M^2}\right|.$$
(5.26)

Der Minimalwert tritt offensichtlich bei maximalem Modulationsindex M = 0.9 und Nennleistung auf, daraus ergibt sich die minimale Eingangsimpedanz

$$\left| Z_{in,Rect,\min} \right| = \frac{32\Omega}{0.9^2} = 39.5\Omega.$$
 (5.27)

Der Vergleich mit den Verläufen aus Abbildung 5.20 ergibt unter Berücksichtigung von (5.25) eine maximale Reglerbandbreite

$$B_{w,\max} = 2kHz.$$
 (5.28)

Auch in den Verläufen der Filter-Ausgangsimpedanz lässt sich der Effekt der zusätzlichen Dämpfung in der Reduktion der Resonanzüberhöhung deutlich erkennen. Eine weitere Verringerung der Ausgangsimpedanz ist nur durch eine Vergrösserung der Filterkondensator-Werte (und entsprechende Verkleinerung der Filterinduktivitäten) zu erreichen, was den Blindleistungsbedarf erhöhen und den Leistungsfaktor insbesondere bei kleinen Lasten verringern würde.

5.1.8 Gleichtakt/Gegentakt-Trennung (CM/DM Separator)

Bevor der Entwurf des Gegentaktfilters messtechnisch verifiziert werden kann, ist noch ein Zwischenschritt erforderlich. Die konventionelle Funkstöranalyse nach CISPR 22 beinhaltet die gesamte Störaussendung des Systems, also Gegentakt- *und* Gleichtaktstörungen. Somit würde sich ohne weitere Massnahmen der in Abbildung 5.21 mit "DM und CM" gekennzeichnete Verlauf ergeben. Ohne Gleichtaktfilter überragt die gemessene Kurve die Limits bei weitem und ist auch nicht durch weitere Gegentaktmassnahmen zu reduzieren, da die Gleichtaktstörungen hier schon klar dominieren. Um den Entwurf des Gegentaktfilters zu verifizieren, muss also der Gleichtaktanteil des Signals unterdrückt werden. Zu diesem Zweck wurde ein CM/DM-Separator entwickelt [59], der aus den drei Ausgangssignalen der LISN wahlweise nur den Gegentaktanteil (DM) einer Phase oder nur den Gleichtaktanteil (CM) bildet. Das Konzept zur Realisierung dieser Idee ist für einphasige Systeme bereits bekannt [60],[61], der dreiphasige CM/DM-Separator stellt jedoch eine Neuheit dar und wurde erstmals in [62] vorgestellt.

In Abbildung 5.22 ist eine passive Realisierung des CM/DM Separators gezeigt. Um die Unterdrückung des Gleichtaktanteils in der Gegentaktmessung zu messen, wurde der Messaufbau aus Abbildung 5.23 verwendet (gezeigt beispielhaft für die Messung an der Phase *R*). Die Unterdrückung des CM-Anteils bei der DM-Messung beträgt, wie Abbildung 5.24 zu entnehmen ist, für alle drei Phasen mindestens -30dB bis 30MHz, was auf jeden Fall ausreichend ist. In Abbildung 5.25 ist die praktische Realisierung des Prototyps gezeigt, mit dem die folgenden Messungen durchgeführt wurden. Prinzipiell wäre auch eine aktive Realisierung denkbar, die jedoch Operationsverstärker sehr hohe Bandbreite erfordern würde um eine gute Separierung des CM- vom DM-Anteil bis 30MHz sicherzustellen.



Abbildung 5.21: Ergebnis der Funkstöranalyse für die Störaussendung der Phase *R* ohne Anwendung des CM/DM Separators (CM+DM, oberer Verlauf); bei Anwendung des CM/DM Separators (DM, unterer Verlauf) kann rein der Gegentakt-Störpegel ermittelt werden.



Abbildung 5.22: Schaltbild der passiven Realisierung des CM/DM Separators. Bei Messung des DM Störpegels einer Phase werden die Messausgänge der beiden anderen Phasen mit $R = 50\Omega$ und der CM Messausgang mit 50 Ω /3 abgeschlossen.



Abbildung 5.23: Setup zur Messung der Gleichtaktunterdrückung (CM Rejection Ratio) der Phase R.



Abbildung 5.24: An den drei Gegentaktkanälen *R*, *S*, *T* gemessene Gleichtaktunterdrückung (CM Rejection Ratio).

Eingangsfilter



Abbildung 5.25: Prototyp des CM/DM-Separators.

Mit Verwendung des vorgestellten CM/DM-Separators ergibt sich der mit "DM" gekennzeichnete Verlauf des gemessenen Störpegels in Abbildung 5.21. Der Gleichtaktanteil, der das Messergebnis zuvor dominiert hat, ist nun eliminiert und somit kann der Entwurf des Gegentakt-Filters verifiziert werden.

5.1.9 Messungen und Schlussfolgerungen

Für die Funkstörmessung am System wurde wie für den Entwurf der Nenn-Arbeitspunkt betrachtet, also $P_0 = 5$ kW, $U_{N,l-l,rms} = 400$ V, $U_0 = 400$ V, $f_N = 50$ Hz, $f_S = 28$ kHz.

Das Messergebnis für die Aussendung von Gegentaktstörungen (unter Verwendung des zuvor beschriebenen CM/DM-Separators) ist in Abbildung 5.26 ersichtlich. Der Vergleich mit den aus der Simulation gewonnenen, mit x gekennzeichneten Messpunkten bringt eine gute Übereinstimmung und somit eine Bestätigung der gewählten Vorgehensweise.

Eingangsfilter



Abbildung 5.26: Messung des Störsignalpegels unter Verwendung des CM/DM Separators zur Verifizierung des Filterentwurfs auf Basis der Simulationsdaten.

Im Speziellen ist die Übereinstimmung des ersten Messwertes bei f = 168kHz aus der Simulation

$$u_{F,sim} = 60.7 \text{dB}\mu\text{V},$$
 (5.29)

der als Basis für den Filterentwurf gedient hat, von Interesse. Die Funkstörmessung ergibt hier

$$u_{F,meas} = 61.8 \mathrm{dB}\mu \mathrm{V} \tag{5.30}$$

also lediglich eine Abweichung von 1.1dB, die durch Bauteiltoleranzen, die vereinfachende Modellbildung des Funkstörmessempfängers oder einen geringen, vom CM/DM Separator ungenügend unterdrückten CM-Störsignalanteil verursacht sein kann.

Zusammenfassend lässt sich festhalten, dass die Gegentakt-Störaussendung des Konverters mittels Simulation und Modellbildung der Funkstöranalyse sehr gut vorausgesagt werden kann und als solide Basis für das Design eines optimalen Eingangsfilters dienen kann. Damit wird der in der Praxis oft auf gezieltem Probieren beruhende Prozess auf ein solides rechnerisches Fundament gestellt und es können alle wesentlichen Design-Daten schon vor der Realisierung ermittelt werden.

Wenn der Aufwand für eine rechnerisch-simulative Ermittlung des Störpegels auf Basis der Modellbildung des Messprozesses zu gross ist, kann die maximale Störemission auch durch eine lineare Summation aller im 9kHz-Frequenzband liegenden Spektralkomponenten abgeschätzt werden

$$Max_{result} = 20 \cdot \log\left(\frac{1}{1 \ \mu V} \cdot \sum_{f=\left(MB - \frac{RBW}{2}\right)}^{\left(MB + \frac{RBW}{2}\right)} U_{meas}(j\omega)\right)$$
(5.31)

Das entspricht der Annahme einer reinen Spitzenwertdetektion und stellt somit den worst-case Fall für das Messergebnis dar. Ein Entwurf, der auf diesen Daten beruht, führt zu einem leicht überdimensionierten Filter, die vorgeschriebenen Limits werden jedoch in jedem Fall eingehalten. Der minimale Wert der QP-Detektion ist durch Summierung der Effektivwerte

$$Min_{result}(j\omega) = 20 \cdot \log\left(\frac{1}{1 \ \mu V} \cdot \sqrt{\sum_{f=\left(MB - \frac{RBW}{2}\right)}^{\left(MB + \frac{RBW}{2}\right)} \left(U_{meas}(j\omega)\right)^2}\right)$$
(5.32)

gegeben, wie in Abbildung 5.27 dargestellt liegt der tatsächliche Messwert stets zwischen diesen beiden Abschätzungen.



Abbildung 5.27: Simuliertes Spektrum der gemessenen DM-Spannung U_{meas} im Vergleich zu den Messwerten nach der QP-Filterung U_F und der oberen und unteren Abschätzung Max_{result} bzw. Min_{result} gemäss (5.31) und (5.32).

Nach Abschluss des Entwurfs und der Realisierung des Gegentaktfilters kann aus der gesamten Störaussendung (CM+DM) des Konverters die Information für die erforderliche Unterdrückung des Gleichtaktfilters entnommen werden und damit das Gleichtaktfilter wie im folgenden Kapitel beschrieben entworfen werden.

5.2 Entwurf des Gleichtakt-Eingangsfilters (CM Filter)

5.2.1 Modellierung und Messung der Gleichtakt-Störaussendung



Abbildung 5.28: Modell der Gleichtakt-Störaussendung.

Zunächst muss untersucht werden, auf welche Weise die Gleichtaktstörungen im System verursacht werden und wie sie sich ausbreiten und schlussendlich zum Versorgungsnetz gelangen und dort einen entsprechenden Störpegel verursachen. Dafür wird das Ersatzschaltbild aus Abbildung 5.28 benutzt. Die Common-Mode-Störquelle U_{CM} verschiebt dabei pulsfrequent das Potential des Mittelpunktes des Gleichrichter-Ausgangs gegenüber den Eingangsphasen. Daher muss ein Common-Mode-Strom *i*_{CM} fliessen, der sich über die Erdleitung und schliesslich über die parasitären Kapazitäten von Mittelpunkt zur Erde C_{MP-GND} schliesst. Da die drei Phasenleitungen hier parallel liegen, ist die in diesem Gleichtaktpfad wirksame Induktivität ein Drittel der Gegentaktinduktivität $L_{DM}/3$. Ebenso sieht der Common-Mode-Strom auch drei parallele LISN-Eingänge mit jeweils $R_{LISN} = 50\Omega$. Die beiden weiteren Pfade für den Gleichtaktstrom stellen die parasitäre kapazitive Verbindung des Ausgangskreises vom Mittelpunkt der Ausgangskondensatoren C_{C0-GND} und die Verbindung vom Mittelpunkt der Last C_{R-GND} zum Erdpotenzial dar. Vom Mittelpunkt des Ausgangs aus liegen zwei Zweige mit je R/2 parallel, somit ergibt sich $R_{CM} = R/4$, während die Ausgangskapazität aus Sicht des Common-Mode-Stroms $4C_0$ (zwei parallele $2C_0$ -Zweige) beträgt und aufgrund der wesentlich kleineren Kapazität C_{C0-GND} in Serie keine Bedeutung hat. Der Kreis schliesst sich schliesslich mit $L_0/4$ über die Parallelschaltung der DC-Induktivitäten L_{0+} und L_{0-} ($L_{0+} = L_{0-} = L_0/2$).

Um das Verhalten der Störausbreitung analysieren zu können, müssen nun die parasitären Kapazitäten ermittelt werden. Abbildung 5.29 zeigt das Messergebnis der Impedanzanalyse für die Abschätzung von C_{MP-GND} . Für den Frequenzbereich 600kHz-20MHz lässt sich ein äquivalentes *C-L-R*-Ersatzschaltbild mit $C_{MP-GND} =$ 143pF (und $R_{C,MP-GND} = 60\Omega$, $L_{C,MP-GND} = 8.8\mu$ H) angeben. Ebenso können auch die beiden anderen parasitären Kapazitäten $C_{C0-GND} = 416$ pF (und $R_{C,C0-GND} = 14\Omega$, $L_{C,C0-GND} = 2.7\mu$ H) (siehe Abbildung 5.30) und $C_{R-GND} = 57$ pF (und $R_{C,R-GND} = 110\Omega$, $L_{C,R-GND} = 3.5\mu$ H) (siehe Abbildung 5.31) ermittelt werden.



Abbildung 5.29: Impedanzverlauf der parasitären Kapazität C_{MP-GND} (Messung zwischen Kühlkörper und den drei kurzgeschlossenen Eingangsphasen des Konverters).



Abbildung 5.30: Impedanzverlauf der parasitären Kapazität C_{C0-GND} (Messung zwischen Kühlkörper und den beiden kurzgeschlossenen Ausgangsklemmen des Konverters ohne Anschluss der Last).



Abbildung 5.31: Impedanzverlauf der parasitären Kapazität C_{R-GND} (Messung zwischen Kühlkörper und der Last ohne Anschluss an den Konverter).

Zur Messung des Common-Mode Störsignals wurde ein breitbandiger Stromsensor (Pearson 410 mit einer Bandbreite von 20MHz) benutzt, der den in allen drei Eingangsleitungen gemeinsam fliessenden Gleichtaktstrom misst. Der Stromsensor erzeugt ein Ausgangssignal mit 0.05V/A an einem externen 50 Ω -Abschluss (der parallel zum internen 50 Ω -Abschluss des Sensors liegt), mit 20log(0.05) = -26dB entspricht das einer Abschwächung von 26dB, während bei der Messung an der LISN mit $R_{LISN} / 3 = 50\Omega/3$ das Messsignal um 20log(50/3) = 24.4dB verstärkt wird. Das Messergebnis mit dem Stromsensor liegt demnach theoretisch um 50.4dB unterhalb des während der Funkstöranalyse mit der LISN detektierten Signalpegels. Dies wurde in Abbildung 5.32 im Wesentlichen verifiziert, die gemessene Differenz beträgt 48dB.



Abbildung 5.32: Störsignalpegel bei Messung an der LISN (links) und bei Gleichtakt-Strommessung mittels eines breitbandigen Stromsensors (Pearson 410, Bandbreite von 20MHz).

5.2.2 Verbindung des Sternpunktes des Gleichrichter-Eingangs mit dem Mittelpunkt des Ausgangs

Der Sinn des Gleichtaktfilters ist es den aufgrund der Common-Mode-Störspannungsquelle entstehenden Gleichtaktstrom so effizient wie möglich in seiner Entstehung und seiner Ausbreitung zum Netz hin zu hindern. Das bedeutet, die Impedanz in Richtung des Netzes bzw. der LISN ist entsprechend zu erhöhen und/oder ein möglichst grosser Anteil des Gleichtaktstromes vorher schon über eine Verbindung entsprechend niedriger Impedanz zum Ausgang zurückzuführen.

Aus diesen Überlegungen ergibt sich direkt eine Massnahme, die in Abbildung 5.33 skizziert ist. Wenn der Sternpunkt der Eingangsspannungen über einen kapazitiven Pfad mit dem Mittelpunkt des Ausgangs verbunden wird, so wird der Common-Mode-Strom für einen bestimmten Frequenzbereich an den Ausgang zurückgeführt und an der Ausbreitung zum Netz hin gehindert [64]. Im vorliegenden Fall wurden zwei Y- Kondensatoren mit je C_{MP} = 10nF vom Sternpunkt der Sternschaltung der Filterkondensatoren am Gleichrichtereingang zu den beiden Ausgangsklemmen und damit an die beiden Pole des Ausgangskondensators geschalten, daher ist in diesem Pfad eine Kapazität von 20nF wirksam. In [63] wurde diese Verbindung ohne Kondensatoren C_{MP} ausgeführt, wodurch der Sternpunkt der Eingangsfilterkondensatoren direkt mit dem Mittelpunkt des Ausganges verbunden ist, C_{MP} also einen hohen Wert aufweist. Dadurch kann auch keine niederfrequente Gleichtaktspannung zwischen Eingang und Ausgang des Konverters auftreten. Die Verringerung der Störaussendung wird damit über eine Einschränkung der Aussteuerbarkeit erkauft. Es ist daher auf jeden Fall die Verbindung mit den Mittelpunkt-Kondensatoren C_{MP} , die nur für hohe Frequenzen wirksam ist, vorzuziehen.



Abbildung 5.33: Verbindung des Sternpunktes einer Sternschaltung von Filterkondensatoren am Gleichrichtereingang mit dem kapazitiven Mittelpunkt des Konverterausgangs zur Reduzierung der Gleichtakt-Störaussendung an das Netz.

Der Effekt dieser Verbindung ist in Abbildung 5.34 sichtbar. Die Resonanzüberhöhung bei 250kHz konnte praktisch komplett beseitigt werden, während die relativ hohe Störaussendung bei 600kHz nicht reduziert wird. Durch das Einfügen des Kondensators C_{MP} , der parallel zu $L_0/2$ wirkt, wurde die Resonanz $L_{DM}/3$ - $C_{R-GND}//C_{C0-GND}$ - $L_0/2$ ($f_{res,1} = 220$ kHz) zu niedrigeren Frequenzen ausserhalb des Messbereichs verschoben. Dahingegen ändert der Kondensator C_{MP} in Serie zu $C_{R-GND}//C_{C0-GND}$ nur geringfügig an der Resonanz $L_{DM}/3$ - $C_{R-GND}//C_{C0-GND}$ ($f_{res,2} = 800$ kHz). Die Abweichung der berechneten Resonanzfrequenzen von den gemessenen (siehe Abbildung 5.34) erklärt sich aus der Vernachlässigung der restlichen DM-Eingangsfilterelemente (im vereinfachten CM-Ersatzschaltbild in Abbildung 5.28 wurde nur L_{DM} berücksichtigt) und der parasitären Elemente der passiven Komponenten und der Last.



Abbildung 5.34: Effekt der Verbindung des Sternpunktes der Eingangsfilterkondensatoren mit dem Mittelpunkt des Konverterausgangs (rechts) im Vergleich zu fehlender Verbindung (links).

Aus der Messung in Abbildung 5.34 ergibt sich die Forderung für den Entwurf des Gleichtaktfilters: der kritische Punkt liegt bei 600kHz und muss, damit das Messergebnis an der LISN unterhalb der vorgeschriebenen Limits liegt, um 48dB gedämpft werden (siehe Kapitel 5.2.1). Um eine Sicherheitsreserve einzukalkulieren, wurde die erforderliche Unterdrückung mit

Eingangsfilter

$$Att_{CM,reg} = -55 \text{dB}. \tag{5.33}$$

gewählt.

5.2.3 Entwurf des Gleichtaktfilters

Analog zu Kapitel 5.1.5 wird ein zweistufiges Filter (siehe Abbildung 5.35) verwendet um die notwendige Unterdrückung des Gleichtaktstörsignals (5.33) zu erreichen. Nun müssen also die Werte der Filterkomponenten entsprechend ausgewählt werden.

Eine wichtige Randbedingung hierfür ist, dass die Amplitude des netzfrequenten Stroms über die Kapazitäten zur Erde bei 110% der Nennspannung auf insgesamt

$$I_{GND,rms} \leq 3.5 \text{mA} \tag{5.34}$$

limitiert ist [65]. Mit

$$I_{GND,rms} = 1.1U_{N,rms} \cdot 2\pi \cdot 50Hz \cdot C_{CM}$$
(5.35)

ergibt sich der Maximalwert für die Summe der Common-Mode-Kapazitäten

$$C_{CM} \le 44nF \,. \tag{5.36}$$

Jede der beiden Filterstufen weist zwischen jeder Phase und Schutzerde je einen Common-Mode-Kondensator auf, daher gilt mit (5.36)

$$3 \cdot C_{CM,1} + 3 \cdot C_{CM,2} \le 44nF$$
. (5.37)

Wenn für die beiden Filterstufen idente Kondensatorwerte gewählt werden, ergibt sich der maximale Kapazitätswert pro Common-Mode-Kondensator

$$C_{CM,i} \le 7.34nF$$
. (5.38)

Gewählt wird der Normwert

$$C_{CM,1} = C_{CM,2} = 4.7nF \tag{5.39}$$



Abbildung 5.35: Zweistufiges Gleichtakt-Eingangsfilter zur Unterdrückung der Gleichtakt-Störungen.

Damit sind schon zwei der vier Gleichtaktfilter-Komponenten bestimmt und es müssen noch die Werte der Common-Mode-Induktivitäten $L_{CM,1}$ und $L_{CM,2}$ auf Basis der erforderlichen Unterdrückung (5.33) eruiert werden. Analog zu Kapitel 5.1.5 wird die erforderliche Unterdrückung von -55dB bei 600kHz auf die beiden Filterstufen unterschiedlich aufgeteilt:

$$Att_{CM,1} = -15 \text{dB},$$
 (5.40)

$$Att_{CM,2} = -40 \text{dB},$$
 (5.41)

woraus sich die Knickfrequenzen der Filterstufen

$$f_{c,CM1} = 225kHz \,, \tag{5.42}$$

$$f_{c,CM2} = 80kHz \tag{5.43}$$

und mit (5.39) die erforderlichen Werte der Common-Mode-Filterinduktivitäten

$$3 \cdot L_{CM,1} = 150\,\mu H$$
, (5.44)

$$3 \cdot L_{CM,2} = 500 \,\mu H$$
 (5.45)

ergeben. Die Resonanz der ersten Filterstufe bei 225kHz (5.42) könnte Probleme verursachen, da sie im Messbereich 150kHz-30Mhz liegt. Unter Berücksichtigung der Gegentaktinduktivität von $L_{DM}/3 = 80\mu$ H verschiebt sich jedoch die Resonanz der ersten Filterstufe zu

Eingangsfilter

$$f_{c,CM1} = 130kHz$$
 (5.46)

und muss daher nicht zusätzlich gedämpft werden. Daher wurde hier auch diese Anordnung der Filterstufen mit $f_{c,CMI} > f_{c,CM2}$ gewählt. Ein Einfluss der Anordnung der Filterstufen auf die Reglerdimensionierung existiert beim Gleichtaktfilter nicht.

Der Effekt der einzelnen Filterstufen ist an den simulierten Frequenzgängen der Übertragungsfunktionen $U_{CM}(j\omega)/U_{R,LISN/3}(j\omega)$ in Abbildung 5.36 zu sehen. Für die Auswahl des Magnetkerns spielt für symmetrische Netzverhältnisse die Gleichtakt-Durchflutung eine Rolle, eine Sättigung durch den Common-Mode-Strom muss vermieden werden Der Gleichtakt-Strom ohne Filtermassnahmen ist in Abbildung 5.37 aufgezeichnet. Die für die Realisierung des Gleichtaktfilters ausgewählten Komponenten sind in TABELLE 5.3 zusammengefasst. Für die Gleichtaktinduktivitäten wurde das nanokristalline Kernmaterial bezüglich seiner Eigenschaften wie hoher breitbandiger Einfügungsdämpfung, Temperaturstabilität und geringer Baugröße ausgewählt.



Abbildung 5.36: Frequenzgänge der Übertragungsfunktionen $U_{CM}(j\omega)/U_{R,LISN/3}(j\omega)$ für schrittweises Hinzufügen der Filterelemente. In allen Fällen wurde der für die Gleichtaktstöraussendung wirksame Wert der Gegentaktinduktivität $L_{DM}/3$ berücksichtigt.

Mit diesem Gleichtaktfilter muss nun in Zusammenhang mit dem vorher entworfenen Gegentaktfilter die Messung der gesamten Störaussendung den Normen entsprechen. Das Ergebnis der Funkstöranalyse ist in Abbildung 5.38 gezeigt.



Abbildung 5.37: Common-Mode Strom i_{CM} ohne Filtermassnahmen (oben, 200mA/Div) zusammen mit dem Netzstrom $i_{N,R}$ (unten, 10A/Div) (links: 5ms/Div, rechts: Zoom mit 20µs/Div).

TABELLE 5.3

Ausgewählte Komponenten des Gleichtakt-Eingangsfilters (pro Phase)

Komponente	Spezifikationen
С _{СМ,1} , С _{СМ,2}	Y1 Kondensator, Epcos MKP B81123 4.7nF – 250Vac
C _{MP}	Y1 Kondensator, Epcos MKP B81123 2 x 10nF – 250Vac
L _{CM,1}	Vaccuumschmelze VAC VITROPERM 500F W409 N = 3 x 4Wdg., AWG16
<i>L</i> _{СМ,2}	Vaccuumschmelze VAC VITROPERM 500F W380 N = 3 x 7Wdg., AWG16
C_2, C_{2d}	X2 Kondensator, Evox Rifa- PHE840M 470nF – 275/280Vac



Abbildung 5.38: Funkstörmessung des Konverters mit Gleichtakt- und Gegentaktfilter.

Die gemessene Störaussendung liegt für den gesamten Messbereich unterhalb der Limits für Klasse A und für f < 6.5MHz unterhalb der Limits für Klasse B. Lediglich im Bereich um 10MHz werden aufgrund einer Common-Mode-Resonanzerscheinung die Limits der Klasse B überschritten.

Wenn für ein industrielles Produkt Klasse B erfüllt werden soll, dann müsste die Resonanz um 10MHz noch näher analysiert werden. Eventuell kann mit einem verbesserten Layout und/oder einem Kondensator mit einem kleinen Kapazitätswert gegen Schutzerde die Resonanz behoben werden. Da die CM-Störaussendung stark von der Art der Last abhängt, muss die CM-Störaussendung letztlich auch mit der für die spezifische Applikation nachgeschalteten Konverterstufe gemessen werden, daher wurde die Resonanzerscheinung nicht weiter untersucht. In jedem Fall bestätigt die durchgeführte Messung den erfolgreichen Filterentwurf. Regelung

Kapitel 6 Regelung

Die Regelung des Systems hat wesentlichen Einfluss auf die Funktion und Performance der Schaltung. Daher nimmt der Entwurf der Regelung auf Grundlage von Stabilitäts- und Dynamiküberlegungen von Führungs- und Störgrössen einen zentralen Stellenwert bei der Realisierung des Systems ein.

In diesem Kapitel werden der Entwurf einer Kaskadenregelung des Konverters und deren Implementierung mit einem digitalen Signalprozessor (DSP) behandelt. Die Grundlage dafür stellen eine Modellbildung und eine regelungstechnische Kleinsignalanalyse des Konverters dar.

Aus mehreren Gründen ist die digitale Regelung eine vielschichtige und komplexe Aufgabe:

- Einerseits muss ein für das dreiphasige, schaltende und somit nichtlineare System ein Modell gefunden werden, das bezüglich seiner dynamischen Eigenschaften mit dem realen System aus der Sicht des Reglers gleichwertig ist.
- Diese Aufgabe wird zusätzlich dadurch erschwert, dass der Konverter f
 ür die beiden Betriebsmodi (Buck-Betrieb und Buck+Boost-Betrieb, siehe Kapitel 2) unterschiedliche Regelstrecken darstellt, die regelungstechnisch gleichermassen beherrscht werden m
 üssen [66].

- In jedem Fall besitzt das System durch das zweistufige Eingangs- und das einstufige Ausgangsfilter eine hohe Systemordnung. Selbst wenn das dreiphasige System bezüglich der Anzahl seiner Energiespeicher aufgrund der Nullpunktfreiheit des Systems in ein zweiphasiges System transformiert werden kann [67], [68] ist die Systemordnung immer noch sehr hoch
- Zusätzlich beeinflusst die aktive Dämpfung des Eingangsfilters, die in Kapitel 6.3.5 entworfen wird, die Systemdynamik massgeblich und muss in jedem Fall in das Reglerdesign miteinbezogen werden.
- Da die Regelung in einem digitalen Signalprozessor abgearbeitet wird und somit in einem festen Zeitraster läuft, müssen die Verzögerungszeiten durch die Analog-Digital-Wandlung der Messgrössen [69], die Abarbeitung des Programmcodes und die Pulsmusterausgabe [70],[71] analysiert und berücksichtigt werden. Um die Bandbreite der Regelung unter dem Einfluss der Verzögerungszeiten nicht allzu stark begrenzen zu müssen, kann ausserdem eine Vorhersage (Prädiktion) der zu regelnden Systemgrössen wie in Kapitel 6.4 vorgenommen werden, was ebenfalls Einfluss auf die Systemdynamik hat.

Somit wird beim Reglerdesign folgendermassen vorgegangen: Im Anschluss an die regelungstechnische Modellbildung und deren Verifizierung wird eine Regelung mit Kaskadenstruktur gewählt, um eine hohe Störgrössenunterdrückung und Führungsperformance im stationären und dynamischen Betrieb sicherzustellen. Die einzelnen Elemente dieser Struktur werden analysiert, deren Funktion überprüft und deren Realisierung im DSP diskutiert. Dann werden die Regler auf Grundlage der Kleinsignalanalyse des Modells und unter Berücksichtigung aller Details der gefundenen Regelstruktur ausgelegt. Abschliessend werden die Überlegungen mittels Führungsund Lastsprüngen am Hardware-Prototypen verifiziert.

Regelung



Abbildung 6.1: Topologie des dreiphasigen Buck+Boost-Konverters mit gesamtem Gegentakt-Eingangsfilter.

6.1 Modellbildung des Gleichrichters

Bei der Modellierung des Systems stellt sich zunächst die Frage, wie das System, das eingangsseitig drei miteinander verkoppelte Phasen (R,S,T) aufweist, in ein reduziertes Modell übergeführt werden kann. Aufgrund der Tatsache, dass in einem System ohne Nulleiter die Summe der Phasenströme Null ergeben muss, kann das System eindeutig in ein zweiphasiges Modell transformiert werden [67]. Daraus ergibt sich ein mit Netzfrequenz rotierender d-Anteil (Projektion der R,S,T Komponenten auf die rotierende d-Achse) und ein um 90° verschobener q-Anteil (Projektion der R,S,T Komponenten auf die rotierende q-Achse). Dadurch wird auch der Aufwand für eine an der AC-Seite angreifende Stromregelung von drei Regelgrössen [72] auf zwei Regelgrössen [73], [43] reduziert. In [74] wurde gezeigt, dass der q-Anteil für die Dynamik und Stabilität des Systems aufgrund weitaus höherer Stabilität und verschwindender Kopplung mit dem *d*-Anteil keine praktische Relevanz hat, sodass Überlegungen zum Reglerdesign und zur Bewertung der Stabilität des Systems auf das d-System reduziert werden können, was eine weitere Vereinfachung bedeutet. Somit ergibt sich ein reduziertes DC-DC-Modell, dessen äquivalente Parameter noch ermittelt werden müssen. In [74] wurde weiter gezeigt, dass alle wesentlichen Übertragungsfunktion im d-System und im reduzierten Modell praktisch identisch sind und die Modellreduktion somit zulässig ist. Auch aus Sicht des Leistungsflusses, der bei einem dreiphasigen System konstant ist, ist die Modellierung durch ein DC-DC-System verständlich.

Damit kann aus dem dreiphasigen System, wie in Abbildung 6.1 gezeigt, das DC-DC-Ersatzschaltbild mit dem äquivalenten Eingangsfilter und einer einfachen Schalter-Dioden-Kombination angegeben werden. Hierbei ist nur die Filter Stufe 1 ($C_{1,i}$, $L_{1,i}$, $L_{1d,i}$, $R_{1d,i}$) des in Kapitel 5 entworfenen Gegentaktfilters berücksichtigt, die zweite Filterstufe ($C_{2,i}$, $C_{2d,i}$, $R_{2d,i}$) und das Gleichtaktfilter spielen für die Dynamik des Systems und den Entwurf der Regelung keine Rolle. Des weiteren wurde die magnetisch gekoppelte Induktivität $L_{1c,i}$, nicht berücksichtigt, da diese unterhalb der Resonanzfrequenz der ersten Filterstufe keinen wesentlichen Einfluss auf den Filterfrequenzgang hat (siehe Abbildung 5.12 und Abbildung 5.16), die regelungstechnische Analyse aber komplexer und unübersichtlicher machen würde. Regelung

Wenn für das einphasige Modell der gleiche Bereich des Aussteuergrades wie für den dreiphasigen Konverter gewählt wird

$$m_{3\,phas} = m_{1\,phas} = m = 0...1,\tag{6.1}$$

dann entspricht der Eingangsstrom $i_{N,eq}$ des äquivalenten Systems exakt der Amplitude der Phasenströme \hat{I}_N

$$i_{N,eq} = \hat{I}_N = m \cdot I . \tag{6.2}$$

Aus der Leistungsbilanz am Eingang des Systems

$$P_{in} = u_{N,eq} \cdot i_{N,eq} = \frac{3}{2} \cdot \hat{U}_N \cdot \hat{I}_N$$
(6.3)

ergibt sich mit (6.2)

$$u_{N,eq} = \frac{3}{2} \cdot \hat{U}_N. \tag{6.4}$$

Dieser Spannungswert entspricht exakt dem Wert, den die zwei für die Bildung der Zwischenkreisspannung verwendeten verketteten Filterkondensatorspannungen bei $\varphi = n\pi/3$ einnehmen, also in der Mitte des Intervalls, in dem diese beiden Spannungen zur Modulation eingesetzt werden.

Zur Bestimmung der äquivalenten Filterkomponentenwerte können die Energieinhalte der Filter-Induktivitäten und –Kondensatoren herangezogen werden, die sich durch die Modellreduktion nicht ändern dürfen.

$$E_{L} = \frac{1}{2}L_{1} \cdot \left(\hat{I}_{N}\cos(\omega t)\right)^{2} + \frac{1}{2}L_{1} \cdot \left(\hat{I}_{N}\cos(\omega t - \frac{2\pi}{3})\right)^{2} + \frac{1}{2}L_{1} \cdot \left(\hat{I}_{N}\cos(\omega t + \frac{2\pi}{3})\right)^{2} =$$

$$= \frac{3}{4}L_{1}\hat{I}_{N}^{2} = \frac{1}{2} \cdot L_{1,eq}i_{N,eq}^{2} = E_{L,eq}$$

$$E_{C} = \frac{1}{2}C_{1} \cdot \left(\hat{U}_{N}\cos(\omega t)\right)^{2} + \frac{1}{2}C_{1} \cdot \left(\hat{U}_{N}\cos(\omega t - \frac{2\pi}{3})\right)^{2} + \frac{1}{2}C_{1} \cdot \left(\hat{U}_{N}\cos(\omega t + \frac{2\pi}{3})\right)^{2} =$$

$$= \frac{3}{4}C_{1}\hat{U}_{N}^{2} = \frac{1}{2} \cdot C_{1,eq}u_{N,eq}^{2} = E_{C,eq}$$
(6.6)

Mit (6.2) und (6.4) ergeben sich die äquivalenten Filterwerte

$$C_{1,eq} = \frac{2}{3}C_1 \tag{6.7}$$

$$L_{1,eq} = \frac{3}{2}L_1.$$
(6.8)

Damit bleibt auch die Resonanzfrequenz des Filters in beiden Fällen gleich

$$f_{res,eq} = \frac{1}{2\pi\sqrt{L_{1,eq}C_{1,eq}}} = \frac{1}{2\pi\sqrt{L_{1}C_{1}}} = f_{res}.$$
(6.9)

Analog zu (6.8) lassen sich auch die äquivalenten Werte der im Filter enthaltenen Widerstände angeben:

$$R_{F,eq} = \frac{3}{2} R_F. (6.10)$$



Abbildung 6.2: Einphasiges, schaltendes DC-DC-Ersatzschaltbild des Buck+Boost-Konverters mit äquivalentem, für die regelungstechnische Modellbildung reduziertem Eingangsfilter.

Somit erhält man ein reduziertes DC-DC-Modell wie in Abbildung 6.4, das jedoch durch die Schalter und Dioden immer noch ein nichtlineares, zeitvariantes System darstellt. Wie in [75] erstmals vorgestellt, kann ein für genügend weit unterhalb der Schaltfrequenz liegende Frequenzen gültiges Mittelwertmodell angegeben werden. Diese Methode des so genannten State Space Averaging wird in [2] ausführlich beschrieben und ergibt ein System wie in Abbildung 6.4 mit gesteuerten Strom- und Spannungsquellen. Diese enthalten eine multiplikative Kopplung jeweils zweier Systemgrössen, und zwar entsprechend dem mittleren Spannungs- und Stromübersetzungsverhältnis für den Buck-Konverter-Teil:

$$u_{q,Buck} = m \cdot u_{C1}. \tag{6.11}$$

$$i_{q,Buck} = m \cdot i \,. \tag{6.12}$$

und für den Boost-Teil

$$u_{q,Boost} = u_0 \cdot (1 - \delta_B). \tag{6.13}$$

$$i_{q,Boost} = i \cdot (1 - \delta_B). \tag{6.14}$$

Damit handelt es sich nun um ein zeitinvariantes, jedoch noch nichtlineares System. Für eine Kleinsignalanalyse ist daher eine Linearisierung um einen Arbeitspunkt notwendig. Wie bereits eingangs erwähnt, ergeben sich für den reinen Buck-Betrieb grundsätzlich andere Bedingungen wie für den Buck+Boost-Betrieb. Im reinen Buck-Betrieb, d.h. für

$$\frac{3}{2} \cdot \hat{U}_N > U_0,$$
 (6.15)

gilt mit dem in Kapitel 2.3 festgelegten maximalen Modulationsindex von $M_{max} = 0.9$

$$m = 0.67 \dots 0.9, \qquad \delta_B = 0,$$
 (6.16)

also der Aussteuergrad des Buck-Konverters die Regelgrösse ist, während im Buck+Boost-Betrieb

$$m = 0.9, \qquad \delta_B = 0 \dots 0.43, \qquad (6.17)$$

gilt, also der Konverter über die Einschaltdauer des Boost-Transistors geregelt wird. Die Kleinsignalmodelle für die beiden Bereiche erhält man durch Aufteilung sämtlicher Grössen in einen für den Arbeitspunkt gültigen Grosssignal-Anteil X und einen Kleinsignal-Anteil x.

$$x \to X + x. \tag{6.18}$$

Mit

$$u_N = U_N = const. \tag{6.19}$$

und den Gross-Signal-Zusammenhängen

$$U_{N} = U_{C1} = U_{C2} = U_{C2d}$$

$$I_{N} = I_{L1} = I_{L1d} = I_{L1c} = I_{L2} = I_{LN} = M \cdot I$$

$$U = M \cdot U_{N} = (1 - \Delta_{B}) \cdot U_{0}$$
(6.20)

und unter Vernachlässigung sämtlicher Produkte zweier Kleinsignal-Terme ergibt sich für den Buck-Betrieb

$$\frac{d}{dt} \begin{pmatrix} i_{L1d} \\ i_{L1} \\ u_{C1} \\ i \\ u_{0} \end{pmatrix} = \begin{pmatrix} -\frac{R_{1d}}{L_{1d}} & \frac{R_{1d}}{L_{1d}} & 0 & 0 & 0 \\ \frac{R_{1d}}{L_{1}} & -\frac{R_{1d}}{L_{1}} & -\frac{1}{L_{1}} & 0 & 0 \\ 0 & \frac{1}{C_{1}} & 0 & -\frac{M}{C_{1}} & 0 \\ 0 & 0 & \frac{M}{L_{0}} & 0 & -\frac{1}{L_{0}} \\ 0 & 0 & 0 & \frac{1}{C_{0}} & -\frac{1}{R_{0}C_{0}} \end{pmatrix} \cdot \begin{pmatrix} i_{L1d} \\ i_{L1} \\ u_{C1} \\ i \\ u_{0} \end{pmatrix} + \begin{pmatrix} 0 \\ 0 \\ 0 \\ \frac{U_{N}}{L_{0}} \\ 0 \end{pmatrix} \cdot m \quad (6.21)$$

und für den Buck+Boost-Betrieb
$$\frac{d}{dt} \begin{pmatrix} i_{L1d} \\ i_{L1} \\ u_{C1} \\ i \\ u_{0} \end{pmatrix} = \begin{pmatrix} -\frac{R_{1d}}{L_{1d}} & \frac{R_{1d}}{L_{1d}} & 0 & 0 & 0 \\ \frac{R_{1d}}{L_{1}} & -\frac{R_{1d}}{L_{1}} & -\frac{1}{L_{1}} & 0 & 0 \\ 0 & \frac{1}{C_{1}} & 0 & -\frac{M}{C_{1}} & 0 \\ 0 & 0 & \frac{M}{L_{0}} & 0 & -\frac{1-\Delta_{B}}{L_{0}} \\ 0 & 0 & 0 & \frac{1-\Delta_{B}}{C_{0}} & -\frac{1}{R_{0}C_{0}} \end{pmatrix} \cdot \delta_{B} \quad (6.22)$$

Das entsprechende Ersatzschaltbild für den Buck-Betrieb ist in Abbildung 6.3 gezeigt.

Wie der Vergleich mit praktischen Untersuchungen allerdings zeigt, ist damit die ursprüngliche dreiphasige Schaltung bezüglich seiner Dynamik und Dämpfung noch nicht genügend genau beschrieben. Im realen System treten Schaltverluste und Leitverluste auf, die einen wesentlichen Anteil an der Dämpfung, im Besonderen des Ausgangsfilters, haben [76]. Die Schaltverluste, die im dreiphasigen Modell in den drei Eingangstransistoren auftreten und in Kapitel 3 berechnet wurden, sind vom geschalteten Strom und von der geschalteten Spannung abhängig und können im Zuge der Linearisierung durch einen parallel zur geschalteten Spannung U_{CI} geschalteten Parallelwiderstand $R_{sw,p}$ und einen im Strompfad *I* liegenden Serienwiderstand $R_{sw,p}$ modelliert werden (siehe Abbildung 6.4). Diese Verluste in diesen Widerständen müssen nun die gesamten Schaltverluste im dreiphasigen System widerspiegeln. Da der für die Reglerauslegung verwendete und – wie später gezeigt wird – auch kritische Betriebsbereich der reine Buck-Betrieb ist, wird im folgenden lediglich dieser Betriebsfall betrachtet und es werden die ohnehin geringen Verluste des Boost-Schalters nicht berücksichtigt.



Abbildung 6.3: Linearisiertes Kleinsignalmodell des Buck+Boost-Konverters im Buck-Betrieb.



Abbildung 6.4: Linearisiertes Kleinsignalmodell, das die Schalt- und Leitverluste der Leistungshalbleiter in Form dämpfender Elemente berücksichtigt.

Um eine direkte Aufteilung der Verluste in einen spannungs- und einen stromabhängigen Teil durchführen zu können, muss die Abhängigkeit der Schaltverluste von Spannung und Strom gemäss (3.39) auf eine lineare Abhängigkeit

$$P_{sw} \approx k_1 \cdot U_{C1} \cdot I \tag{6.23}$$

reduziert werden. Die Schaltverluste werden durch die Verluste in den Widerständen repräsentiert

$$P_{sw} \approx \frac{U_{C1}^2}{R_{sw,p}} + I^2 \cdot R_{sw,s} \,. \tag{6.24}$$

Durch Ableitung von (6.23) und (6.24)

$$\frac{\partial}{\partial U_{C1}} \left(P_{sw} \right) = k_1 \cdot I = \frac{2 \cdot U_{C1}}{R_{sw,p}}, \tag{6.25}$$

$$\frac{\partial}{\partial I} (P_{sw}) = k_1 \cdot U_{C1} = 2 \cdot I \cdot R_{sw,s}$$
(6.26)

ergeben sich die Widerstandswerte zu

$$R_{sw,p} = \frac{2 \cdot U_{C1}}{k_1 \cdot I},$$
 (6.27)

$$R_{sw,s} = \frac{k_1 \cdot U_{C1}}{2 \cdot I}.\tag{6.28}$$

Für den Nennpunkt ($U_N = 230V_{rms}$, $U_0 = 400V$, P = 5kW, $f_S = 28kHz$) treten gemäss der Schaltverlustberechnung in Kapitel 3 Schaltverluste in den Transistoren und Dioden von $P_{sw} = 79W$ auf, daher berechnet sich die Proportionalitätskonstante in (6.23) zu $k_I = 0.013$. Die Widerstandswerte sind somit $R_{sw,p} = 5.9k\Omega$ und $R_{sw,s} = 260m\Omega$.

Neben den Schaltverlusten müssen auch die Leitverluste der Dioden und Transistoren berücksichtigt werden. Werden diese durch einen konstanten Vorwärtsspannungsabfall (stromunabhängigen Anteil der Durchlassspannung) und einen differenziellen Widerstand modelliert, so ergibt sich in Abhängigkeit vom Arbeitspunkt aufgrund der IGBTs (U_{CE0} , r_{CE}), der Moduldioden ($U_{F,Di}$, $r_{D,Di}$), der Freilaufdiode ($U_{F,DF}$, $r_{D,DF}$) und der Boost-Diode ($U_{F,DB}$, $r_{D,DB}$) ein gesamter Vorwärtsspannungsabfall

$$U_F = M \cdot \left(2U_{CE,0} + 4U_{F,DM} + U_{F,DB} \right) + (1 - M) \cdot \left(U_{F,DF} + U_{F,DB} \right), \tag{6.29}$$

der keinen Einfluss auf die Dynamik des Systems hat, jedoch den Arbeitspunkt verschiebt. Im konkreten Fall wird für den Nennpunkt ($U_{N,l-l,rms} = 400$ V) die Ausgangsspannung um $U_F = 7.9$ V verringert.

Der totale Vorwärtswiderstand

$$R_F = M \cdot \left(2r_{CE} + 4r_{D,Di} + r_{D,DB}\right) + (1 - M) \cdot (r_{D,DF} + r_{D,DB}).$$
(6.30)

ergibt sich für den Nennpunkt zu $R_F = 180 \text{m}\Omega$. Gemeinsam mit dem Kupferwiderstand der DC-Induktivitäten $R_L = 70 \text{m}\Omega$ ergibt sich also für die DC-seitige Dämpfung ein Gesamtwiderstand von $R_{sw,s} + R_F + R_L = 510 \text{m}\Omega$.

Dass die Berücksichtigung dieser Dämpfungsterme entscheidenden Einfluss auf das Zeitverhalten der Ausgangsspannung im realen System hat, ist in Abbildung 6.5 ersichtlich. Hierbei wurde für das ungeregelte System ein Kleinsignalsprung des Modulationsindex an dem Hardware-Prototypen mit dem ungedämpften Kleinsignal-Modell verglichen. Offensichtlich stimmen hier die Amplitude und die Zeitkonstante der Einhüllenden der Schwingungen aufgrund der im Modell fehlenden Dämpfung nicht überein. Wenn nun im Modell die Dämpfungswiderstände $R_{sw,s}$, $R_{sw,p}$ und R_F berücksichtigt werden, ergibt sich eine sehr gute Übereinstimmung des Modells mit dem realen System. Lediglich eine 100Hz-Schwingung geringer Amplitude ist in der Realität dem Gleichspannungswert der Ausgangsspannung überlagert. Diese ist auf geringfügige Einschaltverzögerungen der Leistungstransistoren bzw. der Ansteuerschaltungen und auf unterschiedliche Kommutierungswege der drei Phasen im Hardware-Aufbau (siehe TABELLE 3.3) zurückzuführen.

Im Wesentlichen kann anhand dieser Sprungantwort jedoch nicht festgestellt werden, ob die Modellierung des dreiphasigen Eingangsteiles durch Reduktion auf ein äquivalentes DC-DC-System erfolgreich war, da das Zeitverhalten in Abbildung 6.5 praktisch ausschliesslich von der Dynamik des Ausgangsfilters dominiert wird. Um dies zu vermeiden, wurde in der Simulation der DC-Strom als konstant eingeprägt vorgegeben und die Reaktion der Zwischenkreisspannung an der Freilaufdiode für einen Kleinsignalsprung der Eingangsspannung beobachtet. Um die Ergebnisse vergleichen zu können, muss für das dreiphasige System der lokale Mittelwert der Zwischenkreisspannung gebildet werden, da diese wie z.B. in Abbildung 4.2 ersichtlich während einer Pulsperiode zwischen zwei Aussenleiterspannungen und Null geschaltet wird. In Abbildung 6.6 kann man die ausgezeichnete Übereinstimmung der dreiphasigen Schaltung mit dem DC-DC-Kleinsignalmodell erkennen.



Abbildung 6.5: Vergleich der Sprungantworten des ungeregelten Systems an der Hardware mit der Simulation des Modells, das die Dämpfungswiderstände berücksichtigt (helle Linie) bzw. nicht berücksichtigt (dunkle Linie) für $M = 0.8 \rightarrow 0.82$.



Abbildung 6.6: Sprungantwort der offenen inneren Stromregelschleife u_{Cl}/m des dreiphasigen Systems und des einphasigen, äquivalenten Ersatzsystems.

Damit konnte ein lineares Ersatz-Modell gefunden und verifiziert werden, das bezüglich seiner dynamischen Eigenschaften dem ursprünglichen dreiphasigen System äquivalent ist. Dieses Modell dient im Weiteren als Grundlage zur Bestimmung des kritischen Arbeitspunktes und zur Auslegung der Regler. Zuvor wird aber noch die Regelstruktur festgelegt und strukturelle Details wie z.B. Laststromvorsteuerung und aktive Dämpfung näher betrachtet.

6.2 Struktur der Regelung

In diesem Kapitel werden mögliche Strukturen zur Regelung des Buck+Boost-Konverters kurz diskutiert und anhand der Anforderungen an die Regelung verglichen.

Die Anforderungen an die Regelungen können wie folgt zusammengefasst werden:

- Die Ausgangsspannung soll stationär genau, d.h. ohne bleibende Regelabweichung, auf den konstanten Wert von $U_0^* = 400$ V eingestellt werden. Die Dynamik der Spannungsregelung spielt dabei gegenüber der Forderung nach Stationärgenauigkeit eine untergeordnete Rolle, lediglich das Hochfahren des Systems sollte mit maximal möglicher Dynamik unter Berücksichtigung von Stellgrössenbeschränkungen vonstatten gehen.
- Das System sollte durch Störungen von Netz- und Lastseite möglichst wenig beeinflusst werden. Für sprungartige Änderungen der Netzspannungsamplitude und/oder der Lastverhältnisse soll die Leistungsaufnahme sofort angepasst werden, ohne einen Einbruch der Ausgangsspannung hervorzurufen. Zusätzlich soll das System auch bei Netz-Unsymmetrien und gar bei Ausfall, Kurzoder Erdschluss einer Phase weiterhin sinusförmige Eingangsströme in Phase mit den Eingangsspannungen vom Netz beziehen.
- Die Stell- und Systemgrössen sollen durch die Regelung gezielt begrenzt werden können. Im Besonderen muss ein gegebenes Stromlimit eingehalten werden um die Leistungshalbleiter zu schützen.
- Generell soll die Regelung von möglichst geringem Aufwand gekennzeichnet sein, sowohl bezüglich der digitalen Implementierung, um den Programmcode übersichtlich und nachvollziehbar zu gestalten, als auch bezüglich der anfal-

lenden Realisierungskosten. Im Speziellen ist die Anzahl teurer Stromsensoren gering zu halten.

Prinzipiell sind mehrere Strukturen für die Regelung des Systems denkbar. So kann eine Kaskaden- oder Zustandsregelung oder auch eine Kombination aus beiden Verfahren gewählt werden. Für kaskadierte Strukturen kann der innere Stromregelkreis AC-seitig oder auch DC-seitig eingreifen. In [77] und [78] wurden diese Regelungsvarianten untersucht und verglichen.

In [79] wurde gezeigt, dass von einer Zustandsregelung zwar ein besseres Führungsverhalten zu erwarten ist, allerdings sind die dynamischen Verkopplungen der Zustandsgrössen hier nicht mehr klar zu überschauen. Der Aufwand zur Messung sämtlicher Zustandsgrössen ist beträchtlich und sinusförmige Stromaufnahme bei Phasenausfall ist nicht möglich. Auch für eine Kaskaden-Zustandsregelung kann der Mess-Aufwand nicht verringert werden, daher wird für die geforderten Spezifikationen lediglich eine Kaskadenregelung in Betracht gezogen.

In [66] wurden zwei mögliche Kaskadenregelungen verglichen, deren unterlagerter Stromregler auf der AC- oder auf der DC-Seite eingreift. Dabei zeigte sich, dass der zusätzliche Aufwand, der bei einer unterlagerten AC-seitigen Regelung (zumindest ein zusätzlicher Stromsensor, und Generierung der sinusförmigen Referenzsignale) entsteht [73], nicht mit besserer Performance gerechtfertigt werden kann. Wie auch in [78] ausgeführt ist, ist die Phasenreserve der inneren AC-seitigen Stromregelung gegenüber einer unterlagerten DC-seitigen Stromregelung sogar verringert.

Somit wird im Weiteren eine DC-seitige Kaskadenregelung [80],[81],[10] verfolgt und eine Struktur vorgestellt, die entsprechend der Anforderungen die bestmögliche Performance liefert.

In Abbildung 6.7 ist die gesamte Regelstruktur abgebildet, die auf Basis von früheren Untersuchungen zu ähnlichen Systemen [82],[83] in [84] erstmals für dieses System vorgestellt wurde. Der Übersichtlichkeit halber wurde der DC-Strom-Formungs-Block, der nur im Fall unsymmetrischer Netzspannungsverhältnisse aktiv wird, in Abbildung 6.7(b) separat gezeigt. In [85] wurde ein grundlegendes Model der kleinsignal-linearisierten Reglergleichungen (6.31)-(6.45) erstellt, welches hier nun hier gemäss den oben angeführten Anforderungen weiterentwickelt werden soll. Im Wesentlichen handelt es sich um eine zweischleifige DC-seitige Kaskadenreglung mit Laststrom- und Netzspannungsvorsteuerung und aktiver Dämpfung des Eingangsfilters. Die Prädiktion, die ebenfalls in Abbildung 6.7 eingezeichnet ist, wird getrennt in Kapitel 6.4 besprochen.

Der äussere Ausgangsspannungsregler ist als linearer Regler mit zwei Betriebsbereichen ausgeführt, welche durch die Amplitude und Vorgeschichte des Regelfehlers e_U bestimmt werden. Der Ausgang des Spannungsreglers ist der geforderte Nachladestrom i_{C0}^* für den Kondensator um den Regelfehler zu kompensieren. Durch Vorsteuerung des Laststromes i_0

$$i_{DB}^* = i_0 + i_{C0}^* \tag{6.31}$$

und Multiplikation mit dem Sollwert der Ausgangsspannung

$$P^* = U_0^* \cdot i_{DB}^* \tag{6.32}$$

ergibt sich die Soll-Ausgangsleistung P^* , die auch vom Eingang geliefert werden soll. Wenn wie eingangs beschrieben gewünscht wird, die Eingangsströme in Phase mit den Eingangsspannungen zu führen, müssen sich die drei Phasen des Konverters eingangsseitig rein resistiv verhalten. D.h. der Gleichrichter weist aus Sicht des Netzes pro Phase einen über eine Netzperiode konstanten Widerstand mit jeweils einem Widerstandswert R^* bzw. Leitwert G^* auf

$$G^* = \frac{1}{R^*} = \frac{\overline{i_{rec}}}{u_{C1}}.$$
 (6.33)

Damit ist die gesamte geforderte Leistung am Eingang

$$P^{*} = \left(\frac{\hat{U}_{C1,R}}{\sqrt{2}}\right)^{2} \cdot G^{*} + \left(\frac{\hat{U}_{C1,S}}{\sqrt{2}}\right)^{2} \cdot G^{*} + \left(\frac{\hat{U}_{C1,T}}{\sqrt{2}}\right)^{2} \cdot G^{*} =$$

$$= \frac{\hat{U}_{C1,R}^{2} + \hat{U}_{C1,S}^{2} + \hat{U}_{C1,T}^{2}}{2} \cdot G^{*}$$
(6.34)

Zur Berechnung von (6.34) müssen die Amplitudenwerte der Filterkondensatorspannungen detektiert werden, was in Kapitel 6.3.3 noch näher beschrieben wird.

Zur Berechnung des Stromsollwertes *i** für die unterlagerte Regelung kann die Momentanleistungsbilanz am Eingang und am Ausgang des Gleichrichters herangezogen werden:

$$p = \sum u_{C1}^2 \cdot G^* = u_{\lim} \cdot i^*, \qquad (6.35)$$

wobei u_{lim} der vom Ausgangsspannungsregler geforderte, jedoch auf die maximal mögliche Ausgangsspannung u_{max} des Buck-Konverters limitierte Spannungswert ist

$$u_{\lim} = U_0^* \qquad f \ddot{u} r \qquad U_0^* \le u_{\max}$$

$$u_{\lim} = u_{\max} \qquad f \ddot{u} r \qquad U_0^* > u_{\max}$$

(6.36)

mit

$$u_{\max} = \frac{3}{2} \cdot M_{\max} \cdot \sqrt{\frac{2}{3} \left(u_{C1,R}^2(t) + u_{C1,S}^2(t) + u_{C1,T}^2(t) \right)} \,. \tag{6.37}$$

Damit ergibt sich der Strom-Referenzwert

$$i^* = \frac{\sum u_{C1}^2 \cdot G^*}{u_{\lim}}.$$
 (6.38)

Für den Fall unsymmetrischer Spannungsverhältnisse am Eingang wie z.B. bei Ausfall einer Phase wird daher auch der Sollzwischenkreisstrom nicht mehr konstant vorgegeben, sondern gemäss (6.38) mit doppelter Netzfrequenz variieren. Wenn die Netzspannung so gering ist, dass

$$U_0^* > u_{\max}$$
 (6.39)

für die gesamte Netzperiode gilt, so ist der Buck-Konverter stets maximal ausgesteuert und die Sinusform der Eingangsströme der verbleibenden Phasen wird mit der Einschaltdauer des Boost-Konverters erzeugt. Der sinusförmige Referenzstrom (6.38) und die Einschaltdauern des Boost-Konverters und des Transistors S_S sind in Abbildung 6.8 für diesen Fall für einen Ausfall der Phase *R* gezeigt.





Abbildung 6.7:

Zweischleifige Kaskaden-Regelung zur Einstellung sinusförmiger Stromaufnahme auch für unsymmetrische Netzverhältnisse, die einen äusseren Ausgangsspannungs-Regler, eine Laststrom-Vorsteuerung, eine Eingangsspannungs-Spitzenwertdetektion zur Eingangsspannungsvorsteuerung, eine Begrenzung des DC-seitigen Stromes ohne Verzerrung des sinusförmigen Verlaufs der Eingangsphasenströme und eine passive Dämpfung des Eingangsfilters berücksichtigt. Der DC-Strom-Formungs-Block aus (a) ist separat in (b) dargestellt.



Abbildung 6.8: Referenzstrom i^* (oben) und Einschaltdauer δ_B des Leistungstransistors des Boost-Konverters und Einschaltdauer δ_S des Transistors S_S für Betrieb bei ausgefallener Phase R und tiefer Eingangsspannung ($U_{N,l-l,rms} = 320$ V).

Wenn die Netzspannungen so gross sind, dass im Bereich der Maxima der verbleibenden Phasenspannungen

$$U_0^* < u_{\max} \tag{6.40}$$

gilt, so muss dort die Zwischenkreisspannung mittels des Buck-Konverters abgesenkt werden. Dementsprechend wird dann mit (6.38) der Sollwert für den DC-Strom in diesem Bereich angehoben. Dieser Fall ist in Abbildung 6.9 dargestellt.



Abbildung 6.9: Referenzstrom i^* (oben) und Einschaltdauer δ_B des Leistungstransistors des Boost-Konverters δ_B und Einschaltdauer δ_S des Transistors S_S für Betrieb bei ausgefallener Phase R und hoher Eingangsspannung ($U_{N,l-l,rms} = 480$ V).

Der Strom-Referenzwert ist auf den maximal zulässigen Zwischenkreisstrom I_{max} zu limitieren, wobei die Sinusform der Eingangsströme erhalten bleiben soll. Dies wird durch Detektion des Spitzenwertes i^*_{peak} und proportionale Änderung des gesamten Sollverlaufes (Umskalierung) erreicht.

$$i_{skal}^{*} = i^{*} \qquad \qquad f \ddot{u} r \qquad i_{peak}^{*} \leq I_{\max}$$

$$i_{skal}^{*} = i^{*} \cdot \frac{I_{\max}}{i_{peak}^{*}} \qquad \qquad f \ddot{u} r \qquad i_{peak}^{*} > I_{\max} \qquad (6.41)$$

Die nachfolgende, zusätzliche Limitierung auf I_{max} (siehe Abbildung 6.7) muss vorgenommen werden, da die Umskalierung aufgrund der sich zumindest über eine Netzhalbperiode erstreckende Stromspitzenwert-Detektion nicht sofort wirksam werden kann.

Der Stromregler versucht mittels seiner Stellgrösse, d.h. über Forderung einer Spannung u_L^* an der Induktivität, den DC-Strom *i* dem Sollwert anzugleichen. Für deaktivierten Boost-Konverter, d.h. für $u^* \le u_{max}$ ergibt sich mit Vorsteuerung der Ausgangsspannung u_0 genau der Wert der Zwischenkreisspannung u^* , der vom Buck-Teil eingestellt werden soll

$$u^* = u_L^* + u_0 \tag{6.42}$$

und daraus der geforderte Modulationsindex m der Buck-Stufe

$$m = \frac{2}{3} \cdot \frac{u^*}{\sqrt{u_{C1,R}^2 + u_{C1,S}^2 + u_{C1,T}^2}} \qquad f \ddot{u}r \quad u^* \le u_{\max},$$
(6.43)

der als Grundlage für die in Kapitel 2 besprochenen Berechnung der Einschaltdauern dient.

Für den Fall, dass die geforderte Zwischenkreisspannung u^* die maximal mögliche Ausgangsspannung u_{max} der Buck-Stufe übersteigt ($u^* > u_{max}$), wird der Modulationsindex auf dem maximalen Wert gehalten

$$m = M_{\text{max}} \qquad f \ddot{u} r \qquad u^* > u_{\text{max}} \tag{6.44}$$

und mittels des Boost-Konverters gemäss

$$\delta_B = \frac{u^* - u_{\max}}{U_0^*} \qquad f \ddot{u} r \qquad u^* > u_{\max} \tag{6.45}$$

die für die Stromregelung erforderliche Spannung u_L^* eingestellt.

Um ggf. trotz der passiven Dämpfung auftretende Oszillationen des Eingangsfilters zu unterdrücken, ist eine aktive Dämpfung (siehe Kapitel 6.3.5) vorgesehen, die die relativen Einschaltdauern der drei Buck-Transistoren entsprechend verändert.

Im Folgenden werden die einzelnen Teilblöcke der Regelung ausgelegt und deren Einfluss auf die Performance der Regelung analysiert.

6.3 Teilblöcke der Regelung

6.3.1 Ausgangsspannungs-Regler

Wie eingangs erwähnt, ist für die Auslegung des überlagerten Spannungsreglers (siehe Abbildung 6.10) primär nicht die Dynamik des Führungsverhaltens, sondern die Stationärgenauigkeit und Störgrössenunterdrückung relevant. Um diese Forderung mit einem raschen Hochlauf des Systems zu vereinen, werden zwei Reglertypen und –verstärkungen vorgesehen [86], die je nach Grösse und Vorgeschichte des Spannungsfehlers e_U zum Einsatz kommen.

Bei Phasenausfall wird die Ausgangsspannung aufgrund der Pulsation der Leistung eine Schwankung mit doppelter Netzfrequenz zeigen

$$\Delta u_{0pp,100Hz} = \frac{P_0}{U_0} \frac{1}{2\omega C_0} = 53 \text{V}.$$
(6.46)

Diese Schwingung soll vom Spannungsregler derart gefiltert werden, dass keine nennenswerte Pulsation des Referenz-Leistungswertes P^* bzw. des Referenz-Leitwertes G^* entsteht, welche zu einer Verzerrung des Zwischenkreis-Sollstromes i^* und der Eingangsströme führen würde. Das Ergebnis des Reglerdesigns in Kapitel 6.5 vorwegnehmend, erfüllt ein reiner Integralregler mit

$$k_{I,U} = 0.43 \left[A \cdot rad / Vs \right] \tag{6.47}$$

einerseits die Bedingung nach Stabilität und Stationärgenauigkeit, und begrenzt andererseits die maximale Schwankung des Referenz-Leistungswertes auf

$$\Delta P_{pp}^* = \Delta u_{pp,100 \,\text{Hz}} \cdot \frac{k_{I,U}}{2\pi \cdot 100 \,\text{Hz}} = 13.7 \,\text{W} \,, \tag{6.48}$$

d.h. auf weniger als 0.3% der Nennleistung. Damit wird sichergestellt, dass eine Schwankung der Ausgangsspannung zufolge unsymmetrischer Netzverhältnisse keine Verzerrung der Netzströme hervorruft. Natürlich ist durch die Wahl dieses Reglers die Dynamik eingeschränkt, die Bandbreite liegt, wie in Kapitel 6.5 gezeigt wird, bei etwa $B_w = 1$ Hz.



Abbildung 6.10: Ausgangsspannungs-Regler mit hysteresebehafteter Umschaltung der Regelparameter in Abhängigkeit der Höhe des Regelfehlers.

Um trotz der geringen Dynamik einen raschen Hochlauf des Systems zu gewährleisten, wird ausserhalb des Bereiches, innerhalb dessen die Ausgangsspannung für zweiphasigen Betrieb schwanken kann, eine weitaus höhere Reglerverstärkung gewählt. Die Grenze für den Übergang zu höherer Reglerverstärkung muss mit (6.46) gleich

$$e_{U,\lim,high} > \frac{\Delta u_{pp,100\,\text{Hz}}}{2} \tag{6.49}$$

gewählt werden, während der Übergang zu kleiner Reglerverstärkung sehr nahe am stationärgenauen Wert festgesetzt werden kann. Damit ergeben sich die Umschaltschwellen

$$e_{U,\lim,high} = 30V \tag{6.50}$$

$$e_{U,\lim,low} = 5V. \tag{6.51}$$

Ein einfacher Proportional-Regler ist für den äusseren Spannungsfehler-Bereich vollkommen ausreichend, da er beim Eintritt in den inneren Bereich durch den Integralregler abgelöst wird, der für Stationärgenauigkeit sorgt. Nun muss noch die Verstärkung des Proportional-Reglers gewählt werden. Damit beim Hochfahren die volle Dynamik des Systems ausgenutzt wird, wird die Verstärkung derart gewählt, dass an der Grenze zum inneren Hysteresebereich noch exakt der maximal zulässige DC-Strom gefordert wird

$$k_{P,U} = \frac{I_{\text{max}} - I_0}{e_{U,\text{lim},low}} = 1.7[\text{A/V}].$$
(6.52)

In Kapitel 6.5 wird die Dynamik und Stabilität auch dieses Reglerteiles überprüft. In Abbildung 6.11 sind die Parameter des Ausgangsspannungs-Reglers für die beiden Spannungsfehler-Bereiche zur Veranschaulichung zusammengefasst.

In Abbildung 6.12 ist abschliessend noch ein Hochlauf der Ausgangsspannung bei Einsatz des beschriebenen Spannungsreglers gezeigt.



Abbildung 6.11: Parameter des äusseren Spannungs-Reglers in Abhängigkeit des Regelfehlers eu.



Abbildung 6.12: Hochlaufen der Ausgangsspannung bei Einsatz des beschriebenen Spannungsreglers mit Umschaltung der Reglereigenschaften in Abhängigkeit des Regelfehlers (Übergang von $k_{P,U} = 1.7$ A/V auf $k_{I,U} = 0.43$ Arad/Vs bei $U_0 = 395$ V).

188

6.3.2 Laststromvorsteuerung

Bei plötzlicher Änderung der Lastverhältnisse würde ohne gezielte Rückführung des Laststromes (siehe Abbildung 6.7) der Ausgangsspannungsregler mit der ihm eigenen, entsprechend langsamen Dynamik reagieren. Demgemäss würde der Sollwert i^* für die innere Stromregelung nur langsam angepasst werden und wie in Abbildung 6.13 gezeigt eine entsprechend langsame Reaktion des Zwischenkreisstroms i bzw. Korrektur der Ausgangsspannung u_0 resultieren. Wenn nun aber der Ausgangsstrom nach dem Prinzip der Störgrössenaufschaltung [87] zum Ausgang des Spannungsreglers addiert wird, verursacht dies eine sofortige Anpassung des Strom-Sollwertes i^* . Entsprechend der Dynamik des unterlagerten Stromregelkreises wird sich dadurch der Zwischenkreisstrom i wie in Abbildung 6.13 gezeigt an die neuen Lastverhältnisse anpassen, ohne eine erwähnenswerte Veränderung der Ausgangsspannung zu verursachen.



Abbildung 6.13: Effekt der Laststromvorsteuerung.

6.3.3 Amplitudendetektion

Zur Berechnung der Soll-Leistung bzw. des Soll-Leitwertes, den das Netz am Eingang des Gleichrichters sehen soll, werden nach (6.34) die Effektivwerte bzw. die Spitzenwerte der drei Phasenspannungen benötigt. Eine einfache und zuverlässige Möglichkeit der Spitzenwertdetektion ist, stets den Absolutwert eines vorangegangenen Messwertes mit dem Absolutwert des aktuellen, abgetasteten Wertes zu vergleichen. Ist der neue Wert grösser als der alte, ist der Verlauf des Signals steigend und der abgetastete Wert der aktuelle Maximalwert. Ist der aktuelle Messwert kleiner als der vorangegangene, so ist der Spitzenwert des untersuchten Verlaufs bereits überschritten und der vorangegangene Wert war der Maximalwert, der nun als Spitzenwert so lange gespeichert wird, bis wieder ein Übergang von steigendem zu fallendem Signalverlauf erkannt wird. Die Methode funktioniert einwandfrei, solange der gemessene Signalverlauf keine Oszillationen aufweist. Mit der verwendeten Abtast- und Mittelungsmethode (siehe Kapitel 6.4) sind schaltfrequente Schwankungen bereits vollständig eliminiert, um gegenüber Schwingungen der Filterkondensatorspannungen robust zu sein, kann zusätzlich wahlweise noch eine der zwei folgenden Massnahmen ergriffen werden:

• Berücksichtigung nur jedes *n*-ten Abtastwertes, wobei *n* ein ganzzahliger Teiler von

$$k \cdot n = \frac{f_S}{2 \cdot f_N}$$
 $k = 1, 2, 3, ...$ (6.53)

sein muss, um den Spitzenwert stets an der gleichen Stelle innerhalb einer Netzperiode zu detektieren.

• Digitale Tiefpassfilterung der Messwerte, wobei die Knickfrequenz unterhalb der erwarteten Resonanzfrequenz, jedoch weit genug oberhalb der zweifachen Netzfrequenz liegen muss.

Aufgrund der einfacheren Implementierbarkeit wurde die erste Variante gewählt, wobei jeder 7-te Abtastwert verwendet wurde.

6.3.4 Sollstrom-Skalierung



Abbildung 6.14 Skalierung des Sollstromes zur Einhaltung eines zulässigen Maximalwertes I_{max} bei Wahrung sinusförmiger Stromaufnahme.

Im Falle des zweiphasigen Betriebes muss der Referenz-Strom die in Abbildung 6.8 bzw. Abbildung 6.9 gezeigte Form (siehe auch Fig. 5 und Fig.6 in [88]) aufweisen um weiterhin sinusförmige Stromaufnahme zu ermöglichen. Um die Leistungshalbleiter zu schützen muss eine Limitierung des Soll-Stromes i^* auf I_{max} implementiert werden (siehe Abbildung 6.7). Eine direkte Begrenzung würde zu einer Abweichung vom sinusförmigen Verlauf führen. Es wird daher der gesamte Stromsollwert so skaliert, dass der Amplitudenwert I_{max} nicht überschreitet.

Wie bei der Spitzenwert-Detektion der Filterkondensatorspannungen kann nun auch der Maximalwert des Referenzstromes i^*_{peak} innerhalb einer halben Netzperiode erkannt werden. Falls i^*_{peak} den maximal zulässigen Wert des Zwischenkreisstroms I_{max} überschreitet, wird der Referenzstromwert i^* entsprechend (6.41) herunterskaliert. In Abbildung 6.15 ist der Effekt dieser Umskalierung für eine sprungartige Änderung der Lastverhältnisse (Halbierung des Lastwiderstandes) gezeigt. Über die Laststromvorsteuerung wird der Referenzstrom i^* entsprechend des erhöhten Leistungsbedarfs vergrössert, jedoch zunächst auf I_{max} begrenzt. Die Umskalierung wird nach einer halben Pulsperiode wirksam und der limitierte Sollstrom i^*_{lim} zeigt wieder sinusförmigen Verlauf.



Abbildung 6.15: Verlauf des Stromsollwertes i^* , des detektierten Spitzenwertes i^*_{peak} und des limitierten und umskalierten Sollwertes i^*_{lim} ($I_{max} = 20$ A) bei zweiphasigem Betrieb und sprungartiger Erhöhung der Last ($R_L = 64\Omega \rightarrow 32\Omega$) zum Zeitpunkt t = 20ms.

Durch diese Umskalierung wird allerdings der Ausgang des Spannungsreglers derart verändert, dass die Stationärgenauigkeit nicht mehr in allen Fällen gewährleistet ist. Die nun von den zwei verbleibenden Phasen gelieferte Leistung beträgt

$$P_{in} = \frac{1}{2} \hat{U}_N \cdot \hat{I}_N \tag{6.54}$$

wobei \hat{I}_N vom maximal zulässigen Zwischenkreisstrom I_{max} bestimmt wird. Unter Vernachlässigung von Verlusten im Konverter ($P_{in} = P_{out}$) bestimmt sich daraus für eine rein ohmsche Last *R* die maximale Ausgangsspannung

$$U_{0,\max} = \sqrt{P_{out} \cdot R} . \tag{6.55}$$

Für den Nennpunkt ($U_{N,rms} = 230$ V), ohmsche Last ($R = 32\Omega$) und $I_{max} = 20$ A bricht damit die Ausgangsspannung auf $U_0 = 322$ V ein, was dadurch verhindert werden könnte, dass ein höherer Maximalstrom zugelassen wird, womit das System allerdings anders zu dimensionieren wäre. Da der zweiphasige Betrieb einen Spezialfall darstellt, wird dies hier nicht weiter verfolgt. In der Praxis muss in dieser Situation vom nachfolgenden Konverter die Leistungsaufnahme entsprechend der maximal lieferbaren Leistung zurückgenommen werden, sodass die gewünschte Ausgangsspannung unter Beibehaltung sinusförmiger Eingangsströme weiterhin konstant auf $U_0 = 400$ V gehalten werden kann.

6.3.5 Aktive Dämpfung

Die in Kapitel 5 bei der Dimensionierung des Eingangsfilters vorgesehenen Widerstandszweige stellen nur eine beschränkte passive Dämpfung sicher, wodurch in den Netzspannungen enthaltene Harmonische bzw. sprungartige Veränderungen der Netzverhältnisse das Eingangsfilter noch anregen können. Eine stärkere passive Dämpfung würde einerseits das Filter beträchtlich vergrössern und andererseits die Verluste in den Dämpfungswiderständen erhöhen. Daher wird nachfolgend eine zusätzliche aktive Dämpfung untersucht.



Abbildung 6.16: Prinzip der aktiven Dämpfung.

In der Literatur wurden mehrere Verfahren zur aktiven Dämpfung von Eingangsfiltern vorgestellt. Einige beruhen auf einer Messung von zusätzlichen Systemgrössen wie den meist nicht verfügbaren tatsächlichen (inneren) Netzspannungen oder den Spannungen an den Filterinduktivitäten [89],[80]. Andere Verfahren sind gegenüber Anregungen aus dem Netz gänzlich unwirksam und dämpfen lediglich Anregungen von der Konverterseite durch Anstiegsbegrenzung des Referenzwertes für die innere Stromregelung [90].

Für die AC-seitige Stromregelung besteht die Möglichkeit, die aktive Dämpfung mittels eines dem Stromregler unterlagerten Kondensatorspannungsregler zu realisieren [91],[66], was mit geringem Realisierungsaufwand verbunden ist, da die Filterkondensatorspannungen für die Sektordetektion und Pulsmustergenerierung ohnehin gemessen werden. In [10] und [66] wurde gezeigt, dass auch für die DC-seitige Regelung ein Verfahren existiert, bei dem nur die Kenntnis der Filterkondensatorspannungen erforderlich ist.

Das Grundprinzip besteht hier darin, Oszillationen des Filters über die Filterkondensatorspannungen zu detektieren und die Einschaltdauern der Buck-Transistoren entsprechend zu verändern (siehe Abbildung 6.16). Dafür werden die Spannungen mit einem Bandpass gefiltert, dessen Mittenfrequenz gleich der Resonanzfrequenz des Filters gewählt wird. Die Bandpass-Ausgangssignale werden mit einem proportionalem Faktor k gewichtet und den Einschaltdauern der Buck-Transistoren additiv beaufschlagt. Wie in einem einphasigen, regelungstechnischen Blockschaltbild, in dem der Übersichtlichkeit halber nur ein einstufiges *LC*-Filter ohne passive Dämpfung dargestellt ist (Abbildung 6.17), ersichtlich ist, entspricht dies einer bandbegrenzten negativen Rückkopplung des Filterkondensator-Energiespeichers und erfüllt somit die Funktion eines Dämpfungswiderstandes, der nur für den Bereich um die Resonanzfrequenz wirksam ist und keine Verluste verursacht.



Abbildung 6.17: Vereinfachtes Blockschaltbild der Regelung zur Veranschaulichung der Wirkung der aktiven Dämpfung.

Für den Fall, dass durch eine Anregung des Filters, also für Frequenzen im Bereich der Resonanzfrequenz ein Anstieg einer Filterkondensatorspannung auftritt, wird über die aktive Dämpfung der Modulationsindex um

$$m = m' + \Delta m_{damp}. \tag{6.56}$$

erhöht. Durch die nun verlängerte Einschaltdauer des zugehörigen Buck-Transistors wird der Eingangsstrom i_{rec} erhöht, womit dem Filterkondensator Ladung entnommen wird, was dem weiteren Spannungsanstieg und damit der Schwingung entgegenwirkt.

Im Bode-Diagramm (siehe Abbildung 6.18) zeigt sich deutlich der dämpfende Effekt dieser Massnahme. Im dreiphasigen Fall können jedoch nicht nur Schwingungen der Amplitude, sondern auch der Phase der Filterkondensatorspannungen auftreten. Um diesen ebenfalls entgegenzuwirken, müssen wie in Abbildung 6.16 dargestellt den relativen Einschaltdauern aller drei Buck-Transistoren aktive Dämpfungsterme

$$\delta_i = \delta_i' + \Delta \delta_{i,damp} \quad i = R, S, T \tag{6.57}$$

hinzugefügt werden, wobei allerdings die Berechnung von zwei der drei Dämpfungsterme, z.B.

$$\Delta \delta_{R,damp} = D(s) \cdot u_{CI,R},$$

$$\Delta \delta_{S,damp} = D(s) \cdot u_{CI,S}$$
(6.58)

über Filterung D(s) ausreichend ist, da wegen

$$u_{C1,R} + u_{C1,S} + u_{C1,T} = 0 ag{6.59}$$

immer

$$\Delta \delta_{T,damp} = -(\Delta \delta_{R,damp} + \Delta \delta_{S,damp}).$$
(6.60)

gilt. Nun muss noch die Filterfunktion und -verstärkung von

$$D(s) = \frac{\Delta m_{damp}(s)}{u_{Cl}(s)} = k \cdot F(s)$$
(6.61)

festgelegt werden. Ein wichtiges Kriterium für die Auslegung des Filters ist die Unterdrückung der Grundfrequenz der Kondensatorspannungen, um nicht eine 50Hz-Schwingung den Einschaltdauern zu überlagern. Der grundfrequente Anteil der Filterkondensatorspannungen ist um Faktoren grösser als ein resonanter Anteil, daher sollte die Unterdrückung der 50Hz-Komponente in Bezug auf die hochfrequenten Anteile mindestens -60dB betragen. Ein digitales Bessel-Hochpass-Filter dritter Ordnung mit Knickfrequenz bei 1kHz weist bei 50Hz eine Unterdrückung von -78dB auf und erfüllt daher diese Anforderung. Da das digitale Filter ohnehin nur bis zur Schaltfrequenz arbeitet, ist die obere Bandbegrenzung automatisch gegeben und muss daher nicht eigens implementiert werden.



Abbildung 6.18: Bode-Diagramm der Übertragungsfunktion des Eingangsfilters $G_u(s) = u_{Cl}(s)/u_N$ (s) für unterschiedliche Dämpfungsterme *k*.

Die Wahl des Verstärkungsfaktors k der aktiven Dämpfung ist aufgrund der Nähe des Dämpfungs-Frequenzintervalls und der Stromregler-Durchtrittsfrequenz (siehe Kapitel 6.5) sehr sorgfältig vorzunehmen. Mit steigendem Wert des Faktors k sinkt zunehmend die Phasenreserve für den inneren Stromregelkreis, der daher entsprechend langsamer ausgelegt werden muss. Falls der k-Faktor zu hoch gewählt wird,

kann das System instabil werden. In Abbildung 6.19 sind die Verläufe der Wurzelortskurven des inneren Stromregelkreises für ausgewählte Werte *k* gezeigt.



Abbildung 6.19: Wurzelortskurven des inneren Stromregelkreises für verschiedene Werte k der aktiven Dämpfung.

Mit diesen Überlegungen und der Bedingung, dass die aktive Dämpfung für praxisrelevante Fälle auch nicht den vorgesehenen Bereich

$$\left|\Delta\delta_{i}\right| \leq 0.1 \tag{6.62}$$

überschreitet, wird

$$k = 0.002 \ [1/V] \tag{6.63}$$

gewählt. Damit lautet die gesamte digitale Filterfunktion

$$D(z) = \frac{d(z)}{u_{C1}(z)} = 0.002 \cdot \frac{1.146 - 3.438z^{-1} + 3.438z^{-2} - 1.146z^{-3}}{1 - 2.477z^{-1} + 2.06z^{-2} - 0.575z^{-3}} [1/V],$$
(6.64)

die im DSP als Differenzengleichung

$$d_{k}(z) = 2.477d_{k-1} - 2.06d_{k-2} + 0.575d_{k-3} + 0.002(1.146u_{C1,k} - 3.438u_{C1,k-1} + 3.438u_{C1,k-2} - 1.146u_{C1,k-3})$$
(6.65)

realisiert wird.

Damit ergibt sich, wie in Abbildung 6.20 ersichtlich, z.B. eine Reduzierung des Überschwingens (für eine sprungartige Veränderung der Netzspannungsamplitude $\Delta U_N = 140$ V) von 44% auf 28%.



Abbildung 6.20: Effekt der aktiven Dämpfung für sprungartige Änderung der Netzspannungsamplitude um $\Delta U_N = 140$ V.

198

6.4 Digitale Implementierung

Die Regelung des Systems soll mittels eines digitalen Signalprozessors [92] erfolgen. Aufgrund von Vorarbeiten [93],[94] konnte auf ein bestehendes DSP-Modul mit umfangreicher Funktionalität und benutzerfreundlicher Oberfläche zurückgegriffen werden.

Gegenüber einer analogen Regelung existieren bei einer digitalen Lösung weitaus mehr Freiheiten in der Modulation und Regelung des Systems und Änderungen und Erweiterungen sind einfach zu implementieren. Es entstehen jedoch durch die Analog-Digital-Konversion, die Berechnung der Reglergleichungen und die Pulsmusterausgabe Verzögerungen [69], die nachfolgend identifiziert und in ihrem Einfluss auf die Regelung analysiert werden.

Prinzipiell gemessen werden müssen:

- zwei der drei Filterkondensatorspannungen u_{C1,i} zur Detektion des Spannungssektors, zur Berechnung der Einschaltzeiten und zur aktiven Dämpfung
- der DC-Strom in der Induktivität *i* für die innere Stromregelung
- die Ausgangskondensatorspannung u_0 für die äussere Spannungsregelung
- der Laststrom i_0

Die letzten beiden Grössen sind über mehrere Pulsperioden hinweg praktisch konstant, daher ist deren Messung unkritisch und die Analyse des Einflusses von Verzögerungszeiten kann unterbleiben. Die Filterkondensatorspannungen und der DC-Strom hingegen haben einen stark ausgeprägten schaltfrequenten Rippel, da sie direkt am Konvertereingang bzw. –ausgang auftreten. Für diese Grössen muss daher ein Verfahren gefunden werden, das schaltfrequente Anteile möglichst effizient unterdrückt und andererseits keine starke Phasendrehung verursacht, da dies die mögliche Bandbreite der Regelung einschränken würde [95].

Da das verwendete Pulsmuster symmetrisch bezüglich der Mitte des Pulsintervalls ist, zeigen die Verläufe der Filterkondensatorspannungen $u_{CI,i}$ und des DC-Stromes *i*

an den Rändern und in der Mitte jeder Pulsperiode den Wert des rippelbefreiten, mittleren Verlaufs (siehe Fig. 7 in [96]). D.h. die schaltfrequenten Anteile der Filterkondensatorspannungen und des DC-Stromes können vollständig unterdrückt werden, wenn am Beginn jeder Pulshalbperiode abgetastet wird, so wie dies in Abbildung 6.21 für den DC-Strom gezeigt ist. Da der abgetastete Wert einem Momentanwert entspricht, wird durch dieses Verfahren keine Verzögerung bzw. Phasendrehung verursacht.



Abbildung 6.21: Darstellung des Zweifach-Abtastverfahrens jeweils in der Mitte und am Anfang/Ende jeder Pulsperiode und der entstehenden Verzögerungszeiten durch Pulsmusterberechnung und –ausgabe. Die Berechnung und Ausgabe des nächsten Pulsmusters erfolgt eine Pulsperiode später, daher werden dann die Abtastwerte $i_{sample(0.5TP)}$ und $i_{sample(TP)}$ zur Mittelwertbildung und Berechnung herangezogen.

Ein weiteres, häufig eingesetztes Verfahren ist die Überabtastung eines zu messenden Signals während einer Pulsperiode mit anschliessender Mittelwertbildung. Im einfachsten Fall einer 2-fachen Überabtastung und Mittelwertbildung [97] entspricht dies einer Übertragungsfunktion

$$G_{avg} = \frac{1}{2} \cdot (1 + e^{-sT_p/2}).$$
(6.66)

Durch diese Verfahren wird, wie im Bode-Diagramm in Abbildung 6.22 veranschaulicht, der schaltfrequente Anteil im Idealfall vollständig unterdrückt. Je mehr Werte abgetastet und gemittelt werden, desto robuster wird das Messergebnis gegenüber Störeinflüssen. Andererseits wächst dadurch aber auch die Rechenzeit des DSP für das Einlesen der Messwerte und die Berechnung des aktuell gemittelten Wertes. In [98] wurden unterschiedliche Samplingverfahren miteinander verglichen und die nachfolgend dargestellte Ausführung als für die gegebenen Bedingungen (Schaltfrequenz, Umfang des DSP-Programms) optimal identifiziert.

Als sinnvoller Kompromiss wird eine Kombination der Abtastverfahren gewählt: Einerseits werden die Messwerte exakt am Beginn jeder Pulshalbperiode eingelesen, andererseits werden diese Messwerte zur Unterdrückung eventueller Störeinflüsse noch zusätzlich gemäss (6.66) gemittelt. Auf Basis dieses Messprozesses werden nun die insgesamt auftretenden Verzögerungszeiten näher analysiert.



Abbildung 6.22: Bode-Diagramm der Zweifach-Abtastung mit Mittelwertbildung nach (6.66) und eines einfachen Verzögerungsgliedes nach (6.67).

6.4.1 Totzeiten des Systems

Die Messung der Ströme erfolgt mittels Stromsensoren Sensitec CMS2025 [99], die auf Basis des magnetoresistiven Effektes arbeiten. Die Analog-Digital-Konversion des DSP erfolgt mit einem 20MSPS, 14-bit ADC praktisch verzögerungsfrei. Erst durch die oben beschriebene 2-fach Überabtastung und Mittelwertbildung wird eine Totzeit verursacht, die näherungsweise mit einer Übertragungsfunktion

$$G_{avg} \approx e^{-sT_P/4} \tag{6.67}$$

beschrieben werden kann. In Abbildung 6.22 sieht man, dass die Phasenverläufe von (6.66) und (6.67) bis zur Schaltfrequenz $f_S = 28$ kHz exakt übereinstimmen und die Amplituden bis etwa 10kHz einen ähnlichen Verlauf zeigen.

In Abbildung 6.21 sind die Verzögerungen für den Verlauf des DC-Stromes gezeigt, gleichermassen gelten die folgenden Betrachtungen auch für die Filterkondensatorspannungen. Der gemittelte Stromwert i_{avg} , der sich aus den beiden gesampelten Werten $i_{sample(-0.5TP)}$ zum Zeitpunkt $t = -0.5T_P$ und $i_{sample(0)}$ zum Zeitpunkt t = 0 ergibt ist zum Zeitpunkt t = 0 um eine viertel Pulsperiode verzögert (siehe (6.67)) im DSP verfügbar. Für die darauf folgenden Berechnungen im DSP wie der Sektorerkennung, sämtlicher Regler-Funktionsblöcke und die Berechnung der Einschaltdauern wird eine volle Pulsperiode reserviert¹³, was eine zusätzliche Verzögerung

$$G_{calc} = e^{-sT_p} \tag{6.68}$$

verursacht.

Nun erfolgt die Pulsmusterausgabe derart, dass die berechneten Einschaltdauern und somit die PWM-Signale für die volle darauf folgende Pulsperiode konstant vorgegeben werden. Dies entspricht einer Abtast-Halte-Funktion (Sample/Hold) von einer Pulsperiode, was im Vergleich zu einer Pulsmustergenerierung und einer Sinus-

¹³ Streng genommen erfolgt die Mittelwertbildung innerhalb der Berechnungszeit des DSP, d.h. beansprucht einen Teil der Rechenzeit. Aus Gründen der Übersichtlichkeit wird hier jedoch angenommen, der gemittelte Wert wäre schon am Anfang der DSP Berechnungen verfügbar und die der Rechenzeit der übrigen Funktionen nimmt im Anschluss daran eine volle Pulsperiode in Anspruch

Dreieck-Verschneidung (Natural Sampling) eine Verzögerung von einer halben Pulsperiode bedeutet. In [71] wurde gezeigt, dass für die Methode des Natural Sampling, wie es für analoge Pulsmustergenerierung der Fall ist, keine Verzögerung bzw. Phasendrehung auftritt. Das hier verwendete Verfahren wird durch

$$G_{PWM} = e^{-sT_P/2}.$$
 (6.69)

charakterisiert [100],[101]. Dies bedeutet, dass ein Pulsmuster, für das die relative Einschaltzeit am Anfang der Pulsperiode vorliegt und über die gesamte Pulsperiode hinweg konstant gehalten wird, im Mittel erst nach einer halben Pulsperiode wirksam wird.

Die Pulsmusterausgabe des DSP (in einem Zeitraster mit 12.5ns Schrittweite) und die Verzögerungszeit der verwendeten Gate-Treiber-Schaltung (200ns) können in Bezug auf die anderen Zeiten (6.67) - (6.69) vernachlässigt werden. Damit ergibt sich aufgrund der digitalen Signalverarbeitung eine Gesamt-Totzeit von

$$G_{tot} = G_{avg} \cdot G_{calc} \cdot G_{PWM} \approx e^{-s \cdot 1.75T_p}.$$
(6.70)

Die nächste Abtastung der Messwerte und die Berechnung und die Ausgabe des nächsten Pulsmusters erfolgen eine Pulsperiode später (*Single PWM Update Mode*), sodass wiederum die berechnete Gesamt-Totzeit (6.70) entsteht. Wie in Abbildung 6.23 ersichtlich, verursacht die Totzeit nach (6.70) im Bereich der Durchtrittsfrequenz der Stromregler-Schleifenverstärkung eine starke Phasendrehung. So tritt etwa bei f = 4kHz noch eine Phasendrehung von $\varphi = \pi/2$ auf, was für einen Proportionalregler und eine rein integrale Strecke schon die Grenze zur Instabilität darstellen würde. Für eine konservative Reglerauslegung könnte hier die Bandbreite auf maximal etwa $B_w = 1$ kHz gelegt werden. Im vorliegenden Fall besitzt die Strecke jedoch nicht nur integralen Charakter, sondern beinhaltet auch noch ausgeprägte Resonanzen aufgrund des Eingangsfilters, wodurch die Bandbreite noch entsprechend tiefer angesiedelt werden muss.

Es ist daher nahe liegend zu versuchen, diese Totzeiten teilweise zu kompensieren. Im Folgenden werden zwei Verfahren zur Vorhersage (Prädiktion) der Zustandsgrössen vorgestellt, die durch unterschiedlichen Realisierungsaufwand gekennzeichnet sind.



Abbildung 6.23: Bode-Diagramm der Verzögerungszeiten mit und ohne Prädiktions-Massnahme.

6.4.2 Lineare Prädiktion

Das Verfahren der linearen Prädiktion stellt das einfachste Verfahren zur Kompensation von Totzeiten dar [102]. Es wird dabei stets einfach ein zukünftiger Wert auf Grundlage zwei verfügbarer vergangener Werte durch lineare Extrapolation vorhergesagt, wobei keinerlei Kenntnis über den zu regelnden Prozess verlangt und dementsprechend die Dynamik des Systems hier auch nicht berücksichtigt wird.

Wie schon in Abbildung 6.21 illustriert, ist die vom Zeitpunkt $t = -0.25T_P$, zu dem der gemittelte Wert i_{avg} auftreten würde, bis zum Zeitpunkt $t = 1.5T_P$, zu dem das Pulsmuster für den Gleichrichter wirksam wirkt, gesamte auftretende Totzeit $T_{tot} =$

1.75 T_P . Eine lineare Prädiktion des Stromwertes i_{pred} auf Basis der verfügbaren gemittelten Werten i_{avg} und $i_{avg,old}$ lautet daher

$$i_{pred} = i_{avg} + (i_{avg} - i_{avg,old}) \cdot 1.75,$$
 (6.71)

wobei i_{avg} der eine Pulsperiode zuvor berechnete Mittelwert ist. In Abbildung 6.24 wird diese Prädiktion veranschaulicht und es zeigt sich, dass für einigermassen lineare Verläufe die Vorhersage einwandfrei funktioniert. Die Übertragungsfunktion der Prädiktion lautet somit

$$G_{pred}(z) = \frac{i_{pred}}{i_{avg}} = 2.75 - 1.75z^{-1}, \qquad (6.72)$$

und die im DSP realisierte Differenzengleichung ist

$$i_{pred,k} = 2.75 \cdot i_{avg,k} - 1.75 \cdot i_{avg,k-1}.$$
(6.73)



Abbildung 6.24: Prinzip der linearen Prädiktion zur Vorhersage des Stromwertes zum Zeitpunkt der Wirksamkeit der Pulsmusterausgabe. Aufgrund des *Single PWM Update Modes* (Abtastung, Berechnung und PWM-Ausgabe in einem Zeitraster einer vollen Pulsperiode) liegen die gemittelten Stromwerte i_{avg} und $i_{avg,old}$ eine Pulsperiode auseinander.

Es kann gezeigt werden, dass die Prädiktions-Funktion (6.73) differenzielles Verhalten aufweist, Phase und Amplitude werden, wie im Bode-Diagramm in Abbildung 6.23 ersichtlich, angehoben. Das bedeutet einerseits, dass die durch die Totzeiten verursachte Phasendrehung wie gewünscht kompensiert werden kann, andererseits erhöht die Prädiktion auch geringfügig die Amplitude, was im Reglerdesign berücksichtigt werden soll. Im Bereich zwischen 1kHz und 10kHz bewirkt die lineare Prädiktion durchschnittlich eine Phasenanhebung von etwa $\Delta \varphi = \pi/4$, wodurch die Bandbreite bzw. Stabilitätsreserve des Systems erhöht wird.

In Abbildung 6.25 ist der Effekt der linearen Prädiktion anhand eines Strom-Sollwertsprunges für das geregelte System mit und ohne Prädiktion gezeigt, wobei für beide Fälle die gleiche Durchtrittsfrequenz der Stromregler-Schleifenverstärkung gewählt wurde. Offensichtlich ist die Stabilität durch die lineare Prädiktion eindeutig verbessert, d.h. Überschwinghöhe und Einschwingzeit sind deutlich reduziert.



Abbildung 6.25: Verbesserung der Dynamik des inneren Stromreglers durch lineare Prädiktion des Stromes *i*.

Aufgrund der in Kapitel 6.2 vorgestellten Regelstruktur greift der Laststrom direkt auf den Sollwert der inneren Regelschleife ein, daher ist dieses Verfahren auch für Störungen von der Lastseite wirksam.

Die vorgestellte Prädiktion für den Strom kann ebenso für die Vorhersage der Filterkondensatorspannungen benutzt werden, daher ist diese Methode auch für Störungen von der Netzseite wirksam.

6.4.3 Smith-Prädiktion

Ein alternatives, weitaus aufwändigeres Verfahren ist die von Smith in [103] vorgestellte Prädiktions-Methode. Im Gegensatz zur linearen Prädiktion ist hier die Kenntnis über das zu regelnde System notwendig, d.h. ein Modell der Strecke muss in die Berechnung der prädizierten Werte einbezogen werden.

Für einen beliebigen Prozess $G_y(s) e^{-sTx}$, der eine Totzeit T_x beinhaltet, ist die Smith-Prädiktion wie in Abbildung 6.26(a) gezeigt vorzunehmen. Vorerst ist ein möglichst exaktes Modell der Strecke ohne Totzeit G_y '(s) zu erstellen und die Rückführung der totzeitbehafteten Regelgrösse $y e^{-sTx}$ gemäss

$$y' = y \cdot e^{-sT_x} + (1 - e^{-sT_x}) \cdot u \cdot G'_y(s), \qquad (6.74)$$

zu ergänzen. Wie Abbildung 6.26(b) zu entnehmen, ist für den Idealfall einer exakt modellierten Strecke G_y '(s) = G_y (s) die Totzeit aus der Regelschleife eliminiert. Damit kann der Regler für das System ohne Totzeit mit entsprechend höherer Dynamik bzw. Stabilität ausgelegt werden. Allerdings tritt die physikalische Regelgrösse nach wie vor um die Totzeit T_x verzögert am Ausgang des Systems auf.

Das äquivalente Blockschaltbild der inneren Regelschleife kann gemäss Abbildung 6.27(a) dargestellt werden. Die Smith-Prädiktion greift hier sowohl bei dem DC-Strom *i* als auch bei den Filterkondensatorspannungen $u_{CI,i}$ ein. Analog zu Abbildung 6.26(b) kann hier auch für den Fall, dass ein exaktes Modell der Strecken $G_i'(s) = G_i(s)$ und $G_{UCI}'(s) = G_{UCI}(s)$ vorliegt und in der Rückführung implementiert wird, die Totzeit aus dem zu regelnden System eliminiert werden. Im Idealfall befinden sich dann weder in der Stromregelung, noch im aktiven Dämpfungskreis

Totzeiten (Abbildung 6.27(b)). Da die Totzeit exakt modelliert wurde und nicht arbeitspunktabhängig ist, muss sie nicht wie in [104] laufend mitgerechnet und adaptiert werden, was den Realisierungsaufwand gering hält.



Abbildung 6.26: Prinzip der Smith-Prädiktion durch Rückführung der Stellgrösse u über ein Modell $G'_{y}(s)$ der Regelstrecke.

Die Herausforderung hier ist also, die Regelstrecken so exakt wie möglich zu modellieren. Aufgrund der hohen Systemordnung, möglicher Parameterschwankungen und verschiedener Betriebsbereiche ist dies jedoch keine einfache Aufgabe, wenn zugleich auch der Rechenaufwand im DSP gering gehalten werden soll. Daher wurde ein approximiertes Modell für die Smith-Prädiktion herangezogen, welches von der tatsächlichen Strecke geringfügig abweicht. Für den Nenn-Arbeitspunkt wurden die Streckenmodelle z.B. für den DC-Strom durch

$$G'_{i}(z) = \frac{i}{m} = 3.56 \cdot \frac{1 - 0.35z^{-1} - 0.33z^{-2} + 1.02z^{-3}}{1 - 2.15z^{-1} + 2.02z^{-2} - 0.86z^{-3}},$$
(6.75)

approximiert.


Abbildung 6.27: Implementierung der Smith-Prädiktion für die innere Stromregel-Schleife und den aktiven Dämpfungskreis für die Regelung aus Abbildung 6.7. In jeder der beiden Schleifen wird dann die Totzeit G_{calc} · G_{PWM} · G_{avg} kompensiert.

Damit lassen sich die beiden Anteile

$$i_{k} = m_{k} \cdot G'_{i} = 3.56(m_{k} - 0.35m_{k-1} - 0.33m_{k-2} + 1.02m_{k-3}) + +2.15i_{k-1} - 2.02i_{k-2} + 0.86i_{k-3}$$
(6.76)

und

Regelung

$$i_{k-1.75} = m_{k-1.75} \cdot G'_{i} =$$

$$= 3.56(m_{k-1.75} - 0.35m_{k-2.75} - 0.33m_{k-3.75} + 1.02m_{k-4.75}) +, \qquad (6.77)$$

$$+ 2.15i_{k-2.75} - 2.02i_{k-3.75} + 0.86i_{k-4.75}$$

der Smith-Prädiktions-Rückführung

$$G_i \cdot (1 - e^{-1.75 \cdot sT_p}) \cdot m = i_k - i_{k-1.75}, \qquad (6.78)$$

berechnen.

In Abbildung 6.28 sind die Sprungantworten des Systems für einen Sollwertsprung des DC-Stromes ohne Prädiktion und für Smith-Prädiktion mit exakt modellierter und mit approximierter Streckenübertragungsfunktion (6.75) verglichen. Für den Fall perfekter Modellierung ist der Verlauf der Sprungantwort tatsächlich lediglich $1.75T_P$ gegenüber der idealen, totzeitfreien Strecke verzögert. Dahingegen ist für die approximierte Strecke ein wesentlich schlechteres dynamisches Verhalten zu beobachten.

Ein weiteres Problem der Smith-Prädiktion ist, dass für die Vorhersage mit (6.76) - (6.77) nicht nur der aktuelle Wert und die gemäss (6.76) um T_P , $2T_P$, $3T_P$ verzögerten Werte von *i* und *m* (und ebenso u_{CI}) verfügbar sein müssen, sondern auch die um $1.75T_P$, $2.75T_P$, $3.75T_P$ und $4.75T_P$ verzögerten Werte (siehe (6.77)). Diese liegen jedoch nicht direkt vor, sondern müssen wiederum aus den vorhandenen Werten approximiert werden.

Zusammenfassend ist der für die Smith-Prädiktion gegenüber der linearen Prädiktion erforderliche Aufwand nicht durch die geringfügige Verbesserung des dynamischen Verhaltens zu rechtfertigen. Kleine Abweichungen des Streckenmodells von der tatsächlichen Strecke beeinträchtigen das System relativ stark und der Aufwand für die digitale Implementierung ist beträchtlich.

Daher wird zur Kompensation der auftretenden Totzeiten in der Regelung die lineare Prädiktion des DC-Stromes verwendet und in das Reglerdesign im folgenden Kapitel miteinbezogen. Genauso werden auch die Filterkondensatorspannungen $u_{Cl,i}$ linear prädiziert damit auch die Verzögerungen in der Schleife der aktiven Dämpfung kompensiert werden.

210



Abbildung 6.28: Sprungantworten bei Anwendung der Smith-Prädiktion für exaktes und vereinfachtes Streckenmodell im Vergleich zum realen System ohne Prädiktion und zum System, in dem keine Verzögerungszeiten berücksichtigt sind.

6.5 Auslegung der Regelung

In den vorangegangenen Kapiteln wurde die Struktur der Regelung festgelegt und einige Analysen regelungsrelevanter Details angegeben und deren Implementierung festgelegt. Nun müssen schlussendlich noch die Reglertypen und –parameter nach den zu Beginn des Kapitel 6.2 aufgelisteten Design-Kriterien bestimmt werden. Dafür ist zuvor noch der kritische Arbeitspunkt zu bestimmen, der dann die Grundlage für die Regler-Auslegung darstellt. Der gesamte Reglerentwurf könnte auch wie in [105],[106] im z-Bereich erfolgen, da die Regler letztlich digital abgesetzt wird. Da die schliesslich gewählten Reglertypen jedoch von sehr einfacher Natur sind und die Analyseverfahren für kontinuierliche Regelsysteme anschaulicher und weiter verbreitet sind, wird der komplette Entwurf im kontinuierlichen Bereich durchgeführt.

6.5.1 Bestimmung des kritischen Arbeitspunktes

Für die Bestimmung des hinsichtlich Reglerauslegung kritischen Arbeitspunktes ist die Strecke, die von der inneren Stromregelung gesehen wird, zu betrachten. Die äussere Regelschleife ist aufgrund der geringeren Dynamik im Vergleich zur inneren Schleife für die Ermittlung des hinsichtlich Stabilität kritischen Falles nicht relevant.

Der innere Stromregelkreis sieht für einen Frequenzbereich bis in die Nähe der 1. Eingangsfilter-Resonanzfrequenz eine Strecke mit integralem Verhalten, da der Eingang der Strecke (Spannung u_L an der DC-Induktivität) mit

$$i = \int_{0}^{t} u_L dt \tag{6.79}$$

integriert am Ausgang (Regelgrösse *i*) erscheint. Durch die Kopplung des Eingangskreises mit dem Ausgangskreis über den Konverter treten für höhere Frequenzbereiche jedoch die Resonanzfrequenzen des zweistufigen Eingangsfilters in der Übertragungsfunktion auf. Durch jede der beiden Filterstufen wird in der Übertragungsfunktion der Strom-Regelstrecke eine Phasendrehung von 180° verursacht. Für eine stabile Regelung muss die Durchtrittsfrequenz der Stromregelung daher in jedem Fall unterhalb der ersten Resonanzfrequenz liegen und es kann zur Beurteilung der Reglerstabilität die Resonanz der zweiten Filterstufe vernachlässigt werden.

Die erste Filterstufe bewirkt in der Stromregel-Strecke ein konjugiert-komplexes Polpaar nahe der imaginären Achse. Die Wurzelortskurve zeigt, wie sich die Lage der Pole für den geschlossenen Regelkreis für steigende Verstärkungen ändert. Ein Zoom der Wurzelortskurve im Bereich einer der beiden Pole ist in Abbildung 6.29 für verschiedene Arbeitspunkte gezeigt.

Es sei zunächst der reine Buck-Betrieb betrachtet. Es ist ersichtlich, dass für höhere Ausgangsleistungen P_0 das System tendenziell instabiler wird, da sich die Nullstellen der offenen Schleife und demnach die Pole des geschlossenen Kreises für eine bestimmte Reglerverstärkung $k_{P,I}$ für steigende Leistungen in Richtung der imaginären Achse bewegen bzw. in die rechte Halbebene eintreten, während die Lage der Polstellen der offenen Schleife von der Ausgangsleistung unabhängig ist. OffenRegelung

sichtlich wird das System auch für geringere Eingangsspannungen $U_{N,l-l}$ (also für steigenden Modulationsindex *M*) instabiler. Daraus ergibt sich der kritische Punkt innerhalb des Buck-Betriebsbereiches mit der Nennleistung $P_0 = 5$ kW und der minimalen Eingangsspannung $U_{N,l-l} = 363$ V (M = 0.9).



Abbildung 6.29: Ausschnitt aus der Wurzelortskurve für ein Pol-Nullstellen-Paar zur Beurteilung der Stabilität des Systems für unterschiedliche Betriebspunkte (Wurzelortskurve für Buck+Boost-Betrieb strichliert, identer Verlauf für $P_0 = 5$ kW und 500W).

Wenn die Eingangsspannung unter diesen Wert abgesenkt wird, so ist die Stellgrösse nicht mehr die Einschaltdauer des Buck-Konverters, die dann konstant auf M = 0.9gehalten wird, sondern die Einschaltdauer des Boost-Transistors δ_B (Buck+Boost-Betrieb, siehe Kapitel 2), womit eine Änderung der zu regelnden Strecke gemäss (6.22) resultiert. In Abbildung 6.29 ist gezeigt, dass für diesen Betriebsbereich immer höhere Stabilität gegeben ist. Der Verlauf der Wurzelortskurve ist unabhängig von der Ausgangsleistung und liegt vollständig in der linken Halbebene stets links von den Verläufen des Buck-Betriebs. Daher ist der Buck+Boost-Betrieb weniger kritisch als der Buck-Betrieb und muss für die Reglerauslegung nicht in Betracht gezogen werden.

Dies kann anhand der Übertragungsfunktionen der offenen Schleife erklärt werden. Zur besseren Veranschaulichung der Zusammenhänge wird vorerst das Eingangsfilter auf ein ungedämpftes, einstufiges *LC*-Filter reduziert und die Ausgangsspannung als konstant angenommen. Für den Buck-Betrieb ergibt sich dann eine Übertragungsfunktion von

$$G(s) = \frac{i}{m} = \frac{U_N}{L_0} \cdot \frac{(1 + s^2 L_1 C_1) - \frac{M^2}{C_1} \cdot \frac{I_0}{U_0} s}{s(1 + M^2 \cdot \frac{L_1}{L_0} + s^2 L_1 C_1)}.$$
(6.80)

2

Aufgrund des negativen Vorzeichens des Koeffizienten des linearen Terms des Zählerpolynoms resultiert die vorhin beschriebene Nullstelle in der rechten Halbebene. Wird nun eine passive Dämpfung hinzugefügt, bewegt sich die Nullstelle in Richtung der imaginären Achse und tritt für geringe Last (I_0 in (6.80)) und hohe Eingangsspannungen (geringer Modulationsindex M) wie vorhin beschrieben in die linke Halbebene ein.

Für den Buck+Boost-Betrieb kann gezeigt werden, dass der lineare Term des Zählerpolynoms der Übertragungsfunktion des Systems

$$G(s) = \frac{i}{\delta} = \frac{U_0}{L_0} \cdot \frac{1 + s^2 L_1 C_1}{s(1 + M^2 \cdot \frac{L_1}{L_0} + s^2 L_1 C_1)}$$
(6.81)

verschwindet. Die Nullstellen des Buck+Boost-Betriebs befinden sich immer links von den Nullstellen des reinen Buck-Betriebs, die Polstellen sind in beiden Fällen ident. Unter Berücksichtigung der passiven Dämpfung ist für das System in diesem Betriebsmodus daher für alle Last- und Eingangsspannungsfälle Stabilität gewährleistet. Regelung

Der kritische Arbeitspunkt ist für den Konverter somit für den Buck-Betrieb an der Grenze zum Buck+Boost-Betrieb gegeben, d.h. $P_0 = 5$ kW und M = 0.9.

6.5.2 Entwurf des innerer Stromreglers

Nun sind sämtliche Details für den eigentlichen Entwurf der Regelung geklärt und der hinsichtlich Stabilität kritische Betriebsfall identifiziert. Für den Entwurf des inneren Stromreglers kann das äquivalente DC-DC-Ersatzschaltbild der Regelstrecke wie in Abbildung 6.30 gezeigt verwendet werden. Die Verzögerungszeiten und die Prädiktion von Strom und Eingangsspannung (siehe Kapitel 6.4.1 und 6.4.2) sind dabei ebenso berücksichtigt wie die für die Auslegung der Regelung ebenso relevante aktive Dämpfung (siehe Kapitel 6.3.5). Aus dem Bode-Diagramm in Abbildung 6.31 ersieht man, dass ein reiner Proportional-Regler

$$K_I(s) = k_{P,I} \tag{6.82}$$

aufgrund des integralen Verhaltens der Strecke und der überlagerten Regelschleife ausreichend ist.

In Abbildung 6.32 ist der Zielkonflikt zwischen hoher Dynamik und hoher Stabilität verdeutlicht. Als Kompromiss wurde für das vorliegende System eine Verstärkung von

$$k_{P,I} = 15 \ [1/A] \tag{6.83}$$

gewählt, wodurch sich eine Bandbreite von etwa $B_w = 1.1$ kHz und eine Phasenreserve von etwa $\varphi_M = 55^\circ$ ergibt.



Abbildung 6.30: Regelungstechnisches Blockschaltbild der inneren Stromregelung.



Abbildung 6.31: Bode-Diagramm der offenen inneren Strom-Regelstrecke mit und ohne Proportionalregler $k_{P,I}$.

Regelung



Abbildung 6.32: Verlauf der Phasenreserve und der Reglerbandbreite für verschiedene Reglerverstärkungen $k_{P,I}$.

6.5.3 Entwurf des äusseren Spannungsreglers

Die Typ des Ausgangsspannungsreglers $K_u(s)$ und die Reglerparameter $k_{P,U}$ und $k_{I,U}$ wurden schon in Kapitel 6.3.1 festgelegt. Hier soll nun unter Berücksichtigung der Laststromvorsteuerung (siehe Kapitel 6.3.2) und des gesamten, geschlossenen inneren Regelkreises (siehe Kapitel 6.5.2) die Stabilität des Reglers verifiziert werden.

In Abbildung 6.33 sind die Bode-Diagramme der offenen Spannungs-Regelschleife ohne Regler und für die beiden Reglertypen

$$K_U(s) = k_{P,U} \tag{6.84}$$

und

$$K_U(s) = \frac{k_{I,U}}{s} \tag{6.85}$$

dargestellt. Für den reinen Integralregler, der die Stationärgenauigkeit besorgt, ergibt sich die erwartet geringe Dynamik bzw. Bandbreite von $B_w = 1$ Hz und eine Phasenreserve von $\varphi_M = 90^\circ$. Für den reinen Proportionalregler, der bei hohen Regelabweichungen aktiv ist, ergibt sich eine Bandbreite von $B_w = 300$ Hz und eine Phasenreserve von $\varphi_M = 80^\circ$. Daher ist für beide Reglerbereiche Stabilität sichergestellt.



Abbildung 6.33: Bode-Diagramm der offenen äusseren Spannungs-Regelstrecke ohne Regler und mit Proportionalregler $k_{P,U}$ bzw. mit Integralregler $k_{I,U}$.

Kapitel 7 Experimentelle Analyse

Zur Verifizierung der theoretischen Überlegungen zur Modulation und Regelung des Systems sowie zur Ermittlung der Schaltverlustfunktionen (siehe Kapitel 3) und zur Messung der leitungsgebundenen Störaussendung (siehe Kapitel 5) wurde ein Hardware-Prototyp realisiert. Für den Leistungsteil wird das Systemdesign aus Kapitel 3 als Grundlage genommen und das Eingangsfilter gemäss Kapitel 5 konstruiert. Zur Regelung des Systems wird ein digitales Signal-Prozessor-Board [92] eingesetzt. Der Laboraufbau, mit dem das Systemverhalten untersucht wurde, ist in Abbildung 7.1 gezeigt. Dieser zeichnet sich durch hohe Kompaktheit, eine 6-Lagen-Leiterplatte, die Integration des Gleichtakt- und Gegentaktfilters, die Einbindung der Messfunktionen und des DSP-Regler-Boards sowie zusätzlicher Schutz- und Bedienungsfunktionen aus. Das System wurde für die Nenn-Ausgangsleistung von $P_0 =$ 5kW ausgelegt, allerdings wurde im thermischen Design eine grosse Reserve einkalkuliert, sodass ein Betrieb bei bis zu 150% der Nennleistung durchgeführt werden könnte. Die folgenden Messungen wurden ausschliesslich an diesem Prototyp durchgeführt.



Abbildung 7.1: Aufbau des Buck+Boost-Konverters mit verbessertem Layout, komplettem Gleichund Gegentakt-Eingangsfilter, DSP-Board sowie integrierten Messfunktionen. Abmessungen: $160mm \ge 240mm \le 120mm (V = 4.61).$

Zunächst wird das in Kapitel 4 vorgestellte Modulationsverfahren SLO mit dem Klemmverfahren (MPC) verglichen. In Abbildung 7.2 sind die Stromformen beider Verfahren in einem Bild gezeigt. Die Verbesserung durch die Aufhebung der Klemmung beim SLO-Verfahren ist klar ersichtlich.

Abbildung 7.3 zeigt das Systemverhalten für eine sprungartige Änderung der Last. Im betrachteten Fall bricht die Ausgangsleistung $P_0 = 5.52$ kW auf $P_0 = 2.76$ kW ein, was einer Änderung des Lastwiderstandes von $R_L = 29\Omega$ auf $R_L = 58\Omega$ entspricht. Aufgrund der in Kapitel 6.3.2 vorgestellten Vorsteuerung des Laststromes reagiert die unterlagerte Stromregelung sofort nach Änderung der Lastsituation. Der Strom *i* in der Zwischenkreisinduktivität passt sich innerhalb von etwa $t_{ein} \approx 1$ ms ohne nennenswertes Unterschwingen an die neuen Lastverhältnisse an, was sehr gut der in Kapitel 6.5.2 besprochenen Dynamik des inneren Regelkreises entspricht. Ebenso passt sich die AC-seitige Stromaufnahme der drei Phasen den neuen Verhältnissen an. Abbildung 7.3 zeigt auch, dass keine erwähnenswerte Reaktion der Ausgangsspannung auftritt. In Abbildung 7.4 sind die Auswirkungen eines Lastsprunges in die umgekehrte Richtung gezeigt. Auch hier bestätigt sich die geringe Störempfindlichkeit gegenüber einer sprungartigen Änderung der Lastverhältnisse.



Abbildung 7.2: Vergleich des Stromverlaufs der Eingangsströme der Modulationsverfahren MPC (oben) und SLO (unten) (Strom: 10A/Div, Zeitskala: 5ms/Div).



Abbildung 7.3: Reaktion der Eingangsströme $i_{N,i}$ (10A/Div), des DC-Stroms i (5A/Div) und der Ausgangsspannung u_0 (100V/Div) auf eine sprungartige Änderung der Last von $R_L = 29\Omega$ auf $R_L = 58\Omega$; Zeitskala: 5ms/Div.



Abbildung 7.4: Reaktion der Eingangsströme $i_{N,i}$ (10A/Div), des DC-Stroms i (5A/Div) und der Ausgangsspannung u_0 (100V/Div) auf eine sprungartige Änderung der Last von $R_L = 58\Omega$ auf $R_L = 29\Omega$; Zeitskala: 5ms/Div.

In Abbildung 7.5 sind die Verläufe der Filterkondensatorspannungen, der Ausgangsspannung, der Netzströme und des DC-Stroms für den Ausfall einer Phase dargestellt, wobei es sich bei den Filterkondensatorspannungen zur besseren Darstellung um die am Hardware-Monitor abgelesenen, Mittelwerten der beiden pro Pulsperiode abgetasteten Spannungswerten handelt (analog zur Stromabtastung, siehe Abbildung 6.21). Ab dem Zeitpunkt des Phasenausfalls tritt die unvermeidliche Schwankung der Ausgangsspannung mit zweifacher Netzfrequenz auf, aufgrund der Vorsteuerung der Eingangsspannungen (siehe Regelstruktur in Kapitel 6) beträgt der Einbruch der Ausgangsspannung jedoch weniger als 30V. Der DC-Strom zeigt dann den typischen Verlauf eines gleichgerichteten Sinussignals, um weiterhin sinusförmige Eingangsströme der beiden verbleibenden Phasen sicherzustellen. In Abbildung 7.6 ist die Rückkehr der ausgefallenen Phase zu sehen. Sowohl hier als auch bei dem Ausfall der Phase (siehe Abbildung 7.5) ist gut sichtbar, dass die Referenzleistung und damit auch der Stromsollwert aufgrund der Amplitudendetektion der drei Phasenspannungen (siehe Kapitel 6.3.3) jede 6-tel Netzperiode, d.h. alle 3.33ms an die veränderten Netzverhältnisse angepasst wird (siehe (6.34)). Dadurch wird sichergestellt, dass keine besondere Reaktion der Ausgangsspannung auftritt und insgesamt ein reibungsloser Übergang zwischen dreiphasigem und zweiphasigem Betrieb gewährleistet wird.

Dies gilt auch für den Übergang vom zweiphasigen Betrieb in den Zustand des Kurzschlusses zwischen zwei Phasen. Dieser Zustand tritt z.B. auf, wenn das Leitungskabel der ausgefallenen Phase auf eine der beiden anderen Phasenleitungen fällt und damit einen Kurzschluss bildet. Die Ergebnisse für den Kurzschluss und für die Aufhebung des Kurzschlusses sind in Abbildung 7.7 und Abbildung 7.8 dargestellt.

Schliesslich wurde noch der Fall des Erdschlusses untersucht. Dieser Fall ist z.B. gegeben, wenn das Kabel der ausgefallenen Phase auf die Erdleitung fällt. Auch hier sind die Stromformen für den Erdschluss und die Trennung der Phase von der Erdleitung (siehe Abbildung 7.9 und Abbildung 7.10) im Wesentlichen sinusförmig, lediglich im Bereich des Minimums des DC-Stromverlaufs ergibt sich eine geringfügige Verzerrung.



Abbildung 7.5: Ausfall einer Eingangsphase; oben: Ausgangsspannung u_0 (100V/Div) und lokaler Mittelwert der Eingangsspannungen $u_{CI,i}$ (200V/Div); unten: DC-Strom *i* (10A/Div) und Eingangsströme $i_{N,i}$ (10A/Div); Zeitskala: 5ms/Div.



Abbildung 7.6 Rückkehr der Eingangsphase nach Ausfall; oben: Ausgangsspannung u_0 (100V/Div) und lokaler Mittelwert der Eingangsspannungen $u_{Cl,i}$ (200V/Div); unten: DC-Strom *i* (10A/Div) und Eingangsströme $i_{N,i}$ (10A/Div); Zeitskala: 5ms/Div.



Abbildung 7.7 Kurzschluss zweier Eingangsphasen nach Ausfall einer Phase; oben: Ausgangsspannung u_0 (100V/Div) und lokaler Mittelwert der Eingangsspannungen $u_{Cl,i}$ (200V/Div); unten: DC-Strom *i* (10A/Div) und Eingangsströme $i_{N,i}$ (10A/Div); Zeitskala: 5ms/Div.



Abbildung 7.8: Trennung der kurzgeschlossenen Eingangsphasen, wobei eine Phase weiterhin im ausgefallenen Zustand bleibt; oben: Ausgangsspannung u_0 (100V/Div) und lokaler Mittelwert der Eingangsspannungen $u_{Cl,i}$ (200V/Div); unten: DC-Strom *i* (10A/Div) und Eingangsströme $i_{N,i}$ (10A/Div); Zeitskala: 5ms/Div.



Abbildung 7.9: Erdschluss einer Eingangsphasen nach deren Ausfall; oben: Ausgangsspannung u_0 (100V/Div) und lokaler Mittelwert der Eingangsspannungen $u_{Cl,i}$ (200V/Div); unten: DC-Strom *i* (10A/Div) und Eingangsströme $i_{N,i}$ (10A/Div); Zeitskala: 5ms/Div.



Abbildung 7.10: Trennung der Phase mit Erdschluss von der Erdleitung, wobei die Phase weiterhin im ausgefallenen Zustand bleibt; oben: Ausgangsspannung u_0 (100V/Div) und lokaler Mittelwert der Eingangsspannungen $u_{Cl,i}$ (200V/Div); unten: DC-Strom *i* (10A/Div) und Eingangsströme $i_{N,i}$ (10A/Div); Zeitskala: 5ms/Div.

In Abbildung 7.11 ist die Reaktion des Modulationsindex *m* des eingangsseitigen Tiefsetzstellers und der relativen Einschaltdauer δ_B des ausgangsseitigen Boost-Konverters für einen Sollwertsprung der Ausgangsspannung u_0 gezeigt. Der Sollwertsprung ist derart gewählt, dass ein Übergang vom reinen Buck-Betrieb in den Buck+Boost-Betrieb bewerkstelligt werden muss, wobei die Grenze zwischen diesen beiden Bereichen bei m = 0.9, $\delta_B = 0$ liegt. An diesem Punkt ändert sich wie in Kapitel 6.1 gezeigt das Streckenverhalten, und die Stellgrösse der Regelung ist nun statt des Modulationsindex *m* die Boost-Einschaltdauer δ_B .

Abbildung 7.11 beweist, dass aufgrund der in Kapitel 6.2 vorgestellten Regelstruktur mit dem gemeinsamen, für beide Betriebsbereiche stabilen, inneren Stromregler eine reibungslose Ablösung vom Buck-Betrieb zum Buck+Boost-Betrieb erfolgt.



Abbildung 7.11: Verlauf des Modulationsindex *m* des Buck-Eingangsteiles und der relativen Einschaltdauer δ_B der Boost-Stufe für einen Sollwertsprung der Referenzspannung u_0^* aus dem reinen Buck-Betrieb (m = 0.65, $\delta_B = 0$) in den Buck+Boost-Betrieb (m = 0.9, $\delta_B = 0.1$) (Skala der Einschaltdauern *m*, δ_B : 0.1/Div, Zeitskala: 200ms/Div).

Die Wirkung der aktiven Dämpfung (siehe Kapitel 6.3.5) ist experimentell in Abbildung 7.12 bestätigt. Für eine sprungartige Änderung der Amplitude des Netzspannungsraumzeigers um $\Delta |\underline{u}_{CI}| = \Delta \hat{U}_N = 70$ V zum Zeitpunkt des Maximums der Filterkondensatorspannung $u_{CI,R}$ zeigt die Filterkondensatorspannung $u_{CI,R}$ einen stark oszillierenden Verlauf bei fehlender aktiver Dämpfung. Dagegen ist der Verlauf der Filterkondensatorspannung bei implementierter aktiver Dämpfung offensichtlich gut gedämpft. Um den in Abbildung 7.12 gezeigten Effekt zu erzielen, ist es wichtig, dass die lineare Prädiktion von DC-Strom und Filterkondensatorspannungen (siehe Kapitel 6.3.2) aktiv ist.



Abbildung 7.12: Reaktion der Filterkondensatorspannung $u_{CI,R}$ (lokale Mittelwerte) für eine plötzliche Änderung der Netzspannungsamplitude $\Delta \hat{U}_N = 70$ V mit und ohne aktive Dämpfung (lineare Prädiktion ist in beiden Fällen aktiv) (Spannung 20V/Div, Zeitskala: 200µs/Div).

In Abbildung 7.13 ist die Wirkung der in Kapitel 6.4.2 vorgestellten linearen Prädiktion gezeigt. Dabei wird durch einen Lastsprung der Referenzwert des inneren DC-Strom-Reglers *i** über die Laststrom-Vorsteuerung (siehe Kapitel 6.3.2) sprungartig verändert. Offensichtlich ist durch die lineare Prädiktion die Stabilität der Regelung verbessert, die Sprungantwort zeigt einen überschwingungsfreien Verlauf, was darauf schliessen lässt, dass wie in Kapitel 6.4.2 gezeigt eine höhere Phasenreserve der Regelung gegeben ist. Die theoretische Anstiegszeit $T_a = 0.35/B_w = 0.32$ ms aus dem Entwurf des inneren Stromreglers (siehe Kapitel 6.5.2) bestätigt sich ebenfalls in Abbildung 7.13.



Abbildung 7.13: Reaktion des DC-Stroms *i* auf einen sprungartigen Anstieg des Referenzstromes $\Delta i^* = 4.6A$ (durchgeführt durch einen Lastsprung) mit und ohne Prädiktion des DC-Stromes (Strom: 2A/Div, Zeitskala: 200µs/Div).

Zum Abschluss der experimentellen Untersuchungen sollen noch der Gesamtwirkungsgrad, der Leistungsfaktor und der Oberschwingungsgehalt der Eingangsströme (*THD_i*) für unterschiedliche Ausgangsleistungen und unterschiedliche Eingangsspannungen dargestellt werden. Zunächst zeigt sich, dass die in Kapitel 3.4 berechneten Wirkungsgradkurven für $P_0 = 5$ kW gut mit den Messergebnissen (Abbildung 7.14) übereinstimmen. Für den Nennpunkt mit $U_{N,l-l,rms} = 400$ V_{rms} und $P_0 = 5$ kW ergibt sich ein gemessener Gesamtwirkungsgrad von

$$\eta_N = 95\%,$$
 (7.1)

für kleinere Leistungen und kleinere Spannungen treten tendenziell kleinere Werte auf. Der geringste Wirkungsgrad innerhalb des Messbereichs wurde mit $\eta = 93.1\%$ bei $U_{N,l-l,rms} = 320$ V und $P_0 = 1$ kW gemessen. Wie schon in Kapitel 3.4 angedeutet, könnte der Wirkungsgrad bei Einschränkung des Eingangsspannungsbereichs und bei Verwendung neuerer Halbleitertechnologie um 1%-2% gesteigert werden.



Abbildung 7.14: Gemessener Gesamtwirkungsgrad des Systems in Abhängigkeit der Eingangsspannung $U_{N,l-l,rms}$ und der Ausgangsleistung P_0 .

In Abbildung 7.15 ist der Vergleich zwischen der Messung und der Wirkungsgradberechnung gemäss Kapitel 3.4 gezeigt, wobei zusätzlich zu den Verlusttermen aus Kapitel 3.4 noch die ohmschen Verluste der Eingangsfilterinduktivitäten berücksichtigt wurden. Insgesamt ergibt sich eine sehr gute Übereinstimmung zwischen Messung und Berechnung über den gesamten Leistungsbereich, die Messwerte liegen lediglich 0.1% - 0.3% unter den berechneten Werten.



Abbildung 7.15: Gemessener Gesamtwirkungsgrad des Systems in Abhängigkeit der Ausgangsleistung im Vergleich zur analytischen Berechnung für $U_{N,l-l,rms} = 400$ V.

Der Leistungsfaktor von

$$\lambda_N = 0.999 \tag{7.2}$$

für den Nennpunkt (siehe Abbildung 7.16) ist sehr gut, bei kleineren Leistungen nimmt der Leistungsfaktor aufgrund des Blindleistungsbedarfs der grossen Filterkondensatoren ab. Bei $U_{N,l-l,rms} = 440$ V und $P_0 = 1$ kW folgt $\lambda = 0.885$.

Schliesslich wurde noch der Oberschwingungsgehalt der Eingangsströme (THD_i) gemessen. Für die drei Phasen konnten praktisch keine Unterschiede in der Messung des THD_i festgestellt werden, daher ist in Abbildung 7.17 nur ein Wert pro Messpunkt angegeben. Generell ist der Stromverzerrungsanteil für alle Betriebspunkte sehr gering und stets unter 3.2%, im Nennpunkt mit

$$THD_{i,N} = 0.85\%$$
 (7.3)

sogar kleiner als 1%.



Abbildung 7.16: Gemessener Leistungsfaktor des Systems in Abhängigkeit der Eingangsspannung und der Ausgangsleistung.



Abbildung 7.17: Gemessener Verzerrungsanteil der Eingangsströme (THD_i) in Abhängigkeit von der Eingangsspannung und der Ausgangsleistung für Speisung des Systems mit rein sinusförmiger Spannung.

Mit diesen Untersuchungen werden die ausgezeichneten technischen Daten des Buck+Boost-Konverters, die sich in den theoretischen Berechnungen bereits abgezeichnet haben, anschaulich bestätigt.

Kapitel 8 Berwertung des Systems

Abschliessend wird nun untersucht, wie das System bezüglich Wirkungsgrad, Leistungsdichte und Realisierungsaufwand im Vergleich zu einem gemäss Stand der Technik realisierten System einzustufen ist. Es werden für den Vergleich Spezifikationen für die Stromversorgung einer Plasmabeschichtungsanlage herangezogen [107]:

$$U_{N,l-l,rms} = 400 \text{V}$$

 $P_0 = 6 \text{kW}$ (7.1)
 $U_0 = 200 \text{V}...600 \text{V}$

Ähnliche Spezifikationen könnte man beispielsweise auch bei der Stromversorgung von Antrieben mit variabler Zwischenkreisspannung oder (mit tieferen Spannungspegeln) bei der Stromversorgung in Flugzeugen in Verbindung mit der Umsetzung des *More-Electric-Aircraft* Konzeptes finden.

Bisher wurde für die betrachtete Anwendung eine Dreischalter-Dreipunkt-Hochsetzsteller-Topologie (*Vienna Rectifier* [4]) mit ausgangsseitigem Dreipunkt-Tiefsetzsteller [108] eingesetzt. Diese Kombination ist in Abbildung 8.2 im Vergleich zur Buck+Boost-Topologie (siehe Abbildung 8.1) dargestellt.



Abbildung 8.1: Schaltung des Buck+Boost-Konverters.



Abbildung 8.2: Schaltung eines Dreischalter-Dreipunkt-Hochsetzstellers (Vienna Rectifier) mit ausgangsseitigem Dreipunkt-Tiefsetzsteller (Boost+Buck-Topologie).

Der Vorteil des Vienna Rectifier ist einerseits, dass aufgrund der Dreipunk-Topologie die eingangsseitigen Halbleiter sperrspannungsmässig nur mit halber Zwischenkreisspannung, d.h. U/2 belastet werden und daher mit MOSFETs realisiert werden können. Ausserdem sind die Freilaufdioden $D_{F\pm}$ und die netzseitigen und mittelpunktseitigen Dioden $D_{N\pm}$ bzw. $D_{M\pm}$ separat ausgeführt und können daher getrennt hinsichtlich Schalt- und Leitverluste optimiert werden. Nichtsdestotrotz ist die Anzahl der benötigten Bauelemente eingangs- wie ausgangsseitig im Vergleich zum Buck+Boost-Konverter sehr hoch und es bleibt zu untersuchen, welche Topologie bezüglich Wirkungsgrad, Leistungsdichte und Realisierungsaufwand schlussendlich überlegen ist.

Die Integration des Vienna Rectifier mit dem Dreipunkt-Buck-Konverter wird im Weiteren kurz als Boost+Buck-Topologie bezeichnet, um die Funktion der Topologie im Gegensatz zur Buck+Boost-Schaltung zu betonen. Um das Design vergleichbar zu gestalten, wird mit ($\pm 20\%$) die gleiche Schwankung der Amplitude des Stromes in der DC-seitigen Induktivität,

$$\Delta i_{L,pp,\max} = 0.4 \cdot I , \qquad (7.2)$$

zugelassen. Die Ausgangskapazitäten der Schaltungen bzw. die Zwischenkreiskondensatoren bei der Boost+Buck-Topologie sollen in erster Linie bezüglich der Stromeffektivwerte ausgelegt werden. Die spannungseinprägenden Filterkondensatoren am Eingang des Buck+Boost-Konverters bzw. die stromeinprägenden Filterinduktivitäten am Eingang der Boost+Buck-Topologie sollen den Rippel der Spannungen und Ströme soweit begrenzen, dass ein korrekter Betrieb der Schaltung sichergestellt ist. Das EMV-Eingangsfilter ist im Vergleich nicht berücksichtigt, es wird angenommen, dass zur Erfüllung der Funkstörnormen ein ähnliches Filtervolumen zusätzlich zu den in Abbildung 8.1 und Abbildung 8.2 gezeigten Filterkondensatoren bzw. –induktivitäten erforderlich ist (beide Systeme weisen mit diesen Filterelementen kontinuierlichen Eingangsstrom auf). Die Schaltfrequenz wird mit Blick auf ein sinnvolles Verhältnis zwischen Wirkungsgrad und Leistungsdichte gewählt. Für beide Topologien wird die Realisierung mittels Leistungsmodulen einer diskreten Lösung gegenübergestellt, um das Potenzial bei Verwendung neuester Leistungshalbleitertechnologie zu sehen.

Aufgrund unterschiedlicher Spezifikationen sind die folgenden Untersuchungen losgelöst vom bisherigen Design zu sehen, auch wenn die grundsätzlichen Gleichungen der vorangegangenen Kapitel weiterhin Richtigkeit besitzen. Das Ziel ist es letztlich, herauszufinden, ob die Buck+Boost-Topologie die für die industrielle Anwendung beste Schaltungsalternative darstellt.

8.1 Buck+Boost-Topologie

Sämtliche Gleichungen für das Design des Systems sowie zur Berechnung der Schalt- und Leitverluste wurden bereits in Kapitel 3 hergeleitet. Die Induktivität L_0 kann nun wegen des grösseren zulässigen Rippels auf

$$L_0 = 900\mu \text{H}$$
 (7.3)

reduziert werden. Aufgrund der höheren Ausgangsleistung und des damit höheren Ausgangsstroms wird letztlich der gleiche Magnetkern mit einem grösseren Luftspalt gewählt. Die für eine Schaltfrequenz von $f_S = 25$ kHz ausgewählten Komponenten [20],[109],[21],[22],[23],[54],[30],[31] sind in TABELLE 8.1 zusammengefasst.

TABELLE 8.1

Zusammenstellung sämtlicher benötigter Komponenten zur Realisierung der Buck+Boost-Topologie für den Vergleich mit der Boost+Buck-Topologie

Komponente	Spezifikation		
Modul-IGBTs S _i	VUI31-12N1, 1200V, 65A, $U_{CE0} = 1$ V, $r_{CE} = 60$ m Ω ,		
Modul-Dioden D _i	VUI31-12N1, 1200V, 25A $U_F = 1.65$ V, $r_D = 18$ mΩ,		
Diskrete IGBTs S _i	SGH20N120RUF, 1200V, 20A, $U_{CE0} = 1.28$ V, $r_{CE} = 35$ m Ω , $k_{1,on} = 42$ µJ/A, $k_{1,off} = 66$ µJ/A,		
Diskrete Dioden D _i , FL Diode D _F	RHRP30120, 1200V, 30A $U_F = 0.97$ V, $r_D = 24$ m Ω , $k_{l,rr} = 5\mu$ J/A		
S _B	SPW47N60C3, 600V, 47A $R_{DS,ON} = 70$ mΩ, $k_{I,on} = 39$ μJ/A, $k_{I,off} = 8.3$ μJ/A		
D_B	30EPH06, 600V, 30A $U_F = 0.67$ V, $r_D = 150$ m Ω , $k_{l,rr} = 3.2 \mu$ J/A		
$C_{I,i}$	PHE840M $C_{l,i} = 4.7 \mu F@280 VAC$ ESR = 23mΩ		
C_{0}	B43501 $C_0 = 2*470 \mu F@420 \text{VDC}$ ESR = 140mΩ		
L_{0^+}, L_{0^-}	METGLAS $L_{0+} = L_{0-} = 450 \mu \text{H}@30\text{A}$ AMCC16B, N = 58		

Neben den bekannten Daten zu den Modulen und dem Boost-Transistor und der Boost-Diode sind auch die Daten von IGBTs und Leistungsdioden angegeben, die alternativ zur Realisierung mit Modulen eingesetzt werden können und geringere Schalt- und aufweisen.



Abbildung 8.3: Aufteilung der Schaltverluste des Buck+Boost-Konverters auf die einzelnen Schaltungskomponenten für unterschiedliche Ausgangsspannungen (Realisierung mit Leistungsmodulen) und $P_0 = 6$ kW.

Abbildung 8.3 zeigt für die Realisierung mittels der Leistungsmodule bei einer Schaltfrequenz von $f_S = 25$ kHz die Verluste der einzelnen Schaltungskomponenten für $U_0 = 200$ V, 400V und 600V. Für niedrige Ausgangsspannung ist der Boost-Konverter zwar nicht aktiv, jedoch verursacht der hohe Ausgangsstrom beträchtliche Leit- und Schaltverluste in den Leistungsmodulen. Diese Einbusse im Wirkungsgrad ist auch in Abbildung 8.4 ersichtlich, in der für $f_S = 20$ kHz, 25kHz und 30kHz die Wirkungsgradkurven für Ausgangsspannungen im Bereich $U_0 = 200$ V...600V angegeben sind. Der Vergleich mit Abbildung 8.5 zeigt, dass mit diskreten Bauelementen eine Verbesserung des Wirkungsgrades im Bereich von etwa 0.5% zu erwarten ist. Die Wirkungsgrad-Berechnungen für die diskrete Realisierung wurden auf Datenblatt-Angaben statt auf Messungen - wie sie für die Module gemacht wurden gestützt. Dadurch konnten Effekte wie das Layout der Leiterplatte und Vorwärtserholverluste der Dioden nicht berücksichtigt werden. Um diese Ungenauigkeiten auszugleichen wurden zusätzliche Verluste von

$$P_{zu} = 20 \,\mathrm{W} \tag{7.4}$$

berücksichtigt.



Abbildung 8.4: Berechneter Gesamtwirkungsgrad des Buck+Boost-Konverters für Realisierung mit Leistungsmodulen für unterschiedliche Ausgangsspannungen und $P_0 = 6$ kW.



Abbildung 8.5: Berechneter Gesamtwirkungsgrad des Buck+Boost-Konverters für Realisierung mit diskreten Leistungshalbleitern für unterschiedliche Ausgangsspannungen und $P_0 = 6$ kW.

8.2 Boost+Buck-Topologie (Vienna Rectifier + Dreipunkt-Buck-Konverter)

Das Design des Leistungsteiles der Boost+Buck-Topologie kann in ähnlicher Weise wie für den Buck+Boost-Konverter durchgeführt werden. Für die Brückenzweige des Vienna Rectifiers existieren wie für den Buck+Boost-Konverter Leistungsmodule [110], für welche die schaltverlustspezifischen Daten bereits in [111] ermittelt wurden. Da die zu schaltende Spannung vom Zwischenkreis mit

$$u_{sw} = U/2 \tag{7.5}$$

eingeprägt ist, können sämtliche Halbleiter in 600V-Technologie ausgeführt, d.h. durch Leistungs-MOSFETs realisiert, werden [112],[113],[22]. Für die Schaltverluste ist aufgrund der konstanten Zwischenkreisspannung (7.5) nur die Abhängigkeit vom geschalteten Strom massgebend. Diese hat nach [111] überwiegend linearen Charakter, daher sind die Schaltverluste mit hinreichender Genauigkeit durch

$$w = k_1 \cdot i \tag{7.6}$$

gegeben. Die Proportionalitätskonstante k_1 für das Ein- und Ausschalten der MOS-FETS

Bewertung des Systems

$$P_{sw,MOSFET} = f_S \cdot (k_{1,on} + k_{1,off}) \cdot I_{S,avg}$$

$$(7.7)$$

bzw. für das Rückwärtserholverhalten der Freilaufdiode

$$P_{DF,rev} = f_S \cdot k_{1,rev} \cdot I_{DF,avg} \tag{7.8}$$

sind in TABELLE 8.2 zusammengefasst.

Die netzseitigen Dioden $D_{N\pm}$ und die Mittelpunktdioden $D_{M\pm}$ sind am Kommutierungsprozess nicht beteiligt und tragen daher nichts zu den Schaltverlusten bei. Es wurden keine Vorwärtserholverluste berücksichtigt, daher wurden wieder pauschal 20W in die Verlustbilanz miteingerechnet.

${\rm TABELLE}\ 8.2$

Zusammenstellung der zur Realisierung der Boost+Buck-Topologie benötigter Komponenten

Komponente	Spezifikation		
Modul-MOSFETs	VUM25-05E, 600V, 20A		
Si	$R_{DS,ON} = 225 \mathrm{m}\Omega$		
Modul-Dioden	VUM25-05E, 600V, 30A		
D_{Fi} , D_{Ni}	$U_F = 1.15 \mathrm{V}$, $r_D = 10 \mathrm{m} \Omega$		
Module-Dioden	VUM25-05E, 600V, 30A		
D_{Mi}	$U_F = 1.25 \text{V}, r_D = 10 \text{m}\Omega$		
Diskrete MOSFETs	SPW47N60C3 @125°C, 600V, 47A,		
Si	$R_{DS,ON} = 70 \mathrm{m}\Omega,$	$k_{1,on} = 28.5 \mu J/A, h$	$k_{l,off} = 8.3 \mu J/A$
Diskrete Dioden	HFA25PB60 @150°C, 600V, 25A		
D_{Fi}	U_F =0.95 , r_D =24m Ω ,	$k_{l,rr}=3.2\mu$ J/A	
Diskrete Dioden	GBPC2506 @150°C, 600V, 25A		
D_{Mi}, D_{Ni}	$U_F = 0.75$, $r_D = 12 \mathrm{m} \Omega$,		
S _{Buck}	IXKN 75N60C @130°C, 60	0V,75A	
	$r_{DS,ON} = 70 \mathrm{m}\Omega,$	$k_{1,on} = 39 \mu J/A, k_{1,on}$	$_{off} = 8.3 \mu J/A$
D _{Buck}	DSEP 2x91-06A @120°C, 6	00V, 91A	
	$U_F = 1$ V, $r_D = 11$ m Ω ,	$k_{l,rr} = 3.2 \ \mu J/A$	
L_{Fi}	METGLAS $L = 350 \mu H@20$	a^{a} , AMCC10, N = 4	5
C+, C-	B43501 $C_{+} = C_{-} = 4*4'$	70µF@420VDC	$ESR = 140m\Omega$
L_{0+}, L_{0-}	METGLAS $L_{0+} = L_{0-} = 130$	0μH@30A, AMCC	28, N = 32
C_0	B43501 $C_0 = 1*470 \mu F(a)$	2)420VDC	$ESR = 140m\Omega$
Für die Dreipunkt-Buck-Ausgangsstufe wurde ebenfalls eine lineare Abhängigkeit der Schaltverluste vom Strom (7.6) angenommen. Die zu schaltende Spannung ist wiederum die halbe Zwischenkreisspannung (7.5), die entsprechenden Schaltverlustparameter k_1 der Komponenten [114],[115] sind ebenfalls in TABELLE 8.2 angegeben. Damit erhält man für den ausgangsseitigen Dreipunkt-Buck-Konverter die Schaltverluste

$$P_{sw,SB} = f_S \cdot (k_{1,on} + k_{1,off}) \cdot I_{SB,avg}$$

$$\tag{7.9}$$

$$P_{sw,D} = f_S \cdot k_{1,rev} \cdot I_{D,avg} \,. \tag{7.10}$$

Die Schaltverluste der gesamten Topologie summieren sich daher zu

$$P_{sw} = 3 \cdot P_{sw,MOSFET} + 6 \cdot P_{DF,rev} + 2 \cdot P_{sw,SB} + 2 \cdot P_{sw,D}, \qquad (7.11)$$

wobei der Faktor 2 auf die zwei Teile des ausgangsseitigen Buck-Konverters zurückzuführen ist.

Die Berechnung der Leitverluste kann analog zu den Überlegungen für den Buck+Boost-Konverter durchgeführt werden. Die resultierenden Mittel- und Effektivwerte der Ströme in den Halbleitern sind in Abbildung 8.6 und Abbildung 8.7 zusammengefasst, wobei hier das Spannungsübersetzungsverhältnis *M* über

$$M = \frac{U_0}{\sqrt{3}\hat{U}_N} \tag{7.12}$$

definiert ist und die den Datenblättern entnommenen Durchlassparameter in TABELLE 8.2 aufgelistet sind.

Die Auslegung der passiven Bauteile [30],[31] kann analog zu der für den Buck+Boost-Konverter gezeigten Vorgangsweise erfolgen. Für eine Schaltfrequenz von $f_s = 50$ kHz ergeben sich die Bauteilwerte wie in TABELLE 8.2 angegeben.



Abbildung 8.6: Effektivwerte und Mittelwerte der Ströme in den Leistungshalbleitern des eingangsseitigen Dreiphasen-Boost-Pulsgleichrichters (Vienna Rectifier).



Abbildung 8.7: Effektivwerte und Mittelwerte der Ströme in den Leistungshalbleitern des ausgangsseitigen Dreipunkt-Buck-Konverters.

Damit können nun auch für die Boost+Buck-Topologie die Gesamtverluste in Abhängigkeit von der Ausgangsspannung berechnet werden. Die Aufteilung der Verluste in Abbildung 8.8 für eine Schaltfrequenz von $f_S = 50$ kHz zeigt, dass auch hier für kleine Ausgangsspannungen die Verluste des Buck-Konverters aufgrund des hohen Ausgangsstroms anwachsen. Die Verluste des Boost-Eingangsteiles sind wegen der konstanten Zwischenkreisspannung für alle Ausgangsspannungen unverändert. Da alle Schalter als MOSFETs realisiert sind, sind die Verluste des Gleichrichterteiles wesentlich geringer als die Verluste des Eingangsteiles des Buck+Boost-Konverters, allerdings verursacht das Tiefsetzen der Zwischenkreisspannung auf die gewünschte Ausgangsspannung enorme Verluste.



Abbildung 8.8: Aufteilung der Schaltverluste auf die einzelnen Schaltungskomponenten für den Boost+Buck-Konverter für unterschiedliche Ausgangsspannungen und $P_0 = 6$ kW.

In Abbildung 8.9 ist der Verlauf des Wirkungsgrades in Abhängigkeit der Ausgangsspannung für unterschiedliche Schaltfrequenzen $f_S = 25$ kHz, 50kHz und 75kHz bei Einsatz eines Leistungsmoduls dargestellt. Ein guter Kompromiss zwischen Wirkungsgrad und Leistungsdichte ist hier durch eine Schaltfrequenz von $f_S = 50$ kHz gegeben. Mit diskreten Bauelementen (siehe auch TABELLE 8.2) erhält man im Vergleich dazu, wie in Abbildung 8.10 ersichtlich, wieder einen um etwa 0.5% höheren Wirkungsgrad.



Abbildung 8.9: Berechneter Gesamtwirkungsgrad des Boost+Buck-Konverters für Realisierung mit Leistungsmodulen für unterschiedliche Ausgangsspannungen und $P_0 = 6$ kW.



Abbildung 8.10: Berechneter Gesamtwirkungsgrad des Boost+Buck-Konverters für Realisierung mit diskreten Leistungshalbleitern für unterschiedliche Ausgangsspannungen und $P_0 = 6$ kW.

8.3 Vergleich der Topologien

Die Topologien sollen nun bezüglich Gesamtwirkungsgrad, Leistungsdichte und Realisierungsaufwand verglichen werden. Um für beide Schaltungen eine gute Balance zwischen Leistungsdichte und Wirkungsgrad zu erreichen, wurden die Schaltfrequenzen folgendermaßen definiert:

$$f_{S,BuBo} = 25 \text{kHz}, \qquad (7.13)$$

$$f_{S,BoBu} = 50 \text{kHz} \,. \tag{7.14}$$

8.3.1 Gesamtwirkungsgrad

Der Vergleich der Wirkungsgradkurven für die Realisierung mit Leistungsmodulen (siehe Abbildung 8.11 und Abbildung 8.12) bzw. mit diskreten Elementen zeigt, dass für $U_0 = 200$ V der Boost+Buck-Konverter noch leicht überlegen ist.

Ab etwa $U_0 = 250$ V ist der Wirkungsgrad des Buck+Boost-Konverters deutlich höher. Aufgrund der niedrigeren Schaltfrequenz und des schnellen Rückwärterholverhaltens der Dioden spielen die Schaltverluste der IGBTs keine besondere Rolle, obwohl hier Elemente mit 1200V Sperrspannungsfestigkeit gewählt wurden.

Bei $U_0 = 400$ V zeigt der Buck+Boost-Konverter die beste Performance. Ein Grund hierfür ist, dass die zu schaltende Spannung des Buck-Eingangsteiles geringer als die des Buck-Ausgangsteiles der Boost+Buck-Schaltung ist. Für eine lineare Approximation, die nur zur Veranschaulichung der Grössenverhältnisse dienen soll, ist die bei den beiden Ein- bzw. Ausschaltvorgängen während einer Pulsperiode zu schaltende Spannung stets die größte verkette Spannung

$$u_{sw} = \hat{U}_{N,l-l} = 565V \,. \tag{7.15}$$

Z.B. werden im Sektor 2 zuerst die Spannung u_{RS} und dann u_{ST} geschaltet (vgl. Kapitel 3.2.6 bzw. (3.41) und (3.42)), daher gilt für eine lineare Approximation

$$u_{sw} \approx u_{RS} + u_{ST} = u_{RT} \qquad \qquad f \ddot{u}r \quad Sektor \ 2. \tag{7.16}$$

Der Boost-Konverter bleibt für diesen Betriebspunkt inaktiv, es fallen lediglich Leitverluste in der Boost-Diode an.



Abbildung 8.11: Vergleich der Gesamtwirkungsgrade der beiden Konzepte Buck+Boost und Boost+Buck (Vienna Rectifier + Dreipunkt-Buck-Konverter) in Abhängigkeit der Ausgangsspannung bei Einsatz von Leistungsmodulen.



Abbildung 8.12: Vergleich der Gesamtwirkungsgrade der beiden Konzepte Buck+Boost und Boost+Buck (Vienna Rectifier + Dreipunkt-Buck- Konverter) in Abhängigkeit der Ausgangsspannung bei Einsatz von diskreten Leistungshalbleitern.

Dagegen müssen beide Teile des Buck-Ausgangsteils des Boost+Buck-Konverters die halbe Zwischenkreisspannung schalten, in Summe also

$$u_{\rm sw} = 2 \cdot U/2 = U = 800V. \tag{7.17}$$

Zusätzlich muss der Boost-Eingangsteil die Gleichrichterfunktion ausüben und produziert daher zusätzlich Schalt- und Leitverluste.

Um den Wirkungsgrad des Buck+Boost-Konverters bei $U_0 = 200$ V noch zu verbessern, könnte ein Modulationsverfahren verwendet werden, bei dem vermieden wird, die größte verkettete Spannung zu schalten. Diese Verfahren wurde kurz in Kapitel 4 erwähnt, wurde aber diesen Berechnungen hier nicht weiter betrachtet gelegt.

8.3.2 Leistungsdichte

Die Leistungsdichte des Systems wird wesentlich durch die passiven Komponenten und den Kühlkörper bestimmt. Da die Verluste gemäß Abbildung 8.13 vergleichbar sind, werden sich die Abmessungen der Kühlkörper kaum unterscheiden. Für eine Umgebungstemperatur von

$$T_a = 45^{\circ}C \tag{7.18}$$

und eine maximale Kühlkörpertemperatur von

$$T_{hs} = 95^{\circ}C \tag{7.19}$$

kann der notwendige thermische Widerstand des Kühlkörpers zu

$$R_{th,hs} = \frac{T_{hs} - T_a}{(1 - \eta) \cdot P_{in}} = 0.1 \text{ K/W}$$
(7.20)

berechnet werden, wobei η den zuvor berechneten Wirkungsgrad bezeichnet. Dieser Wert lässt sich nach [116] mit einem Kühlkörper mit einem Volumen von

$$V_{hs} = 2.1 \text{dm}^3$$
 (7.21)

und einem Gewicht von

$$m_{hs} = 2.5 \text{kg} \tag{7.22}$$

realisieren.



Abbildung 8.13: Vergleich des Volumens und der Masse der passiven der beiden Gleichrichtertopologien.

Abbildung 8.13 zeigt den Vergleich der Volumina und Massen der passiven Komponenten beider Systeme. Um den Unterschied zwischen den Topologien hervorzuheben, ist das Kühlkörpervolumen und –gewicht nicht beinhaltet. Es zeigt sich, dass trotz der höheren Schaltfrequenz die Komponenten der Boost+Buck-Topologie signifikant grösser und schwerer sind. Ein Grund dafür ist, dass zusätzlich zu den ausgangsseitigen Induktivitäten auch eingangsseitige Filterinduktivitäten vorzusehen sind, die mehr Platz und Gewicht in Anspruch nehmen als die Filterkondensatoren der Buck+Boost-Schaltung. Zusätzlich sind bei der Boost+Buck-Topologie noch Zwischenkreiskondensatoren notwendig, die aufgrund der hohen Effektivwertstrombelastung vergleichsweise hohe Werte aufweisen. Selbst bei optimaler, phasenversetzter Taktung des Boost-Eingangsteiles und des Buck-Ausgangsteiles zur Minimierung des Stromrippels ist der vierfache Kapazitätswert vorzusehen. Insgesamt machen also Volumen und Gewicht der passiven Komponenten des Buck+Boost-Konverters nur etwa 50% der des Boost+Buck-Konverters aus.

8.3.3 Realisierungsaufwand

Der Realisierungsaufwand ist in TABELLE 8.3 über die jeweilige Zahl der wichtigsten Bauelemente veranschaulicht. Hinsichtlich sämtlicher kostenintensiver Komponenten weist die Buck+Boost-Topologie eine geringere Anzahl auf. Infolgedessen werden auch die Kosten für die Realisierung und Montage des Konverters geringer sein.

Ein klarer Systemvorteil der Buck+Boost-Topologie ist auch die Möglichkeit des direkten Hochlaufes, während die Gleichrichter mit Hochsetzsteller-Funktion eine Vorlade-Einrichtung des Zwischenkreises benötigen.

TABELLE 8.3

Vergleich der benötigten Komponenten zur Realisierung der beiden Topologien

	Buck+Boost	Boost+Buck
Leistungstransistoren	4	5
Leistungsdioden	13	20
Elektrolyt-Kondensatoren	1	3
Spannungssensoren	3	4
Stromsensoren	1	3

Ausblick

Ausblick

In der vorliegenden Arbeit wurden die Grundlagen der Auslegung und Ansteuerung des Buck+Boost-Konverters hergeleitet, Filtermassnahmen im Detail untersucht, die Dynamik des Systems analysiert und die Regelung des Systems ausgelegt. Die theoretischen Überlegungen konnten an einem Prototyp, der für praxisrelevante Spezifikationen dimensioniert wurde, verifiziert werden. Die Steuerung und Regelung wurde dabei in einem digitalen Signalprozessor abgesetzt.

Somit wurde im Zuge dieser Arbeit der Grossteil der technisch relevanten Fragestellungen geklärt. Dennoch lassen sich auf Basis der hier präsentierten Forschungsergebnisse interessante Anknüpfungspunkte für zukünftige Untersuchungen identifizieren:

• Für kleine Ausgangsspannungen könnte, wie bereits in Kapitel 4 angesprochen, ein Modulationsverfahren Einsatz finden, bei dem die beiden Stromraumzeiger kleineren Betrags zur Bildung des Sollstromraumzeigers herangezogen werden. Dies würde eine deutliche Reduzierung der Schaltverluste bei kleinen Ausgangsspannungen ermöglichen. Allerdings erhöht sich dabei der Spannungsrippel der Filterkondensatorspannung mit dem jeweils kleinsten Betrag, da aus dieser Phase während jeder Pulsperiode Stromblöcke mit positivem und negativem Vorzeichen entnommen werden. Ein weiteres Problem stellen die Verzerrungen des Eingangsstromes zufolge des Verlaufs der Filterkondensatorspannungen in der Umgebung der Sektorgrenzen dar. Der Mittelwert der kleineren der beiden an den Zwischenkreis geschalteten Filterkondensatorspannungen nähert sich bei Annäherung der Sektorgrenze dem Wert Null, aufgrund des Spannungsrippels würde der Spannungsverlauf bereits vor der Sektorgrenze den Wert Null unterschreiten. Dies ist aber nicht möglich, solange diese Filterkondensatorspannung an den Zwischenkreis geschaltet ist, und führt dazu, dass der entsprechende Filterkondensator während dieser Zeitabschnitte nicht entladen wird, was zu einer Anregung des Eingangsfilters und zu der erwähnten Verzerrung des Eingangsstromes führt. Dieser Effekt und eventuelle Abhilfemassnahmen könnten noch näher untersucht werden.

- Wie schon im Zuge der Wirkungsgradberechnung in Kapitel 3.4 erwähnt könnten verbesserte Halbleitermaterialien, im Speziellen Siliziumcarbid-Elemente, eingesetzt werden, um den Wirkungsgrad des Systems zu erhöhen. Mit diesen neuen Halbleiterelementen könnte ein verbessertes Leistungsmodul bestückt werden, mit dem eine wesentliche Steigerung der Schaltfrequenz und damit eine weitere Erhöhung der Leistungsdichte möglich wäre.
- Der Hardware-Aufbau könnte thermisch genauer analysiert und der Kühlkörper durch geschickte Positionierung der Leistungshalbleiter optimal ausgenutzt werden.
- In der Auslegung der Regelung könnte ein ausgangsseitiger DC-DC-Konverter berücksichtigt werden. Dieser stellt aus regelungstechnischer Sicht aufgrund seiner Konstantleistungscharakteristik einen negativen differenziellen Widerstand dar, was einen Pol in der rechten Halbebene (statt wie bei einem einfachen Lastwiderstand in der linken Halbebene) verursacht. Die Auswirkung dieser Pollage auf die Stabilität der Regelung wäre noch näher zu untersuchen.
- Für den Betrieb des Systems an nur zwei Eingangsphasen ob dies nun so gewünscht oder durch Ausfall einer Netzphase bedingt ist könnte die Stabi-

lität der Regelung näher analysiert werden, da sich im einphasigen Betrieb die Ausgangsimpedanz des Filters ändert.

- Bei Batterieladeschaltungen wird gelegentlich eine Erdung des Mittelpunktes der Last (Batterie) gefordert. Die Steuerung, das Betriebsverhalten und der Aussteuerbereich des Konverters wären für diesen Fall noch näher zu untersuchen.
- Die Grundschwingungsverschiebung durch das Eingangsfilter könnte durch Betrieb des Konverters mit induktivem Grundschwingungsphasenwinkel des Eingangsstromes gezielt kompensiert werden, um auch für kleine Leistungen einen Leistungsfaktor von 1 zu erreichen.
- Die Gleichtakt-Störaussendung und die parasitären Kapazitäten vom Gleichrichter zum Erdpotenzial wurden in Kapitel 5.2.1 nach Abschluss des Gegentaktfilter-Entwurfs messtechnisch ermittelt. Auf Basis einer Analyse des Leistungsmodul-Layouts könnten das Entstehen und die Ausbreitung von Gleichtaktstörungen modelliert werden und das Modul bezüglich seiner parasitären Eigenschaften beurteilt werden
- In Kapitel 5.1 wurde unter Annahme symmetrischer Gegentaktstöraussendung der drei Phasen ein Gegentaktfilter auf Basis eines einphasigen Modells entworfen. Aufgrund der im Vergleich zur Pulsperiode langen Mittelungsdauer des QP-Messung (200ms) treten lokale Unterschiede der Störaussendung zwischen den drei Phasen im Messergebnis nicht in Erscheinung und die QP-Messungen werden für alle drei Phasen gleiche Ergebnisse liefern. Daher war die einphasige Modellierung sinnvoll und zielführend. Eine Peak-Messung ist empfindlicher auf lokale Unsymmetrien der Phasen hinsichtlich Gegentaktstöraussendung, daher könnten diese Effekte in Zukunft noch näher analysiert werden, um das Verständnis der Störungsbildung zu vertiefen und ggf. Modulationsverfahren entsprechend zu beurteilen.

• In der vorliegenden Arbeit wurde stets von einer festen Schaltfrequenz ausgegangen, wodurch das Spektrum der Gegentaktstörungen ausgeprägte Störspitzen bei den Vielfachen der Schaltfrequenz aufweist, die als Grundlage für das Filterdesign herangezogen wurden. Würde zwischen mehreren Schaltfrequenzen gewechselt, würden die Störspitzen in der Anzahl erhöht, aber in der Amplitude verringert, wodurch ein kompakteres Eingangsfilter realisierbar wäre. Dabei könnte die Schaltfrequenz in Abhängigkeit der Grösse der zu schaltenden verketteten Eingangsspannungen in einem definierten Bereich derart variiert werden, dass die globalen Schaltverluste einen Minimalwert annehmen.

Zusammenfassung

Durch Integration eines 3-phasigen tiefsetzstellerbasierten 3-Schalter-Pulsgleichrichters mit einem ausgangsseitigem DC-DC-Boost-Konverter lässt sich ein neuartiges Gleichrichtersystem realisieren, das bei fester Ausgangsspannung einen weiten Bereich der Eingangsspannung zulässt bzw. bei fester Eingangsspannung die Ausgangsspannung in einem weiten Bereich einstellen kann. Das System ist durch hohen Wirkungsgrad, hohen Leistungsfaktor und geringe Verzerrungen des Eingangsstromes gekennzeichnet.

In der vorliegenden Arbeit wurden sämtliche Aspekte, die für eine Realisierung und einen industriellen Einsatz des Systems relevant sind, untersucht. Nach der detaillierten Analyse der Funktionsweise wurden sämtliche Systemkomponenten dimensioniert und ein optimales Modulationsverfahren identifiziert. Zur Erfüllung der Funkstörnormen wurde ein mehrstufiges Gleichtakt- und Gegentaktfilter entworfen. Die Auslegung der Regelung, die eine sinusförmige Stromaufnahme des Systems auch für beliebig unsymmetrische Netzverhältnisse ermöglicht, sowie eine Methode zur aktiven Dämpfung des Eingangsfilters und eine Laststromvorsteuerung inkludiert, wurde unter Berücksichtigung der Verzögerungszeiten der Signalabtastung, digitalen Regelung im DSP und der Pulsmusterausgabe durchgeführt. Die theoretischen Untersuchungen wurden durch Messungen an einem 5kW-Prototyp bestätigt. Eine abschliessende Vergleichsstudie zeigt den höheren Wirkungsgrad, die höhere Kompaktheit und den geringeren Realisierungsaufwand des Systems gegenüber einer dem Stand der Technik entsprechenden Realisierung.

Literaturverzeichnis

Einführung

- [1] J.W. Kolar, H. Ertl, "Status of the Techniques of Three-Phase Rectifier Systems with Low Effects on the Mains", in *Conf. Rec. IEEE-INTELEC*, Paper no. 14-1, 1999.
- [2] J.W. Kolar, "Leistungselektronik", *Vorlesungsskript zum Kernfach an der ETH Zürich*, Ausgabe Wintersemester 2004/2005.
- [3] N. Mohan, T.M. Undeland, W.P. Robbins, "Power Electronics Converters, Applications, and Design", John Wiley & Sons, Inc., 2nd Ed., 1995.
- [4] J.W. Kolar, F.C. Zach, "A Novel Three-Phase Three Switch Three-Level Unity Power Factor Rectifier", *Proceedings of the 28th International Power Conversion Conference*, Nuremberg. Germany, June 28-30, pp. 125-138, 1994.
- [5] P. Ide, N. Froehleke, H. Grotstollen, "Comparison of selected 3-phase switched mode rectifiers", 19th International IEEE Telecommunications Energy Conference, IN-TELEC, 19-23 Oct. 1997, pp. 630 – 636.
- [6] L. Malesani, P. Tenti, "Three-Phase AC/DC PWM Converter with Sinusoidal AC Currents and Minimum Filter Requirements", *IEEE Trans. Ind. App.*, vol. IA-23, no. 1, pp. 71-77, 1987.
- [7] R. Itoh, "Steady-State and Transient Characteristics of a Single-Way Step-Down PWM GTO Voltage-Source Converter with Sinusoidal Supply Currents", *IEE Proc., Electr. Power Appl.*, vol. B, no. 4, pp. 168-174, 1989.
- [8] T. Grossen, E. Menzel and J.H.R. Enslin, "Three-Phase Buck Active Rectifier with Power Factor Correction and Low EMI", *IEE Proc.*, vol. B, no. 5, pp. 591-596, 1999.

- [9] J.W. Kolar, "Netzrückwirkungsarmes Dreiphasen-Stromzwischenkreis-Pulsgleichrichtersystem mit weitem Stellebreich der Ausgangsspannung", *Austrian Patent Application A9/2000*, filed: Jan. 5, 2000.
- [10] M. Baumann, U. Drofenik, J.W. Kolar, "New Wide Input Voltage Range Three-Phase Unity Power Factor Rectifier Formed by Integration of a Three-Switch Buck-Derived Front-End and a DC/DC Boost Converter Output Stage", in *Conf. Rec. IEEE-INTELEC*, pp. 461-470, 2000.
- [11] B. Fuld, Siegfried Kern, Ray Ridley, "A combined Buck and Boost Power-Factor-Controller for Three-Phase Input," in *Conf.Rec EPE*, pp.144-148, 1993.
- [12] N.R. Zargari, G. Joos, and P.D. Ziogas, "A Performance Comparison of PWM Rectifiers and Synchronous Link Converters", *IEEE Trans. On Ind. Electr.*, vol. 41, no 5, pp.560-562, 1994.
- [13] J. Espinoza, G. Joos, "An Integrated Three Phase Voltage Regulated Current Inverter Topology", in *Conf. Rec. ISIE*, pp.663-668, 1993.

Funktionsweise

- [14] G. Pfaff, A. Weschta, A. Wick, "Design and Experimental Results of a Brushless AC Servo Drive", *IEEE Trans. Ind. Appl.*, IA-20, 4, pp.814-821, 1984.
- [15] H.W. Van der Broeck, H.W., H.C. Skudelny, G.V. Stanke, "Analysis and Realization of a Pulsewidth Modulator Based on Voltage Space Vectors", *IEEE Trans on Ind. Appl.*, vol. 24, no. 1, pp. 142 150, 1988.
- [16] J.R. Espinoza, G. Joos, L.A., "PWM Control Techniques in Current Source Rectifiers", Proc. Of the IEEE Annual Conference of the Industrial Electronics Society IECON, vol. 2 pp. 1210 – 1214, 1993.
- [17] J.R. Espinoza, G. Joos, L.A. Cea, L.D. Salazar, "Space Vector Modulation techniques for Current Source Rectifiers Operating at Switching Frequencies up to 1 kHz", *Proc. Of the* 24th IEEE Annual Conference of the Industrial Electronics Society IECON, vol. 1 pp. 542 – 547, 1998.
- [18] G.D. Marques, "A Current-Type PWM Rectifier Control System With Active Damping Based in the Space Vector Technique", in *Conf. Rec. ISIE*, pp.318-322, 1997.
- [19] X. Wang, B.-T. Ooi, "Unity PF Current-Source Rectifier Based on Dynamic Trilogic PWM", *IEEE Trans. on Power Electr.*, vol. 8, no.3, pp. 288-294, 1993.

Systemdesign

- [20] IXYS Corporation: Rectifier Module for Three-Phase Power Factor Correction VUI 31-12N1, <u>www.ixys.com</u>.
- [21] Fairchild Semiconductor: Hyperfast Diode RHRP30120, <u>www.fairchildsemi.com</u>.
- [22] Infineon Technologies: Cool MOS Power Transistor SPW47N60C3, <u>www.infineon.com</u>.
- [23] International Rectifier: Hyperfast Rectifier 30EPH06, <u>www.irf.com</u>.
- [24] L. Yang, F.C. Lee, and W.G. Odendaal, "Measurement-Based Method to Characterize Parasitic Parameters of IPEM", *Proceedings of the 2003 CPES Annual Seminar/Industry Review*, Blacksburg (VA), USA, April 27-29, 2003.
- [25] J.Z. Chen, L. Yang, D. Boroyevich, and W.G. Odendaal, "Modeling and Measurement of Parasitic Parameters for Integrated Power Electronics Modules", *Proceedings of the 2003 CPES Annual Seminar/Industry Review*, Blacksburg (VA), USA, April 27-29, 2003.
- [26] T. M. Undeland, "Snubbers for Pulse Width Modulated Bridge Converters with Power Transistors or GTOs", *International Power Electronics Conference*, Tokyo, Japan, pp. 313-323, 1983.
- [27] M. Baumann, F. Stögerer, J.W. Kolar, and A. Lindemann, "Design of a Novel Multi-Chip Power Module for a Three-Phase Buck Boost Unity Power Factor Utility Interface Supplying the VariableVoltage DC Link of a Square-Wave Inverter Drive", *Proceedings of the 16th IEEE Applied Power Electronics Conference*, Anaheim (California), USA, March 4 - 8, vol. 2, pp. 820 – 827, 2001.
- [28] M. Baumann, and J.W. Kolar, "Experimental Evaluation of a Three-Phase Three-Switch Buck-Type Unity Power Factor Corrector", *Proceedings of the 7th European Power Quality Conference*, Nuremberg, Germany, June 19 - 21, pp. 69 – 75, 2001.
- [29] Impedance Analyzer Agilent 4294A, Handbuch. <u>www.agilent.com</u>.
- [30] Honeywell: Metglas Powerlite High Frequency C-Cores. Technical Bulletin (2001), www.metglas.com.
- [31] EPCOS: Aluminum Electrolytic Capacitor B43501, <u>www.search.epcos.com</u>.

Modulation

- [32] M. Baumann and J.W. Kolar, "Comparative Evaluation of Modulation Methods for a Three-Phase / Switch Buck Power Factor Corrector Concerning the Input Capacitor Voltage Ripple," *Proceedings of the 32nd IEEE Power Electronics Specialists Conference*, Vancouver, Canada, June 17 - 21, vol. 3, pp. 1327 – 1333, 2001.
- [33] M. Baumann, and J.W. Kolar, "Minimization of the DC Current Ripple of a Three-Phase Buck Boost PWM Unity Power Factor Rectifier", *Proceedings of the 3rd IEEE Power Conversion Conference*, Osaka, Japan, April 2 - 5, vol. 2, pp. 472 – 477, 2002.
- [34] M. Baumann and J.W. Kolar, "Experimental Analysis of a 5kW Wide Input Voltage Range Three-Phase Buck Boost Power Factor Corrector," *Proceedings of the 23rd IEEE International Telecommunications Energy Conference*, Edinburgh, United Kingdom, Oct. 14 - 18, pp. 146 – 153, 2001.
- [35] M. Salo and H. Tuusa, "Open Loop Control of the Current-Source Active Power Filter," Proceedings of the 3rd IEEE Nordic Workshop on Power and Industrial Electronics, Stockholm, Sweden, Aug. 12 - 14, CD-ROM, 2002.
- [36] T. Nussbaumer, and J.W. Kolar, "Advanced Modulation Scheme for Three-Phase Three-Switch Buck-Type PWM Rectifier Preventing Mains Current Distortion Originating from Sliding Input Filter Capacitor Voltage Intersections", *Proceedings of the 34th IEEE Power Electronics Specialists Conference*, Acapulco, Mexico, June 15 - 19, vol. 3, pp. 1086 – 1091, 2003.
- [37] T. Nussbaumer, J.W. Kolar, "Modulationsverfahren zur Minimierung der Netzstromverzerrungen dreiphasiger Dreischalter-Tiefsetzsteller-Pulsgleichrichtersysteme", Swiss Patent Application 0542-04, filed: Mar. 30, 2004.

Eingangsfilter

- [38] IEC International Special Committee on Radio Interference, "C.I.S.P.R. Limits and Methods of Measurement of Radio Disturbance Characteristics of information Technology Equipment – Publication 22", Geneve, Switzerland, 1993.
- [39] M.J. Nave, "Power Line Filter Design for Switched-Mode Power Supplies", New York (NY), USA: Van Nostrand Reinhold, 1991.
- [40] T. Williams: EMC for Product Engineers. Oxford, UK: Newnes; 2nd ed., 1996.

- [41] S.S. Kelkar and F.C. Lee, "A Novel Input Filter Compensation Scheme for Switching Regulators", *IEEE Transactions on Aerospace and Electronics Systems*, pp. 263-275, March 1983.
- [42] N. R. Zargari, G. Joos, "A three-phase current-source type PWM rectifier with feedforward compensation of input displacement factor", *Proc. of the 25th Annual IEEE Power Electronics Specialists Conference, PESC*, vol. 1, pp. 363-368, 1994.
- [43] S. Hiti, V. Vlatkovic, D. Borojevic, and F.C. Lee, "A New Control Algorithm for Three-Phase PWM Buck Rectifier with Input Displacement Factor Compensation", *IEEE Trans. on Power Electr.*, vol. 9, no.2, pp. 173-180, Mar 1994.
- [44] R.D. Middlebrook, "Design Techniques for Preventing Input-Filter Oscillations in Switched-Mode Regulators", *Proceedings of PowerCon 5, the Fifth National Solid State Power Conversion Conference*, San Francisco (CA), USA, pp. 153-168, 1978.
- [45] D.M. Mitchell, "Power Line Filter Design Considerations for DC-DC Converters", *IEEE Industry Applications Magazine*, pp. 16-26, Nov/Dec 1999.
- [46] IEC International Special Committee on Radio Interference, "C.I.S.P.R Specification for Radio Interference Measuring Apparatus and Measurement Methods – Publication 16", Geneve, Switzerland, 1977.
- [47] M.L. Heldwein, T. Nussbaumer, and J.W. Kolar, "Differential Mode EMC Input Filter Design for Three-Phase AC-DC-AC Sparse Matrix PWM Converters", *Proceedings of* the 35th IEEE Power Electronics Specialists Conference, Aachen, Germany, June 20-25, 2004.
- [48] M. Albach, "Conducted Interference Voltage of AC-DC Converters", *Proceedings of the* 17th Annual IEEE Power Electronics Specialists Conference, Vancouver, Canada, pp. 203 – 212, 1986.
- [49] D. Ristau, D. Hansen, "Modulation Impact on Quasi-Peak Detector Response", *IEEE International Symposium on Electromagnetic Compatibility*, pp. 90-95, 18-22 Aug 1997.
- [50] P. Silventoinen, "Electromagnetic Compatibility and EMC-Measurements in DC-Voltage Link Converters", *Dissertation*, Lappeenranta, Finland: Lappeenranta University of Technology, 2001.
- [51] R.W. Erickson, "Optimal Single Resistor Damping of Input Filters", Proceedings of the 14th Annual Applied Power Electronics Conference and Exposition, Dallas (TX), USA, pp. 1073 – 1079, 1999.

- [52] T. Nussbaumer, M.L. Heldwein, and J.W. Kolar, "Differential Mode EMC Input Filter Design for a Three-Phase Buck-Type Unity Power Factor PWM Rectifier", *Proceedings* of the 4th International Power Electronics and Motion Control Conference, Xian, China, pp. 1521-1526, Aug. 14 – 16, 2004.
- [53] T.K. Phelps, and W.S. Tate, "Optimizing Passive Input Filter Design", Proceedings of the Sixth National Solid-State Power Conversion Conference, (PowerCon 6), Miami Beach (FL), USA, pp. G1-1 - G1-10, 1979.
- [54] EVOX RIFA: X2 Film Capacitor PHE840M, <u>www.evox-rifa.com</u>.
- [55] Magnetics High Flux 58439-A2, <u>www.mag-inc.com</u>.
- [56] Magnetics Molypermalloy 55894-A2, <u>www.mag-inc.com</u>.
- [57] Middlebrook, R. D.: Input Filter Considerations in Design and Application of Switching Regulators. *Proceedings of the IEEE Industry Applications Society Annual Meeting*, Chicago (IL) USA, pp. 366 – 382, 1976.
- [58] B. Bitenc, T. Seitz, "Optimizing DC Distribution Network Stability Using Root Locus Analysis", *Proceedings of the 23rd IEEE International Telecommunications Energy Conference*, Yokohama, Japan, pp. 691 – 698, Oct 19 – 23, 2003.
- [59] J.W. Kolar, H. Ertl, Vorrichtung zur Trennung der Funkstörspannungen dreiphasiger Stromrichtersysteme in eine Gleichtakt- und Gegentaktkomponente, *Swiss Patent Application 0439-04*, filed: Mar. 16, 2004.
- [60] T. Guo, D.Y. Chen, and F.C. Lee, Separation of the Common-Mode- and Differential-Mode-Conducted EMI Noise, *IEEE Transactions on Power Electronics*, vol. 11, No. 3, pp. 480-488, 1996.
- [61] A. Nagel: Leitungsgebundene Störungen in der Leistungselektronik: Entstehung, Ausbreitung und Filterung, *Dissertation*, Aachen, Germany: Rheinisch-Westfälischen Hochschule Aachen, 2001.
- [62] M.L. Heldwein, T. Nussbaumer, F. Beck, Novel Three-phase Common/Differential Mode Noise Separation Networks to be applied in Typical Three-phase Conducted Emission Measurement Setups, to be published in IEEE Applied Power Electronics Conference, Austin, Texas, March 6-10, 2005 (accepted paper).
- [63] T. Grossen, E. Menzel and J.H.R. Enslin, "Three-Phase Buck Active Rectifier with Power Factor Correction and Low EMI", *IEE Proc.*, vol. B, no. 5, pp. 591-596, 1999.

- [64] J.W. Kolar, U. Drofenik, J. Miniböck, H. Ertl, "A New Concept for Minimizing High-Frequency Common-Mode EMI of Three-Phase PWM Rectifier Systems Keeping High Utilization of the Output Voltage", *Proceedings of the 15th IEEE Applied Power Electronics Conference*, New Orleans, USA, Feb. 6 – 10, 2000.
- [65] IEC 60950, "Safety of Information Technology Equipment", *International Electrotechnical Commission*, 1999.

Regelung

- [66] T. Nussbaumer, and J.W. Kolar, "Comparative Evaluation of Control Techniques for a Three-Phase Three-Switch Buck-Type AC-to-DC PWM Converter System", *Proceedings* of the 3rd IEEE Nordic Workshop on Power and Industrial Electronics, Stockholm, Sweden, Aug. 12 - 14, CD-ROM, ISSN: 1650 674x, 2002.
- [67] C.T. Rim, D.Y. Hu, and G.H. Cho, "Transformers as equivalent circuits for switches: General proofs and d-q transformation-based analysis", *IEEE Trans. Ind. Applicat.*, vol. 26, no.4, pp. 777-785, 1990.
- [68] S. Hiti, D. Boroyevich, and C. Cuadros, Small-Signal Modelling and Control of Three-Phase PWM Converters", *IEEE IAS Annual Meet.*, *Conf. Rec.*, pp. 1143-1150, 1994.
- [69] V. Blasko, V. Kaura, and W. Niewiadomski, "Sampling of Discontinuous Voltage and Current Signals in Electrical Drives: A System Approach", *IEEE Trans. Ind. Appl.*, vol 34, no 5, pp.1123-1130, Sep/Oct 1998.
- [70] D.M. Mitchell, "Pulswidth Modulator Phase Shift, "*IEEE Trans. on Aerospace and Electronic Systems*, AES 16, no. 3, pp. 272-278, 1980.
- [71] R.D. Middlebrook, "Predicting Modulator Phase Lag in PWM Converter Feedback Loops", Proceedings of the Eighth National Solid-State Power Conversion Conference Powercon 8, Paper H-4, April 27-30, 1981.
- [72] L. Matakas, and W. Komatsu, "Using Duality Properties to Develop Hysteresis Based, Voltage Controllers for a Current Source Converters", 6th Brazilian Power Electronics Conference, Florianopolis, SC-Brasil, pp.323-328, 11-14 Nov. 2001.
- [73] A. Klönne, F.W. Fuchs, "Multivariable PI Control with Feedforward Control for a Current Source Converter", *Proceedings of the 2nd IEEE Nordic Workshop on Power and Industrial Electronics*, Aalborg, Denmark, pp.94-97, Jun. 13 - 16, 2000.

- [74] H. Mao, D. Boroyevich, F.C. Lee, "Novel Reduced-Order Small-Signal Model of a Three-Phase PWM Rectifier and Its Application in Control Design and System Analysis", *IEEE Trans. Power Elec.*, vol. 3, pp. 511-521, 1998.
- [75] R.D. Middlebrook, and S. Cuk, "A General Unified Approach to Modeling Switching Converter Power Stages", *Conf. Rec. IEEE-PESC*, pp.18-34, 1976.
- [76] T. Nussbaumer, G. Gong, M.L. Heldwein, and J.W. Kolar, "Control-Oriented Modeling and Robust Control of a Three-Phase Buck+Boost PWM Rectifier (VRX-4)", 40th Annual General Meeting of the Industry Applications Society, Hong Kong, China, October 2-6, 2005 (accepted paper).
- [77] F. Ronc, C. Rytz, "Theoretische und simulative Untersuchung einer DC-seitigen Regelung für einen dreiphasigen AC-DC PWM Buck+Boost-Konverter", *Semesterarbeit*, Institut für Leistungselektronik und Mestechnik, ETH Zürich, 2002.
- [78] H. Gamperl, "Theoretische und simulative Untersuchung einer AC-seitigen Regelung für einen dreiphasigen AC-DC PWM Buck+Boost-Konverter", *Diplomarbeit*, Institut für Leistungselektronik und Mestechnik, ETH Zürich, 2002.
- [79] J. Rauchenstein, "Theoretische und simulative Analyse einer Zustandsregelung für einen dreiphasigen AC-DC PWM Buck+Boost-Konverter", *Diplomarbeit*, Institut für Leistungselektronik und Mestechnik, ETH Zürich, 2003.
- [80] G.D. Marques, "A PWM Rectifier Control System with DC Current Control based on the Space Vector Modulation and AC Stabilisation", *Conf. Rec. IEEE-ISIE*, pp. 318-322, 1997.
- [81] D.J. Tooth, "The Behaviour and Analysis of a Three-Phase AC-DC Step-Down Unity Power Factor Converter", *Ph.D. Dissertation*, Dept. of Computing and Electr. Eng., Heriot-Watt University, Scotland, 1999.
- [82] F. Stögerer, J. Miniböck, and J.W. Kolar, "A Novel Concept for Mains Voltage Proportional Input Current Shaping of a VIENNA Rectifier Eliminating Controller Multipliers. Part II – Operation for Heavily Unbalanced Mains Phase Voltages and in Wide Input Voltage Range", *Proceedings of the 16th IEEE Applied Power Electronics Conference*, Anaheim, California, USA, Mar 4 - 8, vol. 1, pp. 587 – 591, 2001.
- [83] F. Stögerer, J. Miniböck, and J.W. Kolar, "Implementation of a Novel Control Concept for Reliable Operation of a VIENNA Rectifier under Heavily Unbalanced Mains Voltage Conditions", *Proceedings of the 32nd Power Electronics Specialists Conference*, Vancouver, Canada, Jun 17 - 21, vol. 3, pp. 1333 – 1338, 2001.

- [84] M. Baumann, and J.W. Kolar, "A Novel Control Concept for Reliable Operation of a Three-Phase Three-Switch Buck-Type Unity Power Factor Rectifier with Integrated Boost Output Stage under Heavily Unbalanced Mains Condition", *Proceedings of the* 34th IEEE Power Electronics Specialists Conference, Acapulco, Mexico, Jun 15 - 19, vol. 1, pp. 3 – 10, 2003.
- [85] C. Gutscher, "Regelung des VRX-4 bei unsymmetrischen Netzbedingungen", *Semester-arbeit*, Institut für Leistungselektronik und Mestechnik, ETH Zürich, 2004.
- [86] S.N. Kalaschnikow, "Regelung des netzseitigen Pulsstromrichters eines Vier-Quadranten-Spannungszwischenkreis-Umrichters", *ELIN-Zeitschrift*, Heft 3/4, pp. 102-111, 1994.
- [87] A. Weinmann, "Regelungen, Analyse und technischer Entwurf, Band 1: Systemtechnik linearer und linearisierter Regelungen auf anwendungsnaher Grundlage", Springer-Verlag, 3. Auflage, 1994.
- [88] R. Ridley, S. Kern, B. Fuld, "Analysis and Design of a Wide Input Range Power Factor Correction Circuit for Three-Phase Applications", *IEEE Applied Power Electronics Conference*, San Diego, 1993.
- [89] Y. Sato, and T. Kataoka, "A Current Type PWM Rectifier with Active Damping Function, *Conf. Rec. IEEE-IAS 95*, pp. 2333-2340, 1995.
- [90] K. Toyama, T. Takeshita, N. Matsui, "Transient Oscillation Suppression of Input Filter Voltage and Current for Current-Source Three-Phase PWM AC/DC Converter", Conf. Rec. of Power Conversion Conf., pp. 253-258, 1997.
- [91] J.W. Kolar, U. Drofenik, H. Ertl, F.C. Zach, "VIENNA Rectifier III A Novel Three-Phase Single-Stage Buck-Derived Unity Power Factor AC-to-DC Converter System", *Proc. of the Nordic Workshop on Power and Industrial Electronics*, pp. 9-18, August 26 – 27, 1998.
- [92] Analog Devices ADSP219x, DSP Hardware Reference, rev. 1.1, Aug 2003, www.analog.com/Processors.
- [93] M. Gilomen, A. Nold, A. Trüllinger, "Entwicklung und praktische Realisierung eines High-Speed DSP-Moduls für die digitale Regelung eines Dreiphasen-Pulsgleichrichtersystems hoher Taktfrequenz", *Diplomarbeit*, Institut für Leistungselektronik und Mestechnik, ETH Zürich, 2003.
- [94] R. Höpli A. Meens "Entwicklung eines Debugging- und InSystem- Programmierungstools für eingebettete Systeme", *Semesterarbeit*, Institut für Leistungselektronik und Mestechnik, ETH Zürich, 2003.

- [95] T. Nussbaumer, M.L. Heldwein, G. Gong, and J.W. Kolar, "Prediction Techniques Compensating Delay Times Caused by Digital Control of a Three-Phase Buck-Type PWM Rectifier System", 40th Annual General Meeting of the Industry Applications Society, Hong Kong, China, October 2-6, 2005 (accepted paper).
- [96] M. Baumann, and J.W. Kolar, "Analysis of the Effects of Non-Idealities of Power Components and Mains Voltage Unbalance on the Operating Behavior of a Three-Phase/Switch Buck-Type Unity Power Factor PWM Rectifier", *Proceedings of the 33rd IEEE Power Electronics Specialists Conference*, Cairns, Australia, June 23 - 27, vol. 4, pp. 1607 – 1612, 2002.
- [97] S. Brückl, "Direktantriebe genau positioniert durch Stromüberabtastung, Teil I: Überabtastung der Strommesssignale und Motorstrommessung", *Magazin Antriebstchnik 43*, no. 2, 2004.
- [98] H. Plesko, A. Putzi, "Digitale Regelung des VRX-4", *Diplomarbeit*, Institut für Leistungselektronik und Mestechnik, ETH Zürich, 2004.
- [99] Sensitec Current Sensor CMS2025-SP3, <u>www.sensitec.com</u>.
- [100] D.E. Combs, "Stability Analysis of a pulse-width controlled DC to DC regulated converter using linear feedback control system techniques", *Proceedings of the National Electronics Conference*, pp. 385-390, 1970.
- [101] R. Redl, A.S. Kislovski, "Source impedance and current-control loop interaction in high-frequency power-factor correctors" *IEEE Power Electronics Specialists Conference*, vol. 1, pp. 483 488, 29 June 3 July 1992.
- [102] S. Brückl, "Direktantriebe genau positioniert durch Stromüberabtastung, Teil II: HF-Strommodell der Motorstrommessung und Stromregelung", *Magazin Antriebstchnik 43*, no. 2, 2004.
- [103] O.J.M. Smith, "A Controller to Overcome Dead Time", *ISA Journal*, vol. 6, no. 2, pp. 28-33, 1959.
- [104] M. Veronesi, "Performance Improvement of Smith Predictor Through Automatic Computation of Dead Time", *Yokogawa Technical Report*, no. 35, 2003.
- [105] M. Keller, "Design of a 250 Amp Telecom Rectifier with True Three-Phase Unity Power Factor Input Rectification Stage", *Conf. Rec. IEEE-INTELEC*, pp. 94-100, 2002.
- [106] Y. Itoh, S. Kawauchi, "Easy digital control of three-phase PWM convertor", Telecommunications Energy Conference, *Conf. Rec. IEEE-INTELEC*, pp. 727-734, 1991.

Bewertung des Systems

- [107] T. Nussbaumer, K. Mino, and J.W. Kolar, "Design and Comparative Evaluation of Three-Phase Buck Boost and Boost Buck Unity Power Factor PWM Rectifier Systems for Supplying Variable DC Voltage Link Converters", *Proceedings of the 10th European Power Quality Conference (PCIM)*, Nuremberg, Germany, May 23 - 27, pp. 126 – 135, 2004.
- [108] J. Miniböck, J.W. Kolar, and H. Ertl, "Design and Experimental Analysis of a 10kW 800V/48V Dual Interleaved Two Transistor DC/DC Forward Converter System Supplied by a VIENNA Rectifier I", *Proceedings of the 21st European Power Conversion Conference*, Nuremberg, Germany, June, 6-8, pp. 569 579, 2000.
- [109] Fairchild Semiconductor: Short Circuit Rated IGBT SGH20N120RUF, www.fairchildsemi.com.
- [110] IXYS Corporation: Rectifier Module for Three-Phase Power Factor Correction VUM25-05E, <u>www.ixys.com</u>.
- [111] J.W. Kolar, and F.C. Zach, "Design and Experimental Investigation of a Three-Phase High Power Density High Efficiency Unity Power Factor PMW (VIENNA) Rectifier Employing a Novel Integrated Power Semiconductor Module", *Proceeding of the 11th IEEE Applied Power Electronics Conference*, San Jose, USA, March 3-7, vol. 2, pp. 514-523, 1996.
- [112] International Rectifier: Ultrafast, Soft Recovery Diode HFA25PB60, <u>www.irf.com</u>.
- [113] VISHAY: Glass Passivated Single-Phase Bridge Rectifier GBPC2506, <u>www.vishay.com</u>.
- [114] IXYS Corporation: Cool MOS Power MOSFETs IXKN 75N60C, <u>www.ixys.com</u>.
- [115] IXYS Corporation: Ultra Fast Discrete Diodes DSEP 2x91-06A, <u>www.ixys.com</u>.
- [116] Fischer Elektronik: Hohlrippen-Lüfteraggregate mit Vorkammer LA V 9 250 24, www.fischerelektronik.de.