DISSERTATION

Theoretische und experimentelle Untersuchung eines Dreiphasen-Pulsgleichrichtersystems mit Dreischalter-Tiefsetzstellereingangsstufe und integrierter Hochsetzstellerausgangsstufe mit sinusförmiger Eingangsstromführung für den Einsatz in einem weiten Eingangsspannungsbereich

ausgeführt zum Zwecke der Erlangung des akademischen Grades eines
Doktors der technischen Wissenschaften unter der Leitung von

Prof. Dr. Johann Walter Kolar
Power Electronics System Laboratory
ETH-Zentrum/ETL H22, CH–8092 Zürich

und

Prof. Dr. Manfred Schrödl
Institut für Elektrische Antriebe und Maschinen
Gusshausstraße 27/E372, A–1040 Wien

eingereicht an der Technischen Universität Wien
Fakultät für Elektrotechnik und Informationstechnik

von

Dipl.-Ing. Martina Baumann
Matr. Nr.: 9426619
Auhofstraße 84/41, A–1130 Wien

Wien, im Jänner 2005

Danksagung

Kurzfassung

In der vorliegenden Arbeit wird ein neuartiges dreiphasiges Pulsgleichrichtersystem mit einer Dreischalter-Tiefsetzstellereingangsstufe und integrierter Hochsetzstellerausgangsstufe mit sinusförmigen Netzströmen und ohmschem Grundschwingungsverhalten für einen weltweiten Einsatz, d.h für den Betrieb in einem weiten Eingangsspannungsbereich von 208 V . . . 480 V Außenleiterspannung, mit einer Ausgangsspannung von 400 V und einer Nennleistung von 5 kW vorgestellt, das gegenüber den bekannten Schaltungsstrukturen wie dem Tiefsetzsteller oder dem Hochsetzsteller im genannten Einsatzbereich deutliche Vorteile bezüglich des Wirkungsgrades zeigt und gegenüber der Zusammenschaltung einphasiger Schaltungsstrukturen einen wesentlich geringeren Realisierungsaufwand aufweist.

Die Entwicklung der Schaltung des Gleichrichtersystems wird in **Kapitel 1** gezeigt, wobei von der Kombination eines konventionellen Stromzwischenkreisumrichters mit einer integrierten Hochsetzstellerausgangsstufe ausgegangen wird.

Die theoretische Analyse der Schaltung, die Bestimmung der Stromraumzeiger, die für die Bildung des Eingangsstromes zur Verfügung stehen, sowie die analytische Berechnung der Einschaltdauern und der Bauelementebeanspruchungen sind in **Kapitel 2** gezeigt.

In **Kapitel 3** werden verschiedene Modulationsverfahren, d. h. Möglichkeiten zur Anordnung der aktiven Schaltzustände und des Freilaufzustandes der Tiefsetzstellereingangsstufe innerhalb einer Pulshalbperiode, sowie die Wahlmöglichkeit, ob und welcher Leistungstransistor während eines $\pi/3$-breiten Netzintervalls im eingeschalteten Zustand verbleiben soll, untersucht und hinsichtlich ihrer Schaltverluste verglichen.

Für 5 kW Ausgangsleistung, einen weiten Eingangsspannungsbereich von 208 V . . . 480 V Außenleiterspannung und 400 V Ausgangsspannung wird in **Kapitel 4** die Dimensionierung eines Leistungsteils vorgenommen und es werden die passenden Leistungshalbleiter und deren Schutzbeschaltung sowie die passiven Bauelemente ausgewählt. Die gesamte Regelung des Gleichrichtersystems soll in einen digitalen Signalprozessor implementiert werden.

Um die Dimensionierung der Leistungshalbleiter zu kontrollieren, wird in **Kapitel 5** eine detaillierte experimentelle Analyse des Schaltverhaltens der Leistungstransistoren und -dioden vorgenommen, womit die Schaltverluste bei allen vorkommenden Schalthandlungen ermittelt und daraus die Gesamtverluste sowie der Wirkungsgrad berechnet werden können. Damit können ein sicherer Betriebsbereich in Abhängigkeit von Schaltfrequenz und Ausgangsleistung und somit die zulässigen Betriebsparameter ermittelt werden. Die selbe experimentelle Analyse und die Ermittlung zulässiger Betriebsparameter wird auch für die Realisierung der Tiefsetzstellereingangsstufe mit von IYXS Semiconductor GmbH gefertigten Modulen VUI 30-12N1, die die Leistungshalbleiter eines Brückenzweiges enthalten, durchgeführt. Weiters sollen auch der Einfluss von Nichtidealitäten auf das Betriebsverhalten des Gleichrichtersystems untersucht und Abhilfemaßnahmen aufgezeigt werden.

Um die Möglichkeiten zur Reduktion der Größe der Filterkomponenten zu untersuchen, werden die in Kapitel 3 vorgestellten Modulationsverfahren in **Kapitel 6** hinsichtlich der Spannungsbelastung an den eingangsseitigen Filterkondensatoren sowie hinsichtlich des Rippelstromes an der Zwischenkreisinduktivität verglichen.

Aufgrund der industriellen Einsetzbarkeit wird an die Regelung des Gleichrichtersystems die Anforderung gestellt, dass ein Betrieb mit ohmschem Netzverhalten auch in unterschiedlichen Netzfehlerzuständen weiterhin möglich ist, wobei das unsymmetrische Netz, der Ausfall einer Phase sowie der Kurzschluss und der Erdschluss bei gleichzeitigem Phasenausfall als Fehlerzustände angenommen werden. Die Regelstruktur wird in **Kapitel 7** vorgestellt, digitale Simulationen und experimentelle Analysen bestätigen deren Funktion, und die Messung der charakteristischen Kenngrößen des Gleichrichtersystems wie Leistungsfaktor, Total Harmonic Distortion der Netzphasenströme und Wirkungsgrad zeigen gute Eigenschaften für den Betrieb in einem Fehlerfall sowie im Normalbetrieb.

In **Kapitel 8** wird die Parallelschaltung von zwei Eingangsstufen des Gleichrichtersystems untersucht, um eine höhere Ausgangsleistung als die mit 5 kW angenommene Nennleistung zu erhalten. Es wird ein Modulationsverfahren entwickelt, das hinsichtlich der Eigenstabilität der Stromaufteilung zwischen den Gleichrichtersystemen sowie hinsichtlich des Stromrippels an den Zwischenkreisinduktivitäten günstige Eigenschaften zeigt und es wird eine einfache Möglichkeit der Symmetrierung des Zwischenkreisstromes vorgestellt. Weiters werden unterschiedliche Regelstrukturen zur Zwischenkreisstromsymmetrierung

ausgearbeitet und durch experimentelle Analyse eine vorteilhafte Struktur ausgewählt. Auch für den Parallelbetrieb werden die charakteristischen Kenngrößen ermittelt.

Abstract

In this thesis a novel three-phase pulse-width-modulated rectifier system with a three-switch buck-type input stage and an integrated DC/DC boost converter output stage with sinusoidal mains phase currents and unity power factor is presented for world-wide applicability, i. e. for a mains voltage range of 208 V ... 480 V line-to-line voltage, for an output voltage of 400 V and an output power of 5 kW. As compared to well known topologies like buck converter or boost converter, the novel rectifier system shows the advantage of a higher efficiency for the application in the wide input voltage range, and as compared to the combination of three single-phase buck+boost converters the proposed rectifier systems shows a significantly lower complexity .

The development of the structure of the rectifier system is given in **Chapter 1**, where the base is the combination of a conventional current source converter with an integrated DC/DC boost converter output stage.

The theoretical analysis of the rectifier system, the determination of the current space vectors which are available for the formation of the input current, and the analytical calculation of the on-times of the power transistors as well as of the current and voltage stress of active and passive components are given in **Chapter 2**.

In **Chapter 3** different modulation methods, i. e. possibilities for arranging active switching states and the free-wheeling state of the buck input stage within a pulse period, and the possibility, if a power transistor should be kept in the on-state during a $\pi/3$-wide interval of the mains period, are investigated and compared concerning their switching losses.

For 5 kW output power, a wide input voltage range of 208 V ... 480 V line-to-line voltage and 400 V output voltage the dimensioning of the power stage is given in **Chapter 4** and power semiconductors, snubber circuits and passive components are chosen. The control of the rectifier system is implemented in a digital signal processor.

In order to check the dimensioning of the power semiconductors, a detailed experimental analysis of the switching behavior of the power semiconductors is carried out in **Chapter 5**. There, the switching losses of all occurring switching actions are determined and the total power loss as well as the efficiency are calculated. With this the safe operating area in dependency on the switching frequency and the output power and the allowable operating parameters can be given. The same analysis is carried out for the realization of the buck input stage with power modules VUI 30-12N1 from IYXS Semiconductor GmbH which contain the power semiconductors of one bridge leg. Furthermore, the influence of non-idealities on the operating behavior of the rectifier system is investigated and proper pre-control methods or hardware adaptations for minimizing the influences are discussed.

In order to reduce the size of the input filter components, the modulation methods presented in Chapter 3 are compared in **Chapter 6** concerning the input filter capacitor voltage ripple and the buck+boost inductor current ripple.

Due to the industrial application of the rectifier, the system should continue in operation with sinusoidal mains phase currents and unity power factor also in case of a mains failure. The investigated failure conditions are unbalanced mains, the loss of one phase, a short circuit between two phases and an earth fault during the loss of one phase. A proper control structure is presented in **Chapter 7**, digital simulations and experimental results confirm the function of the control, the system characteristics like power factor, total harmonic distortion of the mains phase currents and efficiency show reasonable behavior during normal conditions and during a mains failure.

In **Chapter 8** the parallel connection of two buck input stages is investigated in order to achieve a higher output power. A modulation method is chosen, which is advantageous concerning the self-stability of the DC-link current partitioning between the rectifier systems and concerning the DC-link current ripple. Furthermore, a simple possibility for the symmetrization of the DC-link currents is given and different control structures for DC-side current balancing are presented and compared by experimental investigations. The systems characteristics are determined for parallel operation, too.

Inhaltsverzeichnis

Formelzeichen und Abkürzungen **vi**

1 Einleitung **1**
1.1 Schaltungsstrukturen . . . 1
1.1.1 Dreiphasiger Tiefsetzsteller . . . 1
1.1.2 Dreiphasiger Hochsetzsteller . . . 2
1.1.3 Dreiphasiger Tief-Hochsetzsteller . . . 2
1.1.4 Zusammenschaltung einphasiger Schaltungsstrukturen . . . 2
1.2 Entwicklung der Schaltungsstruktur des Dreiphasen/Dreischalter-Tiefsetzstellers mit integrierter Hochsetzstellerausgangsstufe . . . 3

2 Grundlegende theoretische Betrachtungen **7**
2.1 Schaltungsstruktur . . . 7
2.2 Annahmen und Voraussetzungen . . . 7
2.3 Allgemeine Anforderungen . . . 9
2.4 Leitzustände und Stromraumzeiger der Eingangsstufe . . . 9
2.5 Bildung des Eingangsstromes . . . 11
2.6 Bauelementebeanspruchungen . . . 14
2.6.1 Strombelastung der Tiefsetzstellereingangsstufe . . . 15
2.6.2 Strombelastung der Hochsetzstellerausgangsstufe . . . 17
2.6.3 Strombelastung der passiven Bauelemente . . . 18
2.6.3.A Zwischenkreisinduktivität . . . 18
2.6.3.B Ausgangskondensator . . . 18
2.6.4 Spannungsbeanspruchung der Leistungshalbleiter . . . 18
2.6.4.A Tiefsetzstellereingangsstufe . . . 18
2.6.4.B Hochsetzstellerausgangsstufe . . . 19

3 Auswahl des Modulationsverfahrens **21**
3.1 Mögliche Schaltzustandssequenzen . . . 21
3.2 Analyse der Schaltverluste der unterschiedlichen Schaltzustandssequenzen . . . 22

4 Praktische Realisierung **24**
4.1 Dimensionierung des Leistungsteils . . . 24
4.1.1 Verhältnisse bei Dimensionierungsleistung . . . 24
4.1.2 Leistungshalbleiter . . . 25
4.1.3 Schutzbeschaltung der Leistungshalbleiter . . . 26
4.1.4 Passive Bauelemente . . . 27
4.1.4.A Eingangsfilter . . . 27
4.1.4.B Zwischenkreisinduktivität . . . 29
4.1.4.C Ausgangskondensator . . . 29
4.2 Eigenbedarfsversorgung . . . 30
4.3 Realisierung des Steuerteils . . . 30
4.3.1 Realisierung des Signalanpassungsbords . . . 31
4.3.2 Realisierung der Peripheriekarte . . . 31

4.3.3 Steuerungsablauf . . . 32

5 Experimentelle Analyse des Leistungsteils 35
5.1 Schaltverlustmessung für diskreten Aufbau . . . 35
5.1.1 Experimentelle Ermittlung der Schaltverluste . . . 35
5.1.2 Auswertung der experimentellen Ergebnisse . . . 36
5.1.3 Berechnung der Gesamtverluste . . . 38
5.1.3.A Berechnung der Leitverluste . . . 38
5.1.3.B Detaillierte Betrachtung der Schalthandlungen und Berechnung der Schaltverluste . . . 39
5.1.3.C Berechnung der gesamten mittleren Verlustleistung . . . 41
5.1.4 Ermittlung der zulässigen Betriebsparameter . . . 41
5.1.5 Aufteilung der Gesamtverluste auf Leit- und Schaltverluste . . . 43
5.2 Entwicklung eines Leistungsmoduls . . . 44
5.2.1 Interne Struktur des Leistungsmoduls . . . 45
5.2.2 Experimentelle Ermittlung der Schaltverluste . . . 45
5.2.3 Ermittlung der zulässigen Betriebsparameter . . . 48
5.2.4 Wirkungsgrad und Verlustaufteilung . . . 49
5.2.5 Beurteilung des Leistungsmoduls VUI 30-12 N1 und Verbesserungsvorschläge . . . 51
5.3 Einfluss von Nichtidealitäten auf das Betriebsverhalten . . . 52
5.3.1 Analyse der Ursachen für nichtideales Betriebsverhalten . . . 53
5.3.1.A Flussspannungsabfälle der Leistungshalbleiter . . . 53
5.3.1.B Gestörte Netzspannung . . . 54
5.3.1.C Eingangsspannungsmessung . . . 56
5.3.1.D Signalverarbeitung . . . 56
5.3.1.E Schaltverzug . . . 57
5.3.1.F Signalabtastung . . . 58
5.3.1.G Endliche Schaltfrequenz . . . 58
5.3.1.H Kommutierung des Zwischenkreisstromes . . . 59
5.3.2 Größe der Störung in der Tiefsetzstellerausgangsspannung . . . 59
5.3.3 Bewertung der unterschiedlichen Nichtidealitäten und Abhilfemaßnahmen . . . 59
5.3.3.A Vernachlässigbare Einflüsse . . . 61
5.3.3.B Flussspannungsabfälle . . . 61
5.3.3.C Zeitauflösung der PWM-Ausgangssignale . . . 61
5.3.3.D Schaltverzug . . . 61
5.3.4 Schlussbemerkung . . . 61

6 Vergleich und Bewertung der Modulationsverfahren 62
6.1 Spannungsrippel an den eingangsseitigen Filterkondensatoren . . . 62
6.1.1 Analytisch geschlossene Berechnung . . . 63
6.1.2 Trajektorien des Spannungsraumzeigers . . . 64
6.1.2.A Trajektorie für Modulationsverfahren 1 . . . 65
6.1.2.B Trajektorie für Modulationsverfahren 2 . . . 65
6.1.2.C Trajektorie für Modulationsverfahren 3 . . . 66
6.1.3 Effektivwert des Spannungsrippels . . . 67
6.1.4 Zeitverlauf und Einhüllende des Spannungsrippels . . . 68
6.1.5 Vergleich der unterschiedlichen Modulationsverfahren . . . 68
6.2 Stromrippel an der Zwischenkreisinduktivität . . . 70
6.2.1 Modulation der Hochsetzstellerausgangsstufe . . . 70
6.2.2 Analytische Berechnung des Zwischenkreisstromrippels . . . 71
6.2.3 Zeitverlauf und Einhüllende des Zwischenkreisstromrippels . . . 73
6.3 Vergleich der unterschiedlichen Modulationsverfahren . . . 76

7 Regelung des Gleichrichtersystems 78
7.1 Theoretische Überlegungen . . . 78
7.1.1 Grundlegendes . . . 78
7.1.2 Berechnung der Einschaltdauern und des Zwischenkreisstromsollwerts . . . 80
7.1.3 Berechnung der Sollwerte . . . 81
7.1.3.A Deaktivierte Hochsetzstellerausgangsstufe . . . 81
7.1.3.B Aktive Hochsetzstellerausgangsstufe . . . 82
7.2 Entwurf einer Regelstruktur für die Beherrschung von Fehlerfällen . . . 83
7.3 Simulationsergebnisse . . . 86
7.3.1 Symmetrische Netzspannungen . . . 86
7.3.2 Unsymmetrische Netzspannungen . . . 87
7.3.3 Phasenausfall . . . 87
7.3.4 Kurzschluss bei Phasenausfall . . . 87
7.3.5 Erdschluss bei Phasenausfall . . . 87
7.4 Experimentelle Analyse der Regelung . . . 89
7.4.1 Verhalten im unsymmetrischen Netz . . . 89
7.4.1.A Übergang zwischen unterschiedlichen Netzzuständen . . . 89
7.4.1.B Verhalten der Ausgangsspannung . . . 90
7.4.1.C Limitierung des Zwischenkreisstromes . . . 91
7.4.1.D Aufteilung der Gleichrichtereingangsströme bei Kurzschluss zweier Phasen und gleichzeitigem Phasenausfall . . . 92
7.4.2 Charakteristische Kenngrößen . . . 92
7.4.2.A Leistungsfaktor . . . 93
7.4.2.B Wirkungsgrad . . . 93
7.4.2.C Total Harmonic Distortion der Netzphasenströme . . . 94
7.4.2.D Kenngrößen im Normalbetrieb . . . 95
7.5 Bewertung des Regelkonzepts und mögliche Verbesserungen . . . 95

8 Parallelschaltung von zwei Gleichrichtersystemen 97
8.1 Theoretische Überlegungen . . . 98
8.1.1 Raumzeigermodulation . . . 98
8.1.2 Einfluss der Schaltzustände auf die Stromänderung . . . 101
8.1.3 Entwicklung eines Modulationsverfahrens . . . 102
8.1.4 Symmetrierung des Zwischenkreisstromes . . . 110
8.1.4.A Kreisströme und Strom-Nullsystem . . . 110
8.1.4.B Symmetrierung durch unterschiedliche Freilaufzustände . . . 111
8.2 Regelung zur Zwischenkreisstrom-Symmetrierung . . . 113
8.2.1 Simulationsergebnisse . . . 114
8.2.2 Experimentelle Realisierung . . . 116
8.2.2.A Strommessung . . . 116
8.2.2.B Spannungsmessung . . . 117
8.2.2.C Programmstruktur und Generierung der Schaltsignale . . . 117
8.2.3 Einfluss des zusätzlichen Freilaufzustandes . . . 117
8.3 Modifikationen der Regelstruktur . . . 119
8.3.1 Hystereseregelung mit zusätzlichem Freilauf . . . 119
8.3.2 Hystereseregelung mit zusätzlichem, variablen Freilaufzustand . . . 120
8.4 Experimentelle Analyse der Regelstrukturen . . . 121
8.4.1 Verhalten ohne symmetrierende Regelung . . . 121
8.4.2 Vergleich der beiden Regelstrukturen . . . 121
8.4.3 Einfluss der Position des Störwiderstandes . . . 123
8.4.4 Details des Systemverhaltens . . . 123
8.4.4.A Schaltzustandsfunktionen . . . 123
8.4.4.B Grenzen des Regelkonzepts . . . 124
8.4.4.C Phasenversetzter Betrieb . . . 124
8.4.5 Netzverhalten . . . 125

8.4.5.A Einfluss der symmetrierenden Regelung auf das Netzverhalten 125
8.4.5.B Leistungsfaktor, Wirkungsgrad und Total Harmonic Distortion bei Parallelbetrieb 125
8.5 Bewertung der Parallelschaltung und mögliche Verbesserungen 126

9 Zusammenfassung und Ausblick 128

A Stromraumzeiger und Berechnung der Einschaltdauern 136
A.1 Leitzustände und Stromraumzeiger 136
A.1.1 Intervall 1, $\varphi_N \in (0; \frac{\pi}{3})$ 136
A.1.2 Intervall 2, $\varphi_N \in (\frac{\pi}{3}; \frac{2\pi}{3})$ 137
A.1.3 Intervall 3, $\varphi_N \in (\frac{2\pi}{3}; \pi)$ 137
A.1.4 Intervall 4, $\varphi_N \in (\pi; \frac{4\pi}{3})$ 138
A.1.5 Intervall 5, $\varphi_N \in (\frac{4\pi}{3}; -\frac{\pi}{3})$ 138
A.1.6 Intervall 6, $\varphi_N \in (-\frac{\pi}{3}; 0)$ 139
A.2 Analytisch geschlossene Berechnung der relativen Einschaltdauern 139
A.3 Ersetzen von Zeitgrößen durch Raumzeigergrößen 140
A.4 Relative Einschaltdauern für die gesamte Netzperiode 141

B Berechnung der globalen Mittel- und Effektivwerte der Ströme 143
B.1 Schaltungsstruktur ohne explizite Freilaufdiode 143
B.2 Hochsetzstellerausgangsstufe 145
B.3 Ausgangskondensator 145

C Ermittlung der globalen Schaltverlustleistung 147
C.1 Schaltzustandssequenz 1.2 147
C.2 Schaltzustandssequenz 1.3 147
C.3 Schaltzustandssequenz 2.1 148
C.4 Schaltzustandssequenz 2.2 148
C.5 Schaltzustandssequenz 3.1 149

D Auswahl der Leistungshalbleiter 150
D.1 Tiefsetzstellereingangsstufe 150
D.1.1 Leistungstransistoren 150
D.1.2 Leistungsdioden $D_{i(N)\pm}$ 151
D.1.3 Freilaufdiode D_F 151
D.2 Hochsetzstellerausgangsstufe 151
D.2.1 Leistungstransistor 151
D.2.2 Leistungsdiode D 152

E DC/DC-Ersatzmodell 153
E.1 Dimensionierung des Filterkondensators 154
E.2 Dimensionierung der Zwischenkreisinduktivität 155
E.3 Dimensionierung des Ausgangskondensators 156

F Schaltpläne der praktischen Realisierung 158

G Fotografien des Gleichrichtersystems 166
G.1 Fotografien des Leistungsteils 166
G.2 Fotografien des Steuerteils 168

H Ermittlung der zulässigen Betriebsparameter 169
H.1 Berechnung des maximalen Stromes 169
H.2 Berechnung von Ausgangsleistung und Wirkungsgrad 170

I Analyse des Leistungsmoduls VUI 30-12 N1 **171**
I.1 Messergebnisse der Schaltverlustleistung bei 20 °C Sperrschichttemperatur 171
I.2 Messergebnisse der Schaltverlustleistung bei 120 °C Sperrschichttemperatur 171

J Spannungsrippel am Eingangsfilterkondensator **174**
J.1 Zusammenhänge unter Annahme konstanter Bahngeschwindigkeit 174
J.2 Berechnung des Offsets für Modulationsverfahren 3 175

K Signalprozessorprogramm **177**

L Berechnungen zur Regelung **195**
L.1 Berechnung der Einschaltdauern und des Zwischenkreisstromsollwerts 195
L.2 Berechnungen für maximales Limit des Modulationsindex 196
L.3 Zusammenstellung aller Formeln zur Berechnung der relativen Einschaltdauern 197
L.4 Berechnungen der relativen Einschaltdauern bei Phasenausfall 197
L.5 Berechnungen der relativen Einschaltdauern bei Kurzschluss und gleichzeitigem Phasenausfall 198

M Berechnungen zur Parallelschaltung **200**

Formelzeichen und Abkürzungen

Im Folgenden sind alle verwendeten Formelzeichen, Abkürzungen, Symbole, Indizes und hochgestellte Zeichen angeführt, die jeweils nur an einer Stelle des Textes verwendeten Zeichen u.ä. sind dort definiert und hier nicht angeführt.

$\underline{a}$	Versor des Raumzeigerkalküls, $= \exp\left(\jmath\frac{2\pi}{3}\right)$
C_F	Eingangsfilterkondensator
C_0	Ausgangskondensator
D_F	Freilauf-Leistungsdiode des eingangsseitigen Tiefsetzstellers
$D_{i(N)\pm}$	Leistungsdiode des eingangsseitigen Tiefsetzstellers
D	Leistungsdiode des ausgangsseitigen Hochsetzstellers
f_N	Netzfrequenz
f_P	Pulsfrequenz
f_Q	Quarzoszillatorfrequenz
G	Eingangsleitwert
h	halbe Breite des Hysteresebandes
i	fortlaufende Variable der Netzzuleitungen, $= R, S, T$
i	Strom in der Tief-Hochsetzsteller-Induktivität (Zwischenkreisstrom)
$i_{N,i}$	Netzströme
$i_{U,i}$	Umrichtereingangsströme
$i_{C_F,i}$	Eingangsseitige Filterkondensatorströme
i_0	Ausgangsstrom
ij	fortlaufende Variablen der verketteten Netzgrößen, $= RS, ST, TR$
j	Schaltzustand des Gleichrichtersystems
L	Tief-Hochsetzsteller-Induktivität (Zwischenkreisinduktivität)
L_F	Eingangsfilterinduktivität
M	Modulationsindex des eingangsseitigen Tiefsetzstellers
$M_{\max}$	maximaler Modulationsindex
P	Leistung, allg.
$P_{dim.}$	Dimensionierungsleistung
P_D	Leitverluste einer Leistungsdiode
P_S	Leitverluste eines Leistungstransistors
P_0	Ausgangsleistung
PF	Leistungsfaktor
Q	Gütekriterium zur Bewertung der Modulationsfunktionen, $= \Delta U^2_{C_F,RST,rms}$
r_{CE}	Vorwärtswiderstand eines Leistungstransistors
r_D	Vorwärtswiderstand einer Leistungsdiode
R_0	Ausgangswiderstand
R_Θ	Wärmeübergangswiderstand
S	Scheinleistung
S	Leistungstransistor des ausgangsseitigen Hochsetzstellers
S_i	Leistungstransistor des eingangsseitigen Tiefsetzstellers
s	Schaltzustandsfunktion des ausgangsseitigen Hochsetzstellers, $= \{0, 1\}$
s_i	Schaltzustandsfunktion des eingangsseitigen Tiefsetzstellers, $= \{0, 1\}$

t	Zeit
t_μ	lokale, auf eine Pulsperiode bezogene Zeit
T_J	Sperrschichttemperatur
T_{KK}	Kühlkörpertemperatur
T_N	Netzperiode
T_P	Pulsperiode
THD_A	Total Harmonic Distortion der Netzphasenströme
u	Spannung an der Freilaufdiode des eingangsseitigen Tiefsetzstellers
u'	Spannung am Schalter des ausgangsseitigen Hochsetzstellers
$u_{C_F,i}$	Eingangsseitige Filterkondensatorspannungen
$U_{CE,0}$	Vorwärtsspannung eines Leistungstransistors
u_{err}	Fehlerspannung
$U_{F,0}$	Vorwärtsspannung einer Leistungsdiode
u_n	negative Eingangsspannung im Ersatzschaltbild der Parallelschaltung
$u_{N,i}$	Netzphasenspannungen
$u_{N,ij}$	Außenleiterspannungen zwischen den Phasen i und j
$u_{N,ll}$	Außenleiterspannung, allg.
u_p	positive Eingangsspannung im Ersatzschaltbild der Parallelschaltung
u_0	Ausgangsspannung
w	Schaltverlustenergie
δ	relative, auf eine Pulshalbperiode bezogene Einschaltdauer des Hochsetzstellers
δ_j	relative, auf eine Pulshalbperiode bezogene Einschaltdauer des Schaltzustands j
Δi	Rippel der Zwischenkreisstromes
Δu_{C_F}	Rippel der Eingangsfilterkondensatorspannung
η	Wirkungsgrad
φ_N	Phasenwinkel der Netzgrößen
φ_U	Phasenwinkel der Umrichtereingangsgrößen
ω_N	Netzkreisfrequenz
$\Im$	Imaginärteil einer komplexen Größe
$\Re$	Realteil einer komplexen Größe

Indizes

(1)	Index der 1. Grundschwingung
avg	„average “, Mittelwert
FL	Index des Freilaufzustandes
(n)	Index der $n-$ten Grundschwingung
rms	„root mean square “, Effektivwert
α	Index für den Realteil einer komplexen Zahl
β	Index für den Imaginärteil einer komplexen Zahl
$\pm$	dem positiven/negativen Pfad des Gleichrichtereingangsstromes zugeordnet

Hochgestellte Zeichen

$*$	Sollwert einer Regelgröße
$1, 2$	Nummer des Gleichrichtersystems bei Parallelschaltung
$\pm$	der positiven/negativen Zwischenkreisschiene zugeordnet

Unter- oder oberhalb der Symbole

$\overline{x}$	Mittelwert der Größe x über eine Pulsperiode
$\underline{x}$	komplexe Größe x in der Raumzeigerebene
$\hat{x}$	Spitzenwert der Größe x

Kapitel 1

Einleitung

Die rasch fortschreitende Verbreitung leistungselektronischer Systeme hat zu einer Vielzahl an Richtlinien, Empfehlungen und Vorschriften geführt, die eine Begrenzung der Oberschwingungsbelastung des Netzes sicherstellen sollen. Damit gewinnen netzrückwirkungsarme Stromrichterkonzepte mit näherungsweise sinusförmiger Stromaufnahme und ohmschem Grundschwingungsverhalten immer mehr an Bedeutung. Weiters fordern industrielle Anwendungen Systeme mit hoher Leistungsdichte und hohem Wirkungsgrad und es wird oft die Forderung nach einem möglichen Betrieb des Gleichrichtersystems für einen weltweiten Einsatz, d.h. an einem weiten Eingangspannungsbereich gestellt. Im Folgenden werden unterschiedliche Gleichrichtersysteme vorgestellt und bezüglich Anwendbarkeit für weltweiten Einsatz verglichen, wobei ein Spannungsbereich von 208 V ... 480 V Außenleiterspannung und eine Ausgangsleistung von einigen kW für die Betrachtungen herangezogen wird. Die Ausgangsspannung soll idealerweise 400 V betragen, damit die von Einphasensystemen bekannte Technik für den nachgeschalteten DC/DC-Konverter, der die Ausgangsspannung auf z.B. 48 V oder 60 V heruntersetzt, verwendet werden kann.

1.1 Schaltungsstrukturen

In **Abb. 1.1** sind die bekannten Schaltungsstrukturen von Tiefsetzsteller, Hochsetzsteller sowie Tief-Hochsetzsteller gezeigt, die Funktion dieser Strukturen ist in [1] detailliert beschrieben. Jede dieser Strukturen zeigt die folgenden Eigenschaften:

- Sinusförmige Eingangsströme,
- ohmsches Grundschwingungsverhalten,
- Eingangs- und Ausgangsgrößen zeigen nur schaltfrequente Harmonische,
- bei symmetrischen Netzverhältnissen treten keine niederfrequenten Harmonischen auf,
- kleine Filterbauteile.

Allerdings bieten diese Schaltungsstrukturen nicht die Möglichkeit eines effizienten Einsatzes in einem weiten Eingangsspannungsbereich, wie im Folgenden gezeigt wird, und diese Strukturen erlauben auch nicht die Führung eines sinusförmigen Netzstromes während des Ausfalls einer Phase.

1.1.1 Dreiphasiger Tiefsetzsteller

Der Tiefsetzsteller (vgl. **Abb. 1.1**(a)) weist weiters den Nachteil auf, dass die Ausgangsspannung unter dem kleinsten Spitzenwert der Eingangsspannung liegen muss, für 208 V Außenleiterspannung erhält man damit etwa 200 V Ausgangsgleichspannung. Dies resultiert in sehr hohen Stromwerten, für eine Ausgangsleistung von z.B. 5 kW erhält man einen Strom von 25 A in der Ausgangsinduktivität, bei einer Außenleiterspannung von 480 V beträgt der gefilterte Eingangsstromspitzenwert nur 8,5 A, die Leistungshalbleiter werden jedoch weiterhin mit einem Stromspitzenwert von 25 A beaufschlagt, wobei sich ihre relative Einschaltdauer reduziert. Dadurch ist diese Schaltungsstruktur für einen effizienten Einsatz im weiten Eingangsspannungsbereich nicht geeignet.

1.1.2 Dreiphasiger Hochsetzsteller

Der Hochsetzsteller (vgl. Abb. 1.1(b)) ist die am weitesten verbreitete Schaltungsstruktur für dreiphasige Leistungsfaktorkorrektur für Anwendungen im Bereich der Antriebstechnik und für höhere Leistungen. Die Schaltungsstruktur zeigt einen guten Wirkungsgrad, wenn sie für eine konstante Eingangsspannung (oder einen kleinen Eingangsspannungsbereich) eingesetzt wird. Die Ausgangsspannung muss jedoch über dem Spitzenwert der größten zu erwartenden Außenleiterspannung liegen, d.h. über 679 V im betrachteten Fall, wodurch sich für die kleinste Außenleiterspannung ein sehr hohes Tastverhältnis und damit ein niedriger Wirkungsgrad ergibt. Weiters stellt die hohe Ausgangsgleichspannung ein Problem für die meisten nachgeschalteten DC/DC-Konverterstufen dar, deren MOSFET-Leistungstransistoren für eine Spannung von 400 V – 450 V optimiert sind. Einen Lösungsansatz stellt hier die Serienschaltung zweier DC/DC-Konverterstufen dar [2], der Einsatz eines Hochsetzstellers für weiten Eingangsspannungsbereich ist jedoch auf Grund des geringen Wirkungsgrades im Bereich niedriger Eingangsspannung nicht sinnvoll.

1.1.3 Dreiphasiger Tief-Hochsetzsteller

Die Kombination aus eingangsseitiger dreiphasiger Tiefsetzstellerstufe und nachgeschaltetem Hochsetzsteller weist den Nachteil von pulsierenden Strömen am Eingang als auch am Ausgang auf, wobei der stationäre Wert des Stromes im ausgangsseitigen Schalter über dem Eingangs- bzw. Ausgangsstrom liegt, die Spannungsbeanspruchung des Schalters setzt sich aus der Summe der Eingangs- und der Ausgangsspannung zusammen. Dadurch wird ein Einsatz mit hohem Wirkungsgrad im weiten Eingangsspannungsbereich unmöglich.

1.1.4 Zusammenschaltung einphasiger Schaltungsstrukturen

Eine weitere Möglichkeit der Realisierung eines dreiphasigen Gleichrichtersystems bietet die Zusammenschaltung von drei einphasigen Gleichrichtersystemen, vgl. **Abb. 1.2**. Dies bietet vor allem im höheren Leistungsbereich den Vorteil, dass drei Systeme kleinerer Leistung ausgeführt werden können. Allerdings muss für einen weiten Eingangsspannungsbereich auch hier der DC/DC-Konverter auf eine Eingangsspannung von 800 V ausgelegt werden, was die in Abschnitt 1.1.2 genannten Nachteile mit sich bringt.

Eine Reduktion der Ausgangsspannung erreicht man durch den Ersatz der einphasigen Hochsetzsteller durch drei einphasige Tiefsetzsteller, allerdings ist das Niveau der Ausgangsspannung hier durch die niedrigste Außenleiterspannung vorgegeben und damit sehr klein (vgl. Abschnitt 1.1.1). Auch der Einsatz von drei einphasigen Tief-Hochsetzstellerstufen birgt die in Abschnitt 1.1.3 genannten Nachteile.

Vorteilhafter ist die Zusammenschaltung einer Kombination aus eingangsseitigem Tiefsetzsteller und integriertem Hochsetzsteller [3], vgl. **Abb. 1.3**. Hier werden die Leistungstransistoren der Tief- und der Hochsetzstellerstufe jedoch nicht mit gleichem Tastverhältnis angesteuert, was Kreisströme sowie Leit- und Schaltverluste der Leistungstransistoren erhöhen würde, sondern je nach Eingangsspannung bleibt eine der beiden Gleichrichterstufen inaktiv. Wenn der Momentanwert der Eingangsspannung unter der Ausgangsspannung liegt, arbeitet das System als Hochsetzsteller, die Leistungstransistoren der Tiefsetzstellereingangsstufen sind geschlossen. Liegt der Momentanwert der Eingangsspannung über der Ausgangsspannung, sind die Hochsetzsteller inaktiv, d.h. die Leistungstransistoren der Hochsetzstellerstufen sind geöffnet und nur die Tiefsetzstellerstufen arbeiten. Dadurch besteht die Möglichkeit, eine Ausgangsspannung von z.B. 400 V im gesamten Eingangsspannungsbereich einzustellen, was den Einsatz von konventionellen DC/DC-Konvertern erlaubt. Weiters zeichnet sich diese Schaltungsstruktur durch eine vorteilhafte Ausnutzung der Leistungshalbleiter aus. Außerdem kann eine zusätzliche Hochlaufeinrichtung, wie sie für Systeme in Hochsetzstellerstruktur notwendig ist, entfallen und im Vergleich zu reinen Tiefsetzstellersystemen erlaubt die gezeigte Struktur die Führung sinusförmiger Ströme auch im Fall eines Phasenausfalls.

Allerdings weist die vorgestellte Gleichrichterstruktur durch die Parallelschaltung von drei einphasigen Systemen eine hohe Komplexität auf: es sind sechs Leistungstransistoren mit je einer potentialgetrennten Ansteuerstufe sowie drei Induktivitäten und drei Ausgangskondensatoren notwendig. Weiters müssen die Einphasenstufen aufeinander synchronisiert und Maßnahmen zur symmetrischen Lastaufteilung zwischen den einzelnen Systemen getroffen werden.

Dies legt die Realisierung durch eine weniger komplexe Schaltungsstruktur nahe, die jedoch alle Vorteile der Parallelschaltung von drei einphasigen Tiefsetzstellern mit intgerierten Hochsetzstellerstufen

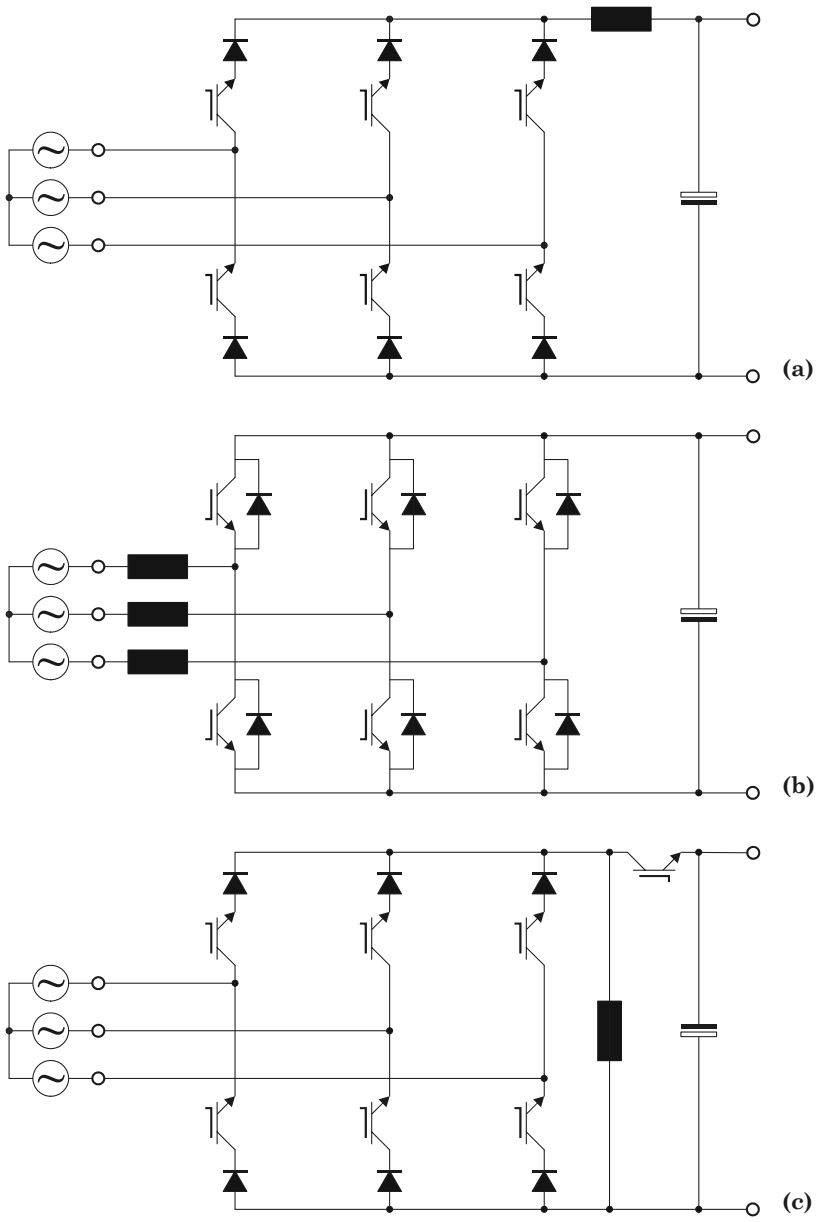


Abb. 1.1: Dreiphasige Gleichrichterschaltungen für Leistungsfaktorkorrektur, **(a)**: Tiefsetzsteller, **(b)**: Hochsetzsteller und **(c)**: Tief-Hochsetzsteller. Die eingeprägten Eingangsspannungen der Tiefsetzstellerstrukturen werden in einer praktischen Realisierung durch die Stern- oder Dreieckschaltung von Filterkondensatoren realisiert.

aufweisen soll. Die Entwicklung einer solchen Schaltungsstruktur wird im folgenden Abschnitt behandelt.

1.2 Entwicklung der Schaltungsstruktur des Dreiphasen/Dreischalter-Tiefsetzstellers mit integrierter Hochsetzstellerausgangsstufe

Um die Komplexität der in Abb. 1.3 vorgestellten Schaltung zu verringern, wird eine direkte dreiphasige Realisierung vorgeschlagen, die aus der Kombination eines konventionellen dreiphasigen Stromzwischenkreisumrichters mit einer integrierten DC/DC-Hochsetzstellerstufe entwickelt wurde, vgl. **Abb. 1.4**, [4], [5], [6].

Ein Nachteil der Kombination eines konventionellen dreiphasigen Stromzwischenkreisumrichters mit der integrierten DC/DC-Hochsetzstellerausgansstufe (vgl. Abb. 1.4(a)) ist, dass die Tiefsetzstellerein-

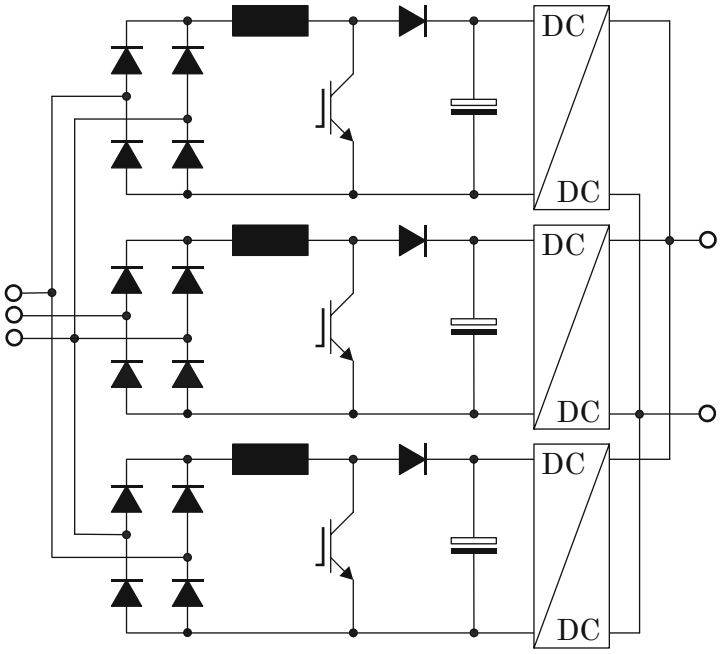


Abb. 1.2: Realisierung eines dreiphasigen Gleichrichtersystems durch Zusammenschaltung von drei Einphasen-Hochsetzstellersystemen und mit ausgangsseitigem DC/DC-Konverter.

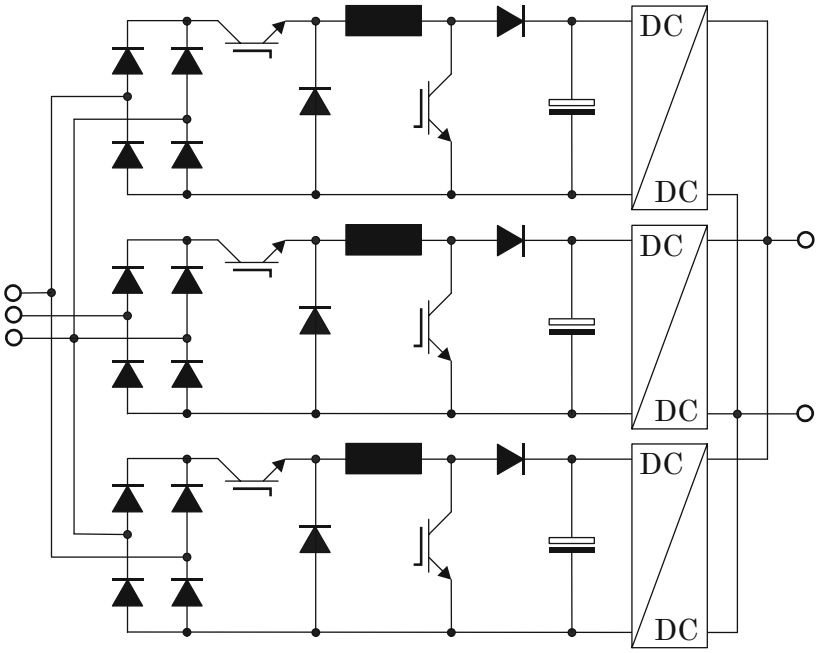


Abb. 1.3: Realisierung eines dreiphasigen Gleichrichtersystems durch Zusammenschaltung der Kombination von drei Einphasen-Tiefsetzstellersystemen mit integrierter Hochsetzstellerausgangsstufe und mit ausgangsseitigem DC/DC-Konverter.

gangsstufe auch einen Leistungsfluss in das Netz zurück erlaubt, während die Hochsetzstellerausgangsstufe nur für eine Energierichtung verwendbar ist. Diese Tatsache legt nahe, die für bidirektionalen Leistungsfluss einsetzbare Eingangsstufe durch eine reine Gleichrichtereingangsstufe zu ersetzen (vgl. Abb. 1.4(b)), [8]. Eine weitere Möglichkeit der Vereinfachung ergibt sich dadurch, dass ein positiver Eingangsstrom $i_U > 0$ über die Diode D_{N+}, den Schalter S und über die Serienschaltung der Dioden D_{M-} und D_{F+},

ein negativer Eingangsstrom $i_U < 0$ über D_{N-}, S und die Serienschaltung von D_{M+} und D_{F-} fließt. Daher können die Dioden D_{M+} und D_{M-} weggelassen werden, wodurch sich die Schaltungsstruktur in Abb. 1.4(c) bzw. Abb. 1.4(d) ergibt [7].

Man erhält damit eine Schaltungsstruktur, die einen wesentlich geringeren Realisierungsaufwand als die Struktur in Abb. 1.3 aufweist, hier sind nur vier Leistungstransistoren mit je einer potentialgetrennten Ansteuerstufe sowie nur eine Induktivität und ein Ausgangskondensator notwendig. Die Schaltungsstruktur weist weiters die folgenden Vorteile auf:

- Regelung der Ausgangsspannung auf 400 V mit hohem Wirkungsgrad in einem weiten Eingangsspannungsbereich von 208 V ... 480 V Außenleiterspannung und daher
- Einsatz von nachgeschalteten DC/DC-Konverterstufen möglich, wie sie für einphasige Anwendungen verwendet werden,
- sinusförmige Stromführung in Phase mit der Netzspannung auch im Fall eines Phasenausfalls und
- kein Bedarf einer Hochlaufeinrichtung.

Die Funktion der Schaltungsstruktur ist für symmetrische Netzbedingungen ähnlich wie in Abschnitt 1.1.4 beschrieben: bei hoher Eingangsspannung arbeitet das Gleichrichtersystem als normaler Tiefsetzsteller, der Leistungstransistor der ausgangsseitigen Hochsetzstellerstufe befindet sich im ausgeschalteten Zustand. Der Mittelwert der Ausgangsspannung der Tiefsetzstellerstufe – gebildet durch die Tief-Hochsetzstellerinduktivität und den Ausgangskondensator – ist in diesem Betriebszustand gleich der Gesamt-Ausgangsspannung. Wenn die Eingangsspannung Werte annimmt, bei denen der Sollwert der Ausgangsspannung nicht mehr durch die Tiefsetzstellerstufe erzeugt werden kann, wird die Hochsetzstellerstufe aktiviert und setzt die Tiefsetzstellerausgangsspannung auf den Sollwert der Gesamt-Ausgangsspannung hoch. Die Tiefsetzstellereingangsstufe ist jedoch – im Gegensatz zu diesem Betriebszustand bei einem einphasigen System [3] – weiterhin aktiv, da sie für die sinusförmige Stromführung verantwortlich ist, und arbeitet dabei an oder in der Nähe der Grenze ihres Aussteuerbereichs.

Die folgenden Kapitel beschäftigen sich mit der theoretischen und experimentellen Analyse dieses neuartigen Dreiphasen-Pulsgleichrichtersystems mit Dreischalter-Tiefsetzstellereingangsstufe und integrierter Hochsetzstellerausgangsstufe mit Leistungsfaktorkorrektur. Der theoretischen Betrachtung des Gleichrichtersystems folgen die Auswahl eines Modulationsverfahrens – d.h. einer Anordnung der Schaltzustände – basierend auf den verursachten Schaltverlusten, die praktische Realisierung und eine experimentelle Analyse des Systems, mit welcher die gewählten Betriebsparameter überprüft bzw. korrigiert werden. Weiters werden die vorgestellten Modulationsverfahren hinsichtlich ihres Verhaltens auf der Eingangs- und Ausgangsseite verglichen, eine Regelung zur Beherrschung des Normalbetriebs und des Betriebs während unterschiedlicher Fehlerzustände entwickelt sowie die Parallelschaltung von zwei Pulsgleichrichtersystemen untersucht.

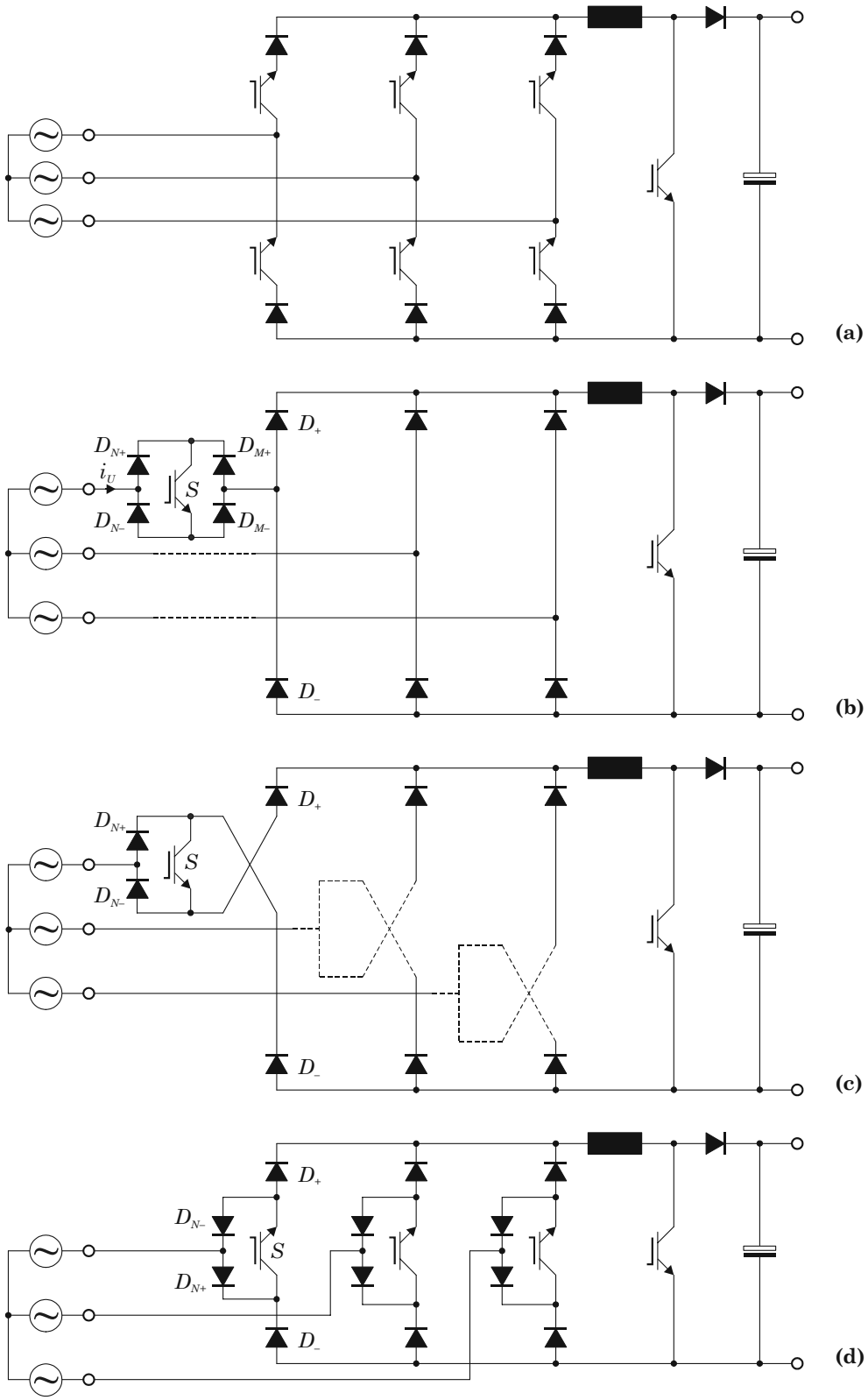


Abb. 1.4: Entwicklung der Schaltungsstruktur des neuartigen dreiphasigen Gleichrichtersystems **(d)** für weiten Eingangsspannungsbereich ausgehend von der Kombination eines konventionellen Stromzwischenkreisumrichters mit einer integrierten Hochsetzstellerausgangsstufe **(a)**.

Kapitel 2

Grundlegende theoretische Betrachtungen

Dieses Kapitel befasst sich mit der theoretischen Betrachtung des Gleichrichtersystems, wobei basierend auf vereinfachenden Annahmen und Voraussetzungen die Leitzustände der Tiefsetzstellereingangsstufe und damit die möglichen Stromraumzeiger, die zur Bildung eines Eingangsstromes zur Verfügung stehen, untersucht werden. Weiters werden die für die Führung eines sinusförmigen, in Phase mit der Netzspannung liegenden Netzstromes notwendigen Einschaltdauern analytisch geschlossen berechnet und damit die Strommittelwerte und -effektivwerte der aktiven und passiven Bauelemente der Tiefsetzstellereingangsstufe sowie der Hochsetzstellerausgangsstufe ermittelt. Außerdem werden die Sperrspannungsbeanspruchungen der Leistungshalbleiter für Eingangs- und Ausgangsstufe angegeben.

2.1 Schaltungsstruktur

Die Schaltungsstruktur des Dreiphasen/Dreischalter-Tiefsetzstellers mit integrierter Hochsetzstellerausgangsstufe ist mit einer detaillierten Bezeichnung der Bauelemente sowie der Ströme und Spannungen in **Abb. 2.1** gezeigt. Zur Filterung der diskontinuierlichen Gleichrichtereingangsströme $i_{U,i}$, $i = R, S, T$, ist ein vorgeschaltetes Tiefpassfilter zweiter Ordnung ($L_{F,i}$, $C_{F,i}$) vorgesehen, weiters gibt es in Erweiterung zu der in Abb. 1.4(d) gezeigten Schaltung eine explizite Freilaufdiode D_F am Ausgang der Tiefsetzstellereingangsstufe (vgl. Abschnitt 2.4).

2.2 Annahmen und Voraussetzungen

Für nachstehende Betrachtungen und Berechnungen werden folgende vereinfachende Annahmen getroffen:

- Rein sinusförmige, symmetrische Netzspannungen $u_{N,i}$

$$\begin{aligned} u_{N,R} &= \hat{U}_N \cos(\omega_N t), \\ u_{N,S} &= \hat{U}_N \cos(\omega_N t - \frac{2\pi}{3}), \\ u_{N,T} &= \hat{U}_N \cos(\omega_N t + \frac{2\pi}{3}), \end{aligned} \tag{2.1}$$

  bzw. ein Netzspannungsraumzeiger

$$\underline{u}_N = \hat{U}_N \exp(\jmath \varphi_N) \tag{2.2}$$

  wobei $\omega_N t = \varphi_N$ ist und ω_N die Netzkreisfrequenz bezeichnet,

- ein konstanter, von der Tief-Hochsetzsteller-Induktivität L (im Folgenden Zwischenkreisinduktivität) eingeprägter Strom I,

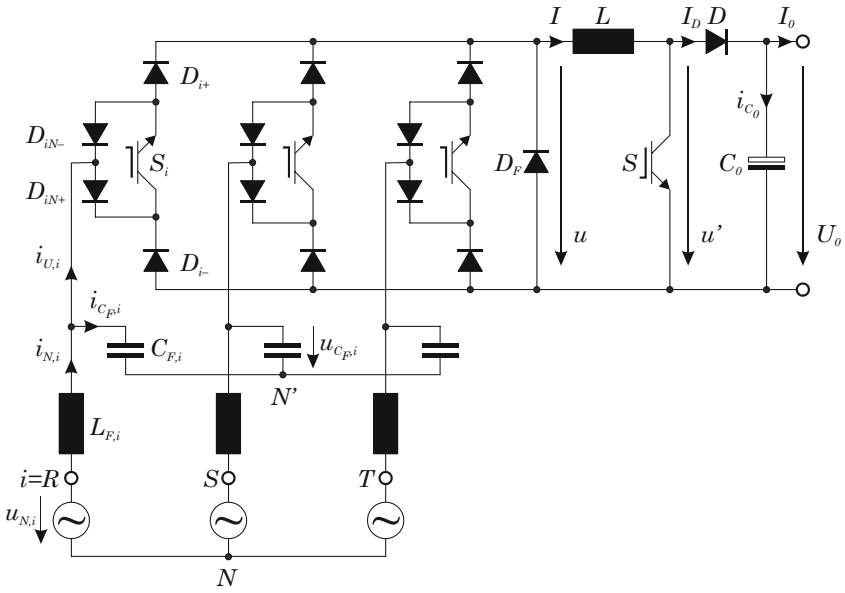


Abb. 2.1: Schaltungsstruktur der Tiefsetzstellereingangsstufe mit vorgeschaltetem Tiefpassfilter und expliziter Freilaufdiode.

- ein konstanter Ausgangsstrom I_0 und eine konstante Ausgangsspannung U_0,
- Vernachlässigung des kapazitiven Stromanteils $i_{C_F,i}$ der Eingangsfilterkondensatoren und des Netzstromrippels, d.h. der Netzstrom wird gleich der Grundschwingung des Gleichrichtereingangsstromes angenommen, $i_{N,i} = i_{U,(1),i}$,
- Vernachlässigung des Spannungsabfalls an der Eingangsfilterinduktivität $L_{F,i}$ und des Rippels der Eingangsfilterkondensatorspannung, d.h. die Netzspannung wird gleich der Spannung an den Filterkondensatoren angenommen, $u_{N,i} = u_{C_F,i}$,
- Annahme idealer aktiver Bauelemente, d.h. Vernachlässigung von Flussspannungsabfällen und Innenwiderständen der Leistungshalbleiter,
- Annahme idealer passiver Bauelemente,
- Vernachlässigung von parasitären Einflüssen.

Anmerkung: Der Raumzeiger, der einem System von drei Phasengrößen zugeordnet ist, berechnet sich gezeigt am Beispiel der Netzphasenspannungen gemäß

$$\underline{u}_N = \frac{2}{3}(u_{N,R} + \underline{a}\, u_{N,S} + \underline{a}^2\, u_{N,T}) \qquad \text{mit} \qquad \underline{a} = \exp\left(\jmath\, \frac{2\pi}{3}\right), \tag{2.3}$$

wobei folgender Zusammenhang gilt

$$1 + \underline{a} + \underline{a}^2 = 0. \tag{2.4}$$

Aus jedem Raumzeiger können durch Projektion auf die Achsen 1, $\underline{a}$ und $\underline{a}^2$ die Momentanwerte der Phasengrößen rückgewonnen werden. Für die Phasenspannungen ergeben sich

$$\begin{aligned} u_{N,R} &= \Re\{\underline{u}_N\}, \\ u_{N,S} &= \Re\{\underline{a}^2\, \underline{u}_N\}, \\ u_{N,T} &= \Re\{\underline{a}\, \underline{u}_N\}. \end{aligned} \tag{2.5}$$

Das Raumzeigerkalkül hat seinen Ursprung im Bereich der rotierenden Maschinen [9], es wird jedoch auch vorteilhaft für die Analyse leistungselektronischer Schaltungen angewendet [10]. Der gesamte Systemzustand kann durch Darstellung des eingangsseitigen Spannungs- bzw. Stromraumzeigers mit der Zeit t als Parameter in übersichtlicher Form beschrieben und rasch beurteilt werden. Für die grundlegenden Untersuchungen des Systems am symmetrischen Netz wird daher das Raumzeigerkalkül herangezogen.

2.3 Allgemeine Anforderungen

Der Betrieb des Gleichrichtersystems soll solcherart erfolgen, dass ohmsches Netzverhalten vorliegt, sodass bei symmetrischem, sinusförmigem Netz sinusförmige, in Phase mit der Netzspannung liegende Ströme dem Netz entnommen werden. D.h. es muss eine Grundschwingung des Gleichrichtereingangsstromes gebildet werden, die in Phase mit der zugehörigen Netzphasenspannung liegt ($\varphi_U = \varphi_N$, wobei φ_U den Phasenwinkel des Gleichrichtereingangsstromes bezeichnet),

$$\underline{i}_{U,(1)} = \hat{I} \exp(\jmath\varphi_U) = \underline{i}_N. \tag{2.6}$$

Gleichzeitig darf die Voraussetzung einer konstanten Ausgangsspannung U_0 des Gleichrichtersystems nicht verletzt werden. Beides wird durch geeignete Wahl der Einschaltdauern der Leistungstransistoren der Tiefsetzstellereingangsstufe realisiert, die basierend auf den zur Verfügung stehenden Leitzuständen des Systems analytisch geschlossen berechnet werden können.

2.4 Leitzustände und Stromraumzeiger der Eingangsstufe

Wegen der Symmetrie des Gleichrichtersystems und der Symmetrie der Netzspannungen wird eine detaillierte Analyse des Systems auf ein $\frac{\pi}{3}$-breites Netzspannungsintervall beschränkt. Im vorliegenden Fall wird das Intervall, das durch das Netzspannungsverhältnis

$$u_{N,R} > u_{N,S} > u_{N,T} \tag{2.7}$$

beschrieben ist, betrachtet, vgl. **Abb. 2.2**. Diese Intervall wird im Folgenden als Intervall 1 bezeichnet. Eine Netzperiode besteht aus sechs Intervallen, die durch die Netzspannungsverhältnisse in jeweils in zwei gleich große Sektoren unterteilt sind, für Sektor 1 gilt

$$u_{N,R} > 0 > u_{N,S} > u_{N,T} \tag{2.8}$$

und für Sektor 2 gilt

$$u_{N,R} > u_{N,S} > 0 > u_{N,T}. \tag{2.9}$$

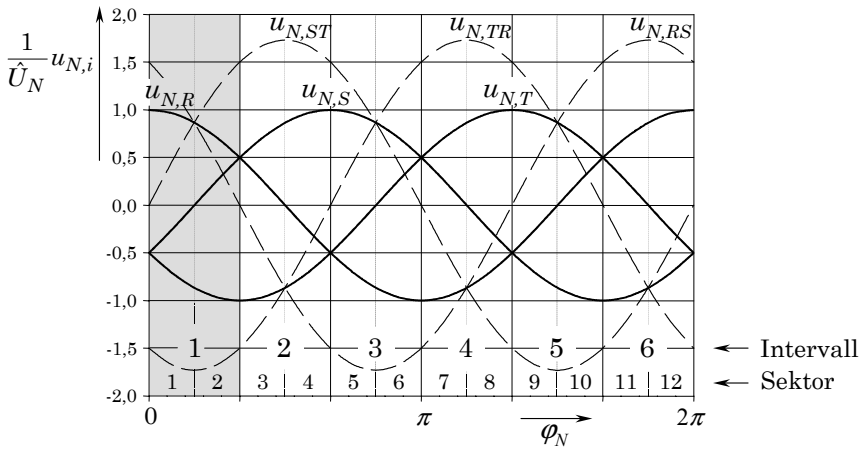


Abb. 2.2: Intervalle, die sich aus dem Verhältnis der Netzphasenspannungen $u_{N,i}$ ergeben. Das für die Analyse des Systems herangezogene Intervall 1, $\varphi_N \in (0; \frac{\pi}{3})$ ist hellgrau hinterlegt. Die Intervalle sind weiters in zwei gleich große Sektoren (Sektor 1 – 12) unterteilt.

Die Schaltzustände der Leistungstransistoren S_i, $i = R, S, T$, und S werden durch Schaltzustandsfunktionen s_i und s beschrieben, wobei $s_i, s = 0$ den ausgeschalteten Zustand und $s_i, s = 1$ den eingeschalteten Zustand bezeichnet. Um den gesamten Schaltzustand der Tiefsetzstellereingangsstufe zu bezeichnen, wird die Kombination $j = (s_R\, s_S\, s_T)$ der Schaltzustandsfunktionen der einzelnen Phasen herangezogen. Man erhält damit in jedem der sechs Intervalle $2^3 = 8$ mögliche Schaltzustände j, in denen der durch die

Zwischenkreisinduktivität eingeprägte Strom auf die Netzphasen verteilt wird (aktiver Schaltzustand), oder in denen der Zwischenkreisstrom über die Freilaufdiode freiläuft (Freilaufzustand).

Für $s_i = 1$ entspricht ein Brückenzweig dem einer einfachen Diodenbrücke, vgl. **Abb. 2.3**, wodurch der Strompfad für die einzelnen Schaltzustände leicht ermittelt werden kann, vgl. **Abb. 2.4**, wie im Folgenden an Schaltzustand $j = (101)$ gezeigt ist. Im Schaltzustand $j = (101)$ fließt wegen des Spannungsverhältnisses $u_{N,R} > u_{N,S} > u_{N,T}$ ein positiver Strom $+I$ in Phase R und ein negativer Strom $-I$ in Phase T, Phase S bleibt stromlos, da sich der Leistungstransistor S_S im ausgeschalteten Zustand befindet, vgl. Abb. 2.4(b). Damit erhält man mit (2.3) für den zugehörigen Stromraumzeiger

$$\underline{i}_{U,(101)} = \frac{2}{3}\left[I + \underline{a} \cdot 0 - \underline{a}^2 \cdot I\right] = \frac{2}{\sqrt{3}}\, I\, e^{+j\frac{\pi}{6}}. \tag{2.10}$$

Befinden sich alle Leistungstransistoren im eingeschalteten Zustand, $j = (111)$, entspricht die dreiphasige Tiefsetzstellereingangsstufe einer dreiphasigen Diodenbrücke. Auf Grund der vorliegenden Spannungsverhältnisse (2.7) stellt sich in Phase R ein positiver Strom und in Phase T ein negativer Strom ein; Phase S bleibt stromlos, da das Potential am Eingang dieses Brückenzweiges bezogen auf den Netzsternpunkt N zwischen den Potentialen der anderen Brückenzweige liegt. Damit liegt für $j = (101)$ und $j = (111)$ ein bezüglich des Eingangsstromraumzeigers redundanter Schaltzustand vor, d.h. beide Schaltzustände können herangezogen werden, um $i_{U,R} = +I$, $i_{U,S} = 0$ und $i_{U,T} = -I$ zu erhalten.

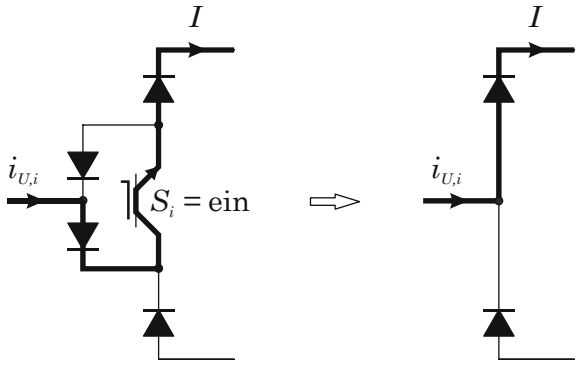


Abb. 2.3: Der Brückenzweig der Tiefsetzstellereingangsstufe entspricht für eingeschalteten Leistungstransistor S_i dem Brückenzweig einer einfachen Diodenbrücke. Der Stromfluss ist für einen positiven Gleichrichtereingangsstrom $i_{U,i} > 0$ mittels einer fetten Linie dargestellt.

Gibt es keinen Stromfluss vom Gleichstromzwischenkreis in das Netz, so läuft der von der Zwischenkreisinduktivität L eingeprägte Zwischenkreisstrom I frei. Ist keine explizite Freilaufdiode vorgesehen, vgl. Abb. 1.4(d), so muss ein Freilaufpfad über einen der drei Brückenzweige sichergestellt sein, d.h. Schaltzustand $j = (001)$, $j = (010)$ oder $j = (100)$ muss eingestellt werden, vgl. Abb. 2.4(f). Schaltzustand $j = (000)$ (Abb. 2.4(d)) führt ohne Vorhandensein einer Freilaufdiode zur Zerstörung des Systems. Aus Gründen der Sicherheit und für den Fall, dass ein Fehl-Schaltzustand an das System angelegt wird bzw. ein oder mehrere Schaltsignale ausfallen, wird im Folgenden die Schaltungsstruktur mit expliziter Freilaufdiode (vgl. Abb. 2.1) betrachtet. Ein weiterer Vorteil der expliziten Freilaufdiode ist die Verringerung der Leitverluste während des Freilaufzustandes, da der Stromfluss auch bei einem geschlossenen Leistungstransistor nicht über den Brückenzweig (Dioden D_{i-}, D_{i+} und Schalter S_i) sondern auf Grund des geringeren Widerstandes über die Freilaufdiode führt, vgl. Abb. 2.4(e). Als Nachteil muss allerdings der etwas erhöhte Realisierungsaufwand genannt werden.

Tabelle 2.1 zeigt alle in Intervall 1 möglichen Kombinationen der Schaltzustandsfunktionen s_i, die dazugehörigen Gleichrichtereingangsströme $i_{U,i}$ und den am Gleichrichtereingang gebildeten Stromraumzeiger $\underline{i}_{U,j}$. Es liegen vier Freilaufzustände und vier aktive Schaltzustände vor, wobei zwei der aktiven Schaltzustände den selben Stromraumzeiger liefern, die Stromraumzeiger sind in **Abb. 2.5** angegeben. Die Leitzustände und die dazugehörigen Gleichrichtereingangsströme und Stromraumzeiger der gesamten Netzperiode sind in Anhang A.1 angegeben.

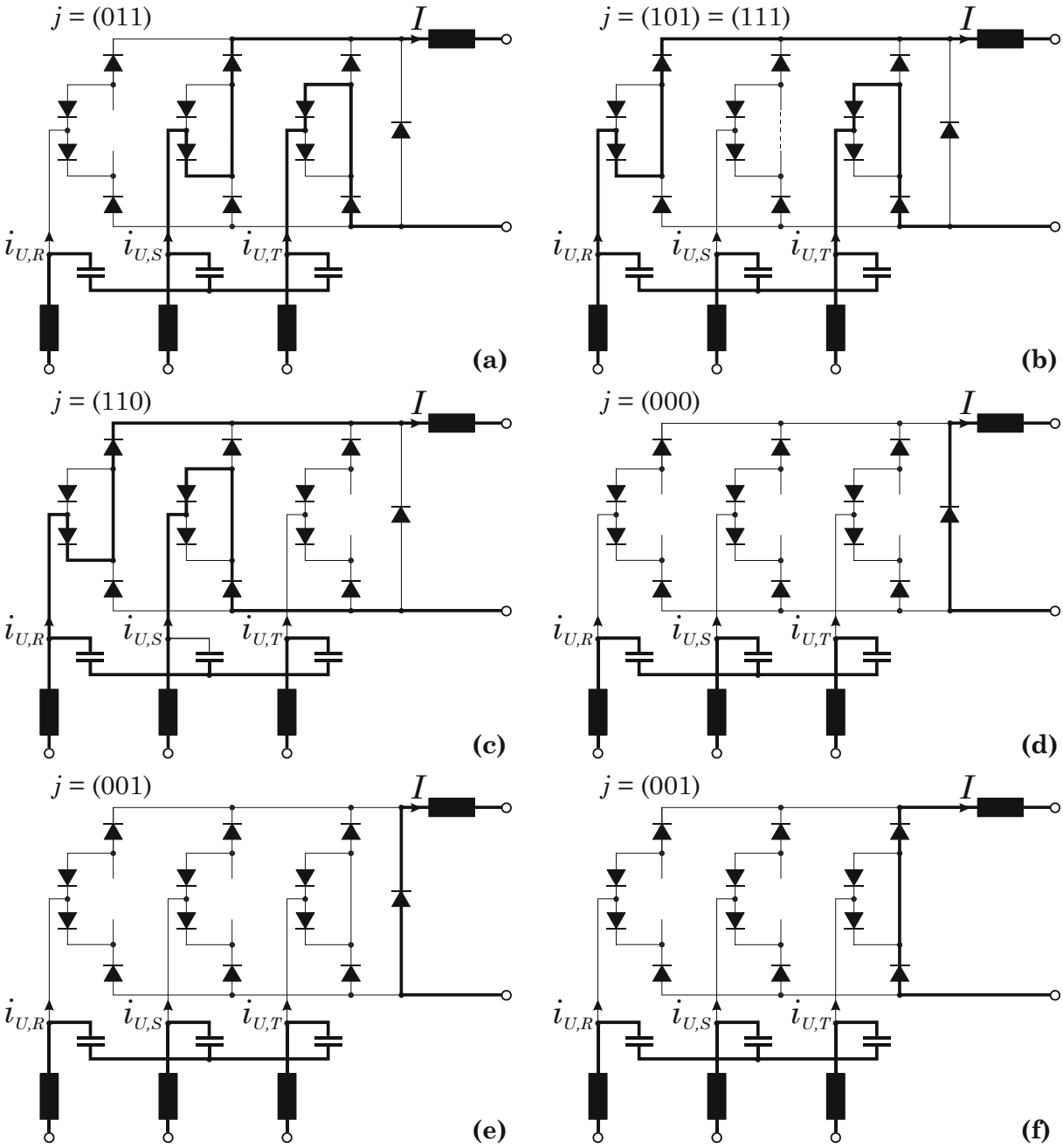


Abb. 2.4: Leitzustände der Tiefsetzstellereingangsstufe gemäß Tab. 2.1 gültig im Intervall 1 für $u_{N,R} > u_{N,S} > u_{N,T}$. Der Stromfluss ist mittels einer fetten Linie dargestellt, die Leistungstransistoren S_i sind aus Gründen der Übersichtlichkeit nicht explizit dargestellt, wobei eine Unterbrechung dem Leistungsschalter im ausgeschalteten Zustand und eine durchgezogenen Linie dem Leistungsschalter im eingeschalteten Zustand entspricht. **(a)-(c):** Aktive Schaltzustände, **(d)-(f):** Freilaufzustände.

2.5 Bildung des Eingangsstromes

Zur Bildung des geforderten Sollstromraumzeigers $\underline{i}_U^*$ am Eingang des Gleichrichtersystems bzw. eines Netzstromraumzeigers $\underline{i}_N^* = \underline{i}_U^* = \underline{i}_{U,(1)}$, vgl. (2.6), werden nur die zu $\underline{i}_U^*$ unmittelbar benachbart liegenden Stromraumzeiger verwendet, um die Abweichung zwischen Soll- und Istwert und damit die Rippelkomponenten der Spannung an den Eingangsfilterkondensatoren und des Netzstromes möglichst gering zu halten. In Intervall 1 werden daher für einen Winkel des Sollstromraumzeigers $\varphi_U \in (0; \frac{\pi}{6})$ (Sektor 1)

s_R	s_S	s_T	$i_{U,R}$	$i_{U,S}$	$i_{U,T}$	$\underline{i}_{U,j}$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	$+I$	$-I$	$\frac{2}{\sqrt{3}}\jmath I$
1	0	0	0	0	0	0
1	0	1	$+I$	0	$-I$	$\frac{2}{\sqrt{3}} I\, e^{+\jmath\frac{\pi}{6}}$
1	1	0	$+I$	$-I$	0	$\frac{2}{\sqrt{3}} I\, e^{-\jmath\frac{\pi}{6}}$
1	1	1	$+I$	0	$-I$	$\frac{2}{\sqrt{3}} I\, e^{+\jmath\frac{\pi}{6}}$

Tab. 2.1: Schaltzustandsfunktionen s_i, dazugehörige Gleichrichtereingangsströme $i_{U,i}$ und Stromraumzeiger $\underline{i}_{U,j}$ für Intervall 1.

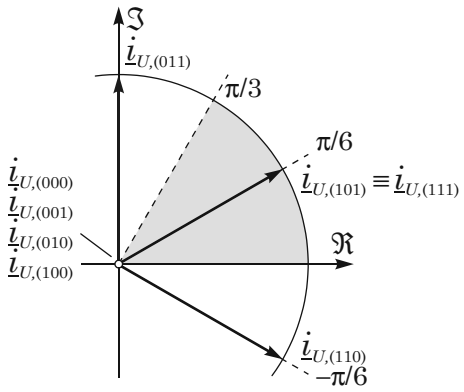


Abb. 2.5: Am Gleichrichtereingang in Intervall 1 ($\varphi_N \in (0; \frac{\pi}{3})$) zur Verfügung stehende Stromraumzeiger $\underline{i}_{U,j}$ (vgl. Tab. 2.1).

die Schaltzustände $j = (110)$ und $j = (101) = (111)$, für $\varphi_U \in (\frac{\pi}{6}; \frac{\pi}{3})$ (Sektor 2) die Schaltzustände $j = (101) = (111)$ und $j = (011)$ zur Bildung des Gleichrichtereingangsstromes herangezogen. Mit den im jeweiligen Sektor zu verwendenden diskreten Stromraumzeigern $\underline{i}_{U,j}$ wird durch entsprechende Gewichtung deren relativer Einschaltdauern innerhalb einer Pulsperiode der Sollstromraumzeiger $\underline{i}_U^*$ gebildet.

Der geforderte Spitzenwert des Netzstromes $\hat{I}_N$ (d.h. die Länge des Sollstromraumzeigers $|\underline{i}_U^*|$) bestimmt in Abhängigkeit des von der Zwischenkreisinduktivität eingeprägten Stromes I den Aussteuergrad M der Tiefsetzstellereingangsstufe,

$$M = \frac{\hat{I}_N}{I}, \qquad M \in (0; 1), \tag{2.11}$$

wobei der Bereich $M \in (0; 1)$ für die gesamte Netzperiode gültig ist, während in den Intervallmitten (z.B. bei $\varphi_U = \pm\frac{\pi}{6}$) der Aussteuergrad einen Maximalwert von $M = \frac{2}{\sqrt{3}}$ erreicht, vgl. **Abb. 2.6**. Wird die Tiefsetzstellereingangsstufe verlustfrei angenommen,

$$P_{in} = \frac{3}{2} \cdot \hat{U}_N \cdot \hat{I}_N = U \cdot I = P_{out}, \tag{2.12}$$

so kann der Modulationsindex auch ausgedrückt werden durch

$$M = \frac{2}{3} \cdot \frac{U}{\hat{U}_N}. \tag{2.13}$$

Bei der Berechnung der relativen Einschaltdauern müssen die folgenden Forderungen beachtet werden:

- Der Netzstrom soll proportional der Netzspannung sein (ohmsches Verhalten)

$$\underline{u}_N \propto \underline{i}_N = \underline{i}_{U,(1)}, \tag{2.14}$$

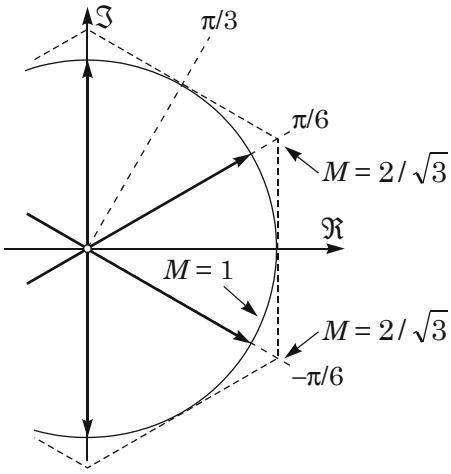


Abb. 2.6: Grenzen des Modulationsindex M der Tiefsetzstellereingangsstufe.

- die Summe der relativen Einschaltdauern innerhalb einer Pulshalbperiode muss gleich 1 sein,

$$\sum \delta_j = 1, \tag{2.15}$$

- der Mittelwert der Ausgangsspannung der Tiefsetzstellereingangsstufe, der aus Ausschnitten der Netzaußenleiterspannungen $u_{N,ij}$ besteht, muss konstant und gleich dem Sollwert der Ausgangsspannung U^* sein,

$$\int_{T_P/2} u_{N,ij} \cdot \delta_j = U^*. \tag{2.16}$$

Für das Winkelintervall $\varphi_U \in (0; \frac{\pi}{6})$ erhält man mit Abb. 2.4(b)-(d) für die erste Bedingung (2.14)

$$u_{N,R} \propto i_{N,R} = +I \cdot (\delta_{(101)} + \delta_{(110)}), \tag{2.17}$$
$$u_{N,S} \propto i_{N,S} = -I \cdot \delta_{(110)}, \tag{2.18}$$
$$u_{N,T} \propto i_{N,T} = -I \cdot \delta_{(101)}. \tag{2.19}$$

Die zweite Bedingung (2.15) liefert

$$\delta_{(101)} + \delta_{(110)} + \delta_{FL} = 1. \tag{2.20}$$

Während der aktiven Schaltzustände wird jeweils die Differenz zweier Eingangsfilterkondensatorspannungen (die bei Vernachlässigung des Spannungsabfalls an den Filterinduktivitäten $L_{F,i}$ gleich den Netzphasenspannungen sind, vgl. Abschnitt 2.2) an den Ausgang der Tiefsetzstellereingangsstufe geschaltet und liegt als Sperrspannung an der Freilaufdiode D_F an. Während des Freilaufzustandes ist diese Spannung (unter Vernachlässigung des Flussspannungsabfalles, vgl. Abschnitt 2.2) gleich Null. Durch Mittelwertbildung (realisiert durch die Zwischenkreisinduktivität L) ergibt sich eine konstante Spannung, die (bei entsprechend gewählten Einschaltdauern) dem Sollwert der Tiefsetzstellerausgangsspannung U^* entspricht. Man erhält damit für die dritte Bedingung (2.16)

$$\delta_{(101)} \cdot u_{C_F,RT} + \delta_{(110)} \cdot u_{C_F,RS} + \delta_{FL} \cdot 0 = U^*. \tag{2.21}$$

Für die Ermittlung der relativen Einschaltdauern liegen damit die Gleichungen (2.17) – (2.21) vor. Mit (2.18) und (2.19) erhält man mittels Division

$$\frac{u_{C_F,S}}{u_{C_F,T}} = \frac{\delta_{(110)}}{\delta_{(101)}} \tag{2.22}$$

und damit

$$\delta_{(110)} = \delta_{(101)} \frac{u_{C_F,S}}{u_{C_F,T}}. \tag{2.23}$$

Aus (2.21) erhält man für $\delta_{(110)}$

$$\delta_{(110)} = \frac{U^* - \delta_{(101)} \cdot u_{C_F,RT}}{u_{C_F,RS}}. \tag{2.24}$$

Gleichsetzen von (2.23) und (2.24) liefert für $\delta_{(101)}$

$$\delta_{(101)} = \frac{U^*}{u_{C_F,S} \cdot u_{C_F,RS} + u_{C_F,T} \cdot u_{C_F,RT}} \cdot u_{C_F,T}, \tag{2.25}$$

oder unter Verwendung der Raumzeigerdefinition (vgl. Anhang A.3)

$$\delta_{(101)} = -\frac{2}{3} \cdot \frac{U^*}{|\underline{u}_{C_F}|^2} \cdot u_{C_F,T}, \tag{2.26}$$

unter Verwendung des Modulationsindex (2.13) mit $|\underline{u}_{C_F}| = \hat{U}_N$ erhält man

$$\delta_{(101)} = -M \cdot \frac{u_{C_F,T}}{|\underline{u}_{C_F}|}. \tag{2.27}$$

Für die relative Einschaltdauer des zweiten aktiven Schaltzustandes erhält man mit (2.22)

$$\begin{aligned} \delta_{(110)} &= \frac{U^*}{u_{C_F,S} \cdot u_{C_F,RS} + u_{C_F,T} \cdot u_{C_F,RT}} \cdot u_{C_F,S} = && (2.28)\\ &= -\frac{2}{3} \cdot \frac{U^*}{|\underline{u}_{C_F}|^2} \cdot u_{C_F,S} = && (2.29)\\ &= -M \cdot \frac{u_{C_F,S}}{|\underline{u}_{C_F}|} && (2.30) \end{aligned}$$

und für den Freilaufzustand ergibt sich mit (2.20)

$$\begin{aligned} \delta_{FL} &= 1 + \frac{U^*}{u_{C_F,S} \cdot u_{C_F,RS} + u_{C_F,T} \cdot u_{C_F,RT}} \cdot u_{C_F,R} = && (2.31)\\ &= 1 - \frac{2}{3} \cdot \frac{U^*}{|\underline{u}_{C_F}|^2} \cdot u_{C_F,R} = && (2.32)\\ &= 1 - M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|}. && (2.33) \end{aligned}$$

Diese Formeln zur Berechnung der relativen Einschaltdauern $\delta_{(101)}$, $\delta_{(110)}$ und δ_{FL} gelten auch in Sektor 12, da dort dieselben Stromraumzeiger wie in Sektor 1 für die Bildung des Eingangsstromraumzeigers zur Verfügung stehen. Statt des hier gezeigten Rechenganges könnten die relativen Einschaltdauern auch unter Zuhilfenahme einfacher goniometrischer Überlegungen erfolgen, vgl. Anhang A.2. Der Verlauf der relativen Einschaltdauern für Sektor 1 ist in **Abb. 2.7** für einen Modulationsindex $M = 1$ dargestellt. Die Formeln für die Berechnung der Einschaltdauern für die gesamte Netzperiode sind in Anhang A.4 angegeben.

2.6 Bauelementebeanspruchungen

Mit den im vorigen Abschnitt berechneten Einschaltdauern können die Mittel- und Effektivwerte der Ströme durch die aktiven und passiven Bauelemente der Tiefsetzstellereingangsstufe ermittelt werden, die für deren praktische Auswahl benötigt werden. Die Berechnung erfolgt durch Analyse des Stromflusses in einem Brückenzweig innerhalb einer Pulshalbperiode sowie innerhalb der gesamten Netzperiode. Die Berechnung der Mittel- und Effektivwerte der Ströme ist auch für die Bauelemente der Hochsetzstellerausgangsstufe angegeben. Weiters wird die für die Auswahl der Bauelemente notwendige Sperrspannungsbeanspruchung der Leistungshalbleiter der Eingangs- und Ausgangsstufe ermittelt.

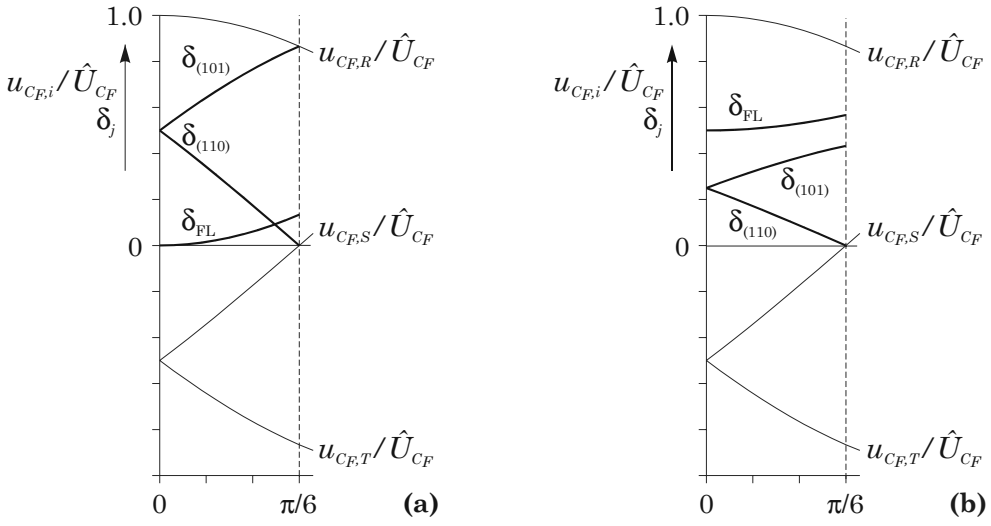


Abb. 2.7: Verlauf der relativen Einschaltdauern δ_j und der normierten Eingangsfilterkondensatorspannungen $u_{C_F,i}/\hat{U}_N$ im Winkelintervall $\varphi_U \in (0; \frac{\pi}{6})$ für einen Modulationsindex **(a)** $M = 1$ und **(b)** $M = 0,5$.

2.6.1 Strombelastung der Tiefsetzstellereingangsstufe

In Sektor 1 ($\varphi_U \in (0; \frac{\pi}{6})$, Intervall 1) sowie in Sektor 12 ($\varphi_U \in (-\frac{\pi}{6}; \frac{\pi}{6})$, Intervall 6) treten die Schaltzustände $j = (110)$, $j = (101)$ und der Freilaufzustand (z.B. $j = (000)$) auf, in Sektor 2 ($\varphi_U \in (\frac{\pi}{6}; \frac{\pi}{3})$, Intervall 1) und Sektor 3 ($\varphi_U \in (\frac{\pi}{3}; \frac{\pi}{2})$, Intervall 2) werden die Schaltzustände $j = (101)$, $j = (011)$ sowie der Freilaufzustand zur Bildung des Eingangsstromes verwendet. Der Stromfluss während dieser Schaltzustände im Brückenzweig der Phase R ist in **Abb. 2.8** dargestellt.

Man erhält damit für die lokalen Mittelwerte der Ströme in den Dioden und im Schalter innerhalb der Sektoren 12 und 1 ($\varphi_U \in (-\frac{\pi}{6}; \frac{\pi}{6})$) mit (2.1), (2.11), (2.27) und (2.30)

$$i_{D_{RN-},avg} = i_{D_{R-},avg} = 0, \tag{2.34}$$

$$i_{D_{RN+},avg} = i_{D_{R+},avg} = i_{S_R,avg} = I \cdot (\delta_{(110)} + \delta_{(101)}) = I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = \hat{I}_N \cdot \cos(\varphi_U), \tag{2.35}$$

in Sektoren 2 und 3 ($\varphi_U \in (\frac{\pi}{6}; \frac{\pi}{2})$) ergibt sich (vgl. Tab. A.7)

$$i_{D_{RN-},avg} = i_{D_{R-},avg} = 0, \tag{2.36}$$

$$i_{D_{RN+},avg} = i_{D_{R+},avg} = i_{S_R,avg} = I \cdot \delta_{(101)} = I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = \hat{I}_N \cdot \cos(\varphi_U). \tag{2.37}$$

Mit Tab. A.2 – Tab. A.6 und Tab. A.7 lassen sich weiters die lokalen Mittelwerte in den restlichen Sektoren bestimmen. Man erhält für Sektoren 4 und 5 ($\varphi_U \in (\frac{\pi}{2}; \frac{5\pi}{6})$)

$$i_{D_{RN-},avg} = i_{D_{R-},avg} = i_{S_R,avg} = I \cdot \delta_{(110)} = -I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = -\hat{I}_N \cdot \cos(\varphi_U), \tag{2.38}$$

$$i_{D_{RN+},avg} = i_{D_{R+},avg} = 0, \tag{2.39}$$

für Sektoren 6 und 7 ($\varphi_U \in (\frac{5\pi}{6}; \frac{7\pi}{6})$)

$$i_{D_{RN-},avg} = i_{D_{R-},avg} = i_{S_R,avg} = I \cdot (\delta_{(101)} + \delta_{(110)}) = -I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = -\hat{I}_N \cdot \cos(\varphi_U), \tag{2.40}$$

$$i_{D_{RN+},avg} = i_{D_{R+},avg} = 0, \tag{2.41}$$

für Sektoren 8 und 9 ($\varphi_U \in (\frac{7\pi}{6}; \frac{3\pi}{2})$)

$$i_{D_{RN-},avg} = i_{D_{R-},avg} = i_{S_R,avg} = I \cdot \delta_{(101)} = -I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = -\hat{I}_N \cdot \cos(\varphi_U), \tag{2.42}$$

$$i_{D_{RN+},avg} = i_{D_{R+},avg} = 0, \tag{2.43}$$

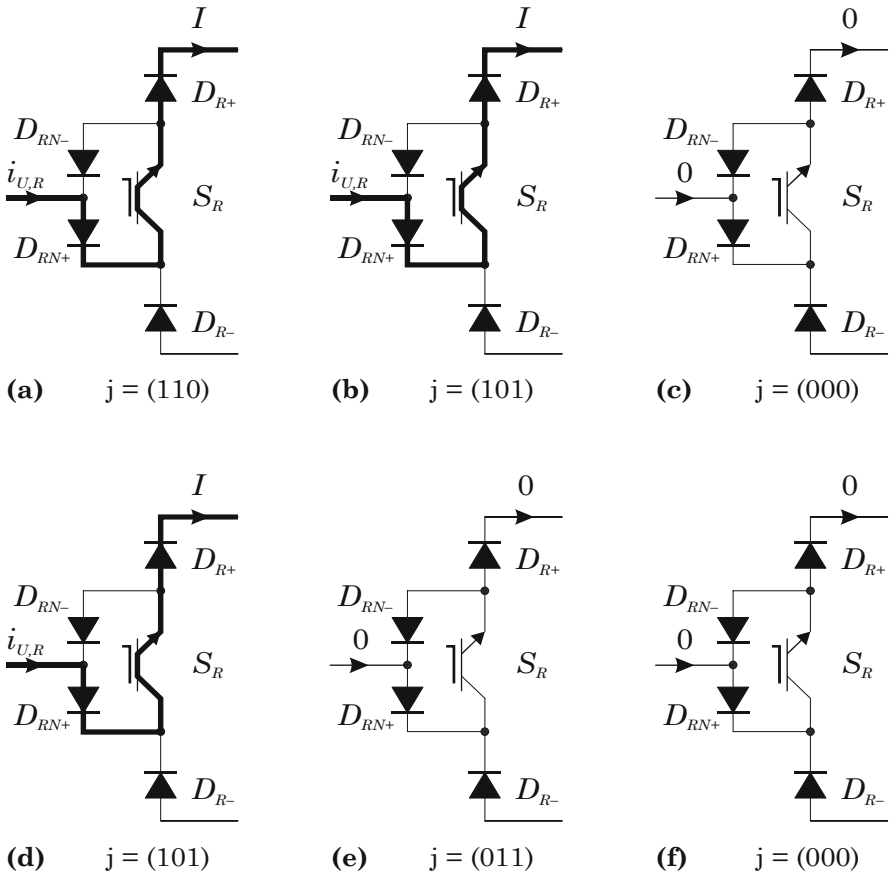


Abb. 2.8: Stromfluss im Brückenzweig der Phase R, **(a)** – **(c)**: Sektoren 12 und 1 ($\varphi_U \in (-\frac{\pi}{6}; \frac{\pi}{6})$) und **(d)** – **(f)**: Sektoren 2 und 3 ($\varphi_U \in (\frac{\pi}{6}; \frac{\pi}{2})$) während der verwendeten Schaltzustände.

und für Sektoren 10 und 11 ($\varphi_U \in (\frac{3\pi}{2}; -\frac{\pi}{6})$)

$$i_{D_{RN-},avg} = i_{D_{R-},avg} = 0, \tag{2.44}$$

$$i_{D_{RN+},avg} = i_{D_{R+},avg} = i_{S_R,avg} = I \cdot \delta_{(110)} = I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = \hat{I}_N \cdot \cos(\varphi_U). \tag{2.45}$$

Die globalen Strommittelwerte für die einzelnen Leistungshalbleiter ergeben sich durch Integration über eine Netzperiode, auf Grund der Symmetrie der speisenden Netzspannungen und des Gleichrichtersystems gelten die Ergebnisse auch für die Leistungshalbleiter der beiden anderen Brückenzweige $i = S, T$,

$$I_{D_{iN-},avg} = i_{D_{i,-},avg} = \frac{1}{2\pi} \cdot \left(\int_{\frac{\pi}{2}}^{\frac{3\pi}{2}} (-\hat{I}_N \cos\varphi_U)\, \mathrm{d}\varphi_U + \int_{\frac{3\pi}{2}}^{\frac{\pi}{2}} 0\, \mathrm{d}\varphi_U \right) = \frac{\hat{I}_N}{\pi}, \tag{2.46}$$

$$I_{D_{iN+},avg} = i_{D_{i,+},avg} = \frac{1}{2\pi} \cdot \left(\int_{\frac{\pi}{2}}^{\frac{3\pi}{2}} 0\, \mathrm{d}\varphi_U + \int_{\frac{3\pi}{2}}^{\frac{\pi}{2}} (\hat{I}_N \cos\varphi_U)\, \mathrm{d}\varphi_U \right) = \frac{\hat{I}_N}{\pi}, \tag{2.47}$$

$$I_{S_i,avg} = \frac{1}{2\pi} \cdot \left(\int_{\frac{\pi}{2}}^{\frac{3\pi}{2}} (-\hat{I}_N \cos\varphi_U)\, \mathrm{d}\varphi_U + \int_{\frac{\pi}{2}}^{\frac{3\pi}{2}} (\hat{I}_N \cos\varphi_U)\, \mathrm{d}\varphi_U \right) = \frac{2\hat{I}_N}{\pi}. \tag{2.48}$$

Die Freilaufdiode ist während der Freilaufdauer δ_{FL} mit dem eingeprägten Zwischenkreisstrom I belastet, für Sektoren 12 und 1 ($\varphi_U \in (-\frac{\pi}{6}; \frac{\pi}{6})$) erhält man für den lokalen Strommittelwert

$$i_{D_F,avg} = I \cdot (1 - M \cdot \cos(\varphi_U)) = \frac{\hat{I}_N}{M} \cdot (1 - M \cdot \cos(\varphi_U)), \tag{2.49}$$

der lokale Strommittelwert in den anderen Sektoren unterscheidet sich von (2.49) jeweils nur durch eine Phasenverschiebung, der globale Strommittelwert einer gesamten Netzperiode kann daher unter Verwendung des Ergebnisses von zwei Sektoren ermittelt werden,

$$I_{D_F,avg} = \frac{1}{\frac{\pi}{3}} \int_{-\frac{\pi}{6}}^{\frac{\pi}{6}} \left[I \cdot (1 - M \cdot \cos(\varphi_U))\right] \mathrm{d}\varphi_U = \hat{I}_N \left(\frac{1}{M} - \frac{3}{\pi}\right). \tag{2.50}$$

Für die Ermittlung der Leitverluste der Leistungshalbleiter (vgl. Abschnitt 5.1.3) sind neben den Strommittelwerten auch die Effektivwerte notwendig, diese können mit

$$I_{rms} = \sqrt{\frac{1}{\varphi_{U,2} - \varphi_{U,1}} \int_{\varphi_{U,1}}^{\varphi_{U,2}} I^2 \cdot \sum \delta_j \, \mathrm{d}\varphi_U} = \sqrt{\frac{1}{\varphi_{U,2} - \varphi_{U,1}} \int_{\varphi_{U,1}}^{\varphi_{U,2}} i_{avg} \cdot I \, \mathrm{d}\varphi_U} \tag{2.51}$$

berechnet werden. Man erhält damit für die einzelnen Leistungshalbleiter

$$I_{D_{iN,\pm},rms} = i_{D_{i,\pm},rms} = \hat{I}_N \cdot \frac{1}{\sqrt{M\pi}}, \tag{2.52}$$

$$I_{S_i,rms} = \hat{I}_N \cdot \frac{2}{\sqrt{M\pi}}, \tag{2.53}$$

$$I_{D_F,rms} = \hat{I}_N \cdot \sqrt{\frac{1}{M^2} - \frac{3}{M\pi}}. \tag{2.54}$$

Die gesamten Ergebnisse sind in **Abb. 2.9** zusammengefasst. Die Berechnung der Strommittel- und Effektivwerte für die Schaltungsstruktur ohne expliziter Freilaufdiode ist in Anhang B.1 angegeben.

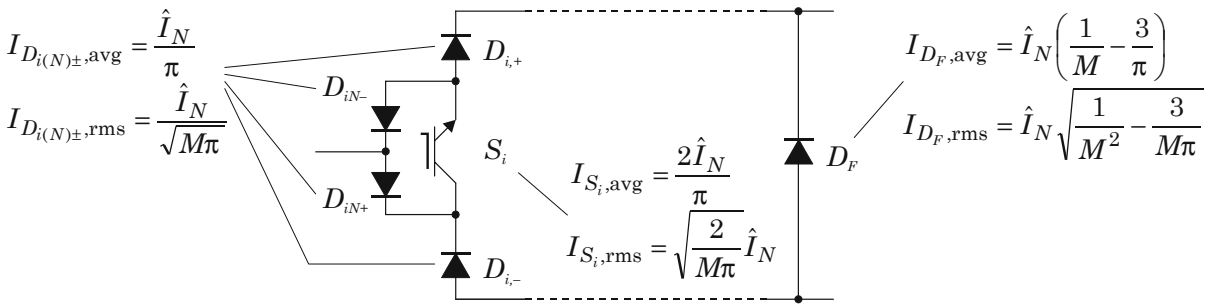


Abb. 2.9: Globale Strommittel- und Effektivwerte der Leistungshalbleiter der Tiefsetzstellereingangsstufe.

2.6.2 Strombelastung der Hochsetzstellerausgangsstufe

Wenn ein konstanter Ausgangsstrom I_0 angenommen wird, hängen die Mittel- und Effektivwerte der Ströme in Leistungstransistor S und Leistungsdiode D der Hochsetzstellerausgangsstufe nur vom Modulationsindex δ der Hochsetzstellerstufe ab, dieser ist für eine Mittelwertbetrachtung definiert als

$$\delta = 1 - \frac{U}{U_0} = 1 - \frac{I_0}{I}, \tag{2.55}$$

wobei δ auch die relative, auf eine Pulshalbperiode bezogene Einschaltdauer des Leistungstransistors S bezeichnet. Man erhält damit für die globalen Mittel- und Effektivwerte

$$i_{S,avg} = I \cdot \delta = I_0 \cdot \frac{\delta}{1-\delta}, \tag{2.56}$$

$$i_{S,rms} = I \cdot \sqrt{\delta} = I_0 \cdot \frac{\sqrt{\delta}}{1-\delta}, \tag{2.57}$$

$$i_{D,avg} = I \cdot (1-\delta) = I_0, \tag{2.58}$$

$$i_{D,rms} = I \cdot \sqrt{1-\delta} = I_0 \cdot \frac{1}{\sqrt{1-\delta}}. \tag{2.59}$$

2.6.3 Strombelastung der passiven Bauelemente

Im Folgenden sind die Strombelastungen der passiven Bauelemente auf der Ausgangsseite des Gleichrichtersystems unter Vernachlässigung des Stromrippels angegeben.

2.6.3.A Zwischenkreisinduktivität

Unter Annahme eines konstanten Zwischenkreisstromes I erhält man für die globalen Strommittel- und Effektivwerte in der Zwischenkreisinduktivität L

$$i_{L,avg} = i_{L,rms} = I. \tag{2.60}$$

2.6.3.B Ausgangskondensator

Mit der Bedingung

$$i_{C_0,avg} = 0 \tag{2.61}$$

erhält man für den globalen Effektivwert des Ausgangskondensatorstromes (vgl. Anhang B.3)

$$i_{C_0,rms} = I_0 \cdot \sqrt{\frac{\delta}{1-\delta}} = I \cdot \sqrt{\delta(1-\delta)}. \tag{2.62}$$

2.6.4 Spannungsbeanspruchung der Leistungshalbleiter

Für die Auswahl der Leistungshalbleiter ist neben der Strombelastung auch die Kenntnis der zu erwartenden Sperrspannungsbeanspruchung notwendig, diese wird hier unter Vernachlässigung von parasitären Kapazitäten und von Flussspannungsabfällen der Leistungshalbleiter für die Tiefsetzstellereingangsstufe und für die Hochsetzstellerausgangsstufe ermittelt.

2.6.4.A Tiefsetzstellereingangsstufe

Auf Grund der Symmetrie des Gleichrichtersystems und der Symmetrie der Netzspannungen kann die Analyse wieder auf Intervall 1 beschränkt werden. Die Sperrspannungsbeanspruchung der Leistungshalbleiter der Tiefsetzstellereingangsstufe ist in **Abb. 2.10** für alle Schaltzustände in Intervall 1 gezeigt, die Potentiale φ_i, $i = R, S, T$, sind gegenüber dem Potential φ_N des Netzsternpunkts N angegeben, es ist

$$u_{N,i} = \varphi_i - \varphi_N. \tag{2.63}$$

Nimmt ein Leistungshalbleiter keine Sperrspannung auf bzw. ist er an der Stromführung beteiligt, so ist dies mit „0“ gekennzeichnet. In **Tab. 2.2** sind die bei den aktiven Schaltzuständen und Freilaufzuständen auftretenden Sperrspannungen zusammengefasst. Es zeigt sich, dass alle Leistungshalbleiter mit den Außenleiterspannungen $u_{N,RS}$, $u_{N,ST}$ sowie $u_{N,RT}$ beansprucht werden, der Maximalwert der auftretenden Sperrspannung $u_{Sp,\max}$ wird in Intervall 1 durch die Spannung $u_{N,RT}$ bestimmt und tritt an der Intervallgrenze bei $\varphi_U = \frac{\pi}{6}$ auf, er ist gleich dem Spitzenwert der Außenleiterspannung (vgl. Abb. 2.2),

$$u_{Sp,\max} = u_{N,RT}\Big|_{\varphi_U=\frac{\pi}{6}} = \sqrt{3}\,\hat{U}_N. \tag{2.64}$$

	$D_{iN,\pm}$	$D_{i,\pm}$	S_i	D_F
(011)	$u_{N,RS}$	$u_{N,ST}$, $u_{N,RT}$	$u_{N,RS}$	$u_{N,ST}$
(101)	0	$u_{N,RS}$, $u_{N,ST}$, $u_{N,RT}$	0	$u_{N,RT}$
(110)	$u_{N,ST}$	$u_{N,RS}$, $u_{N,ST}$, $u_{N,RT}$	$u_{N,ST}$	$u_{N,RS}$
(001)	$u_{N,ST}$, $u_{N,RT}$	$u_{N,ST}$, $u_{N,RT}$	$u_{N,ST}$, $u_{N,RT}$	0
(010)	$u_{N,RS}$, $u_{N,ST}$	$u_{N,RS}$, $u_{N,ST}$	$u_{N,RS}$, $u_{N,ST}$	0
(100)	$u_{N,RS}$, $u_{N,RT}$	$u_{N,RS}$, $u_{N,RT}$	$u_{N,RS}$, $u_{N,RT}$	0

Tab. 2.2: Sperrspannungsbeanspruchungen der Leistungshalbleiter in Intervall 1.

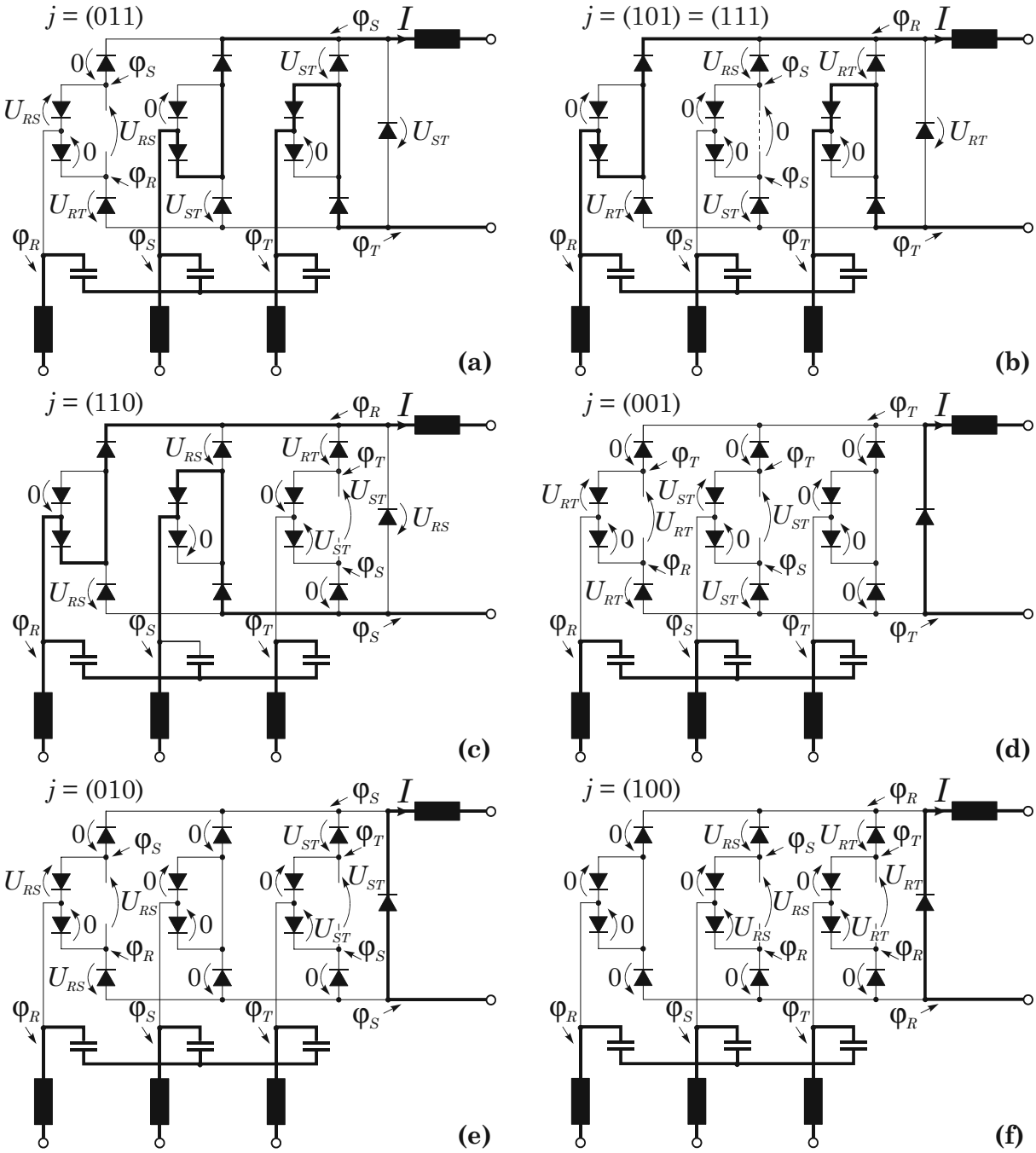


Abb. 2.10: Sperrspannungsbeanspruchung der Leistungshalbleiter der Tiefsetzstellereingangsstufe für alle Schaltzustände in Intervall 1 (parasitäre Kapazitäten und Flussspannungsabfälle der Leistungshalbleiter vernachlässigt). Die Leistungstransistoren sind aus Gründen der Übersichtlichkeit nicht explizit dargestellt. „0“ bedeutet, dass ein Leistungshalbleiter keine Sperrspannung aufnimmt.

2.6.4.B Hochsetzstellerausgangsstufe

Die Sperrspannungsbeanspruchung des Leistungstransistors S und der Leistungsdiode D der Hochsetzstellerausgangsstufe wird unabhängig vom Schaltzustand der Eingangsstufe nur durch die Ausgangsspannung U_0 des Gleichrichtersystems bestimmt, vgl. Abb. 2.11.

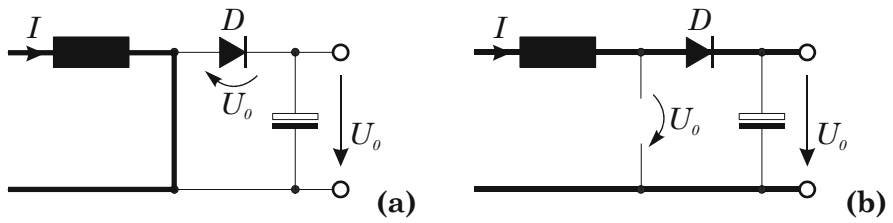


Abb. 2.11: Sperrspannungsbeanspruchung der Leistungshalbleiter der Hochsetzstellerausgangsstufe, **(a)**: Leistungstransistor S im Leitzustand, **(b)**: Leistungstransistor S im Sperrzustand. Der Leistungstransistor S ist aus Gründen der Übersichtlichkeit nicht explizit dargestellt.

Kapitel 3

Auswahl des Modulationsverfahrens

Es gibt unterschiedliche Möglichkeiten, die zur Verfügung stehenden Schaltzustände bzw. Stromraumzeiger innerhalb einer Pulsperiode anzuordnen, wodurch man verschiedene Schaltzustandssequenzen bzw. Modulationsverfahren erhält. In diesem Kapitel werden die unterschiedlichen Modulationsverfahren hinsichtlich ihrer Schaltverluste, die analytisch berechnet werden, bewertet und ein Verfahren für die weiteren Untersuchungen ausgewählt.

3.1 Mögliche Schaltzustandssequenzen

Innerhalb einer Pulshalbperiode $t_\mu = (0; T_P/2)$ (t_μ bezeichnet die lokale Zeit innerhalb einer Pulsperiode) werden die zur Bildung sinusförmiger Netzströme zu verwendenden Schaltzustände (zwei aktive und ein Freilaufzustand) so angeordnet, dass im Sinne minimaler Schaltverluste beim Übergang von einem Schaltzustand in den darauffolgenden idealerweise nur ein Leistungsschalter verlustbehaftet geschaltet wird. In der zweiten Hälfte der Pulsperiode $t_\mu = (T_P/2; T_P)$ wiederholt sich die Schaltzustandssequenz, wobei die Schaltzustände so wie in der ersten Pulshalbperiode – d.h. asymmetrisch zur Mitte der Pulsperiode – oder in umgekehrter Reihenfolge – d.h. symmetrisch zur Mitte der Pulsperiode – angeordnet sein können. Weiters besteht die Möglichkeit, den Freilaufzustand jeweils in der Mitte der Pulshalbperiode oder in der Mitte der gesamten Pulsperiode anzuordnen. Außerdem besteht die Möglichkeit einen Leistungstransistor auszuwählen, der während eines $\pi/3$-breiten Intervalls der Netzperiode im eingeschalteten Zustand verbleibt. Eine Auswahl an möglichen Schaltzustandssequenzen ist in **Tab. 3.1** für Sektor 1 gegeben, die in der ersten Spalte angegebene Nummer wird in weiterer Folge zur Bezeichnung der Sequenzen herangezogen. Bei den Sequenzen 1.1 – 1.3, 2.1 und 2.2 handelt es sich dabei um symmetrische Anordnungen, Sequenz 3.1 zeigt eine asymmetrische Anordnung.

Seq.	j_1	j_2	j_3	j_4	j_5	j_6	S_{ein}
1.1	($\underline{1}$11)	($\underline{1}$10)	(*$\underline{1}$00*)	(*$\underline{1}$00*)	($\underline{1}$10)	($\underline{1}$11)	S_R
1.2	(1$\underline{1}$1)	(1$\underline{1}$0)	(*0$\underline{1}$0*)	(*0$\underline{1}$0*)	(1$\underline{1}$0)	(1$\underline{1}$1)	S_S
1.3	(111)	(110)	(*000*)	(*000*)	(110)	(111)	–
2.1	($\underline{1}$10)	(*$\underline{1}$00*)	($\underline{1}$01)	($\underline{1}$01)	(*$\underline{1}$00*)	($\underline{1}$10)	S_R
2.2	(110)	(*000*)	(101)	(101)	(*000*)	(110)	–
3.1	(*$\underline{1}$00*)	($\underline{1}$10)	($\underline{1}$11)	(*$\underline{1}$00*)	($\underline{1}$10)	($\underline{1}$11)	S_R

Tab. 3.1: Schaltzustandssequenzen innerhalb von zwei aufeinanderfolgenden Pulshalbperioden in Sektor 1 ($\varphi_U \in (0; \pi/6)$), S_{ein} bezeichnet den im eingeschalteten Zustand geklemmten Leistungstransistor, die zugehörige Schaltzustandsfunktion s_i ist durch Unterstreichung hervorgehoben. Der Freilaufzustand ist kursiv gesetzt.

3.2 Analyse der Schaltverluste der unterschiedlichen Schaltzustandssequenzen

Um eine Schaltzustandssequenz für die weitere Untersuchung des Gleichrichtersystems auswählen zu können, werden im Folgenden die Sequenzen hinsichtlich ihrer Schaltverluste verglichen. Dafür werden folgende vereinfachende Annahmen getroffen:

- Die auftretenden lokalen Schaltverluste sind proportional der am Leistungstransistor (vor dem Einschalten bzw. nach dem Ausschalten) anliegenden Spannung u und werden mittels der Faktoren $k_{1\to 0}$ für den Ausschaltvorgang und $k_{0\to 1}$ für den Einschaltvorgang berechnet,
- der geschaltete Strom I ist konstant,
- Schaltüberspannungen werden nicht berücksichtigt.

Für die Schaltverlustenergie eines Leistungstransistors S_i, die beim Ausschaltvorgang auftritt, erhält man daher (vgl. [11])

$$w_{1\to 0,S_i}(t) = k_{1\to 0} \cdot I \cdot u(t), \tag{3.1}$$

die Schaltverlustenergie für den Einschaltvorgang ist

$$w_{0\to 1,S_i}(t) = k_{0\to 1} \cdot I \cdot u(t). \tag{3.2}$$

Der Mittelwert der für die gesamte Tiefsetzstellereingangsstufe auftretenden globalen Schaltverlustenergie innerhalb einer Netzperiode T_N berechnet sich aus der Summe der lokalen Verluste aller Leistungstransistoren,

$$W = \frac{1}{T_N} \int_{T_N} \left(\sum_i w_{1\to 0,S_i}(t) + \sum_i w_{0\to 1,S_i}(t) \right) \mathrm{d}t, \tag{3.3}$$

auf Grund der Symmetrie des speisenden Netzes und der Struktur des Gleichrichtersystems kann die Integration auf ein $\frac{\pi}{6}$-breites Intervall beschränkt werden. Für den Mittelwert der globalen Schaltverlustleistung P erhält man mit der Pulsfrequenz $f_P = 1/T_P$

$$P = W f_P. \tag{3.4}$$

Im Folgenden ist die Ermittlung der globalen Schaltverluste für Schaltzustandssequenz 1.1 (vgl. Tab. 3.1) gezeigt. Beim Übergang von Schaltzustand $j = (111)$ auf $j = (110)$ muss der Leistungstransistor S_T

Übergang	S_i	u
$(1\underline{1}1) \leftrightarrow (1\underline{1}0)$	S_T	$u_{C_F,ST}$
$(1\underline{1}0) \leftrightarrow (\underline{1}00)$	S_S	$u_{C_F,RS}$

Tab. 3.2: Schaltende Leistungstransistoren S_i und geschaltete Spannungen u für den Übergang zwischen den Schaltzuständen für Sequenz 1.1. Die Schaltfunktion der Phase, deren Leistungstransistor sich für ein $\frac{\pi}{3}$-breites Intervall im geklemmten Zustand befindet, ist durch Unterstreichung hervorgehoben.

ausgeschaltet werden, die im ausgeschalteten Zustand an S_T anliegende Spannung ist $u_{C_F,ST}$ (vgl. Abb. 2.10(c)). Beim nachfolgenden Übergang muss der Leistungstransistor S_S ausgeschaltet werden, die danach an S_S anliegende Spannung ist $u_{C_F,RS}$ (vgl. Abb. 2.10(e)). In der darauffolgenden Pulshalbperiode werden die Leistungstransistoren S_S und danach S_T ausgehend von den gleichen Spannungen $u_{C_F,RS}$ bzw. $u_{C_F,ST}$ wieder eingeschaltet, vgl. **Tab. 3.2**. Nimmt man vereinfachend $k_{1\to 0} + k_{0\to 1} = k$ an, erhält man für die gesamten Schaltverlustenergie innerhalb einer Pulsperiode

$$w_{1\to 0,1.1}(t) + w_{0\to 1,1.1}(t) = kI\left(u_{C_F,ST}(t) + u_{C_F,RS}(t)\right) = kIu_{C_F,RT}(t). \tag{3.5}$$

Der Mittelwert der globalen Schaltverlustleistung für alle drei Leistungstransistoren ergibt sich damit für Sequenz 1.1 zu

$$P_{1.1} = \frac{1}{\frac{\pi}{6}} \int_0^{\frac{\pi}{6}} k f_P I u_{C_F,RT}(\varphi_U) \mathrm{d}\varphi_U = \frac{3\sqrt{3}}{\pi} k f_P I \hat{U}_N. \tag{3.6}$$

Seq.	1.1	1.2	1.3	2.1	2.2	3.1
P	$\frac{3\sqrt{3}}{\pi} k f_P I \hat{U}_N$			$\frac{9}{\pi} k f_P I \hat{U}_N$		$\frac{6\sqrt{3}}{\pi} k f_P I \hat{U}_N$

Tab. 3.3: Mittelwerte der globalen Schaltverlustleistung für die in Tab. 3.1 angegebenen Schaltzustandssequenzen.

Die Ermittlung der globalen Schaltverlustleistung für die anderen in Tab. 3.1 angegeben Schaltzustandssequenzen ist in Abschnitt C angegeben, die Ergebnisse sind in **Tab. 3.3** zusammengefasst. Man sieht, dass die globale Schaltverlustleistung unabhängig von der Wahl des Freilaufzustandes ist, d.h. unabhängig davon, ob ein bzw. welcher Leistungstransistor während des Freilaufes im eingeschalteten Zustand verbleibt oder ob sich alle Leistungstransistoren im ausgeschalteten Zustand befinden. Jedoch kann durch die Anordnung der Schaltzustände innerhalb der Pulsperiode die Schaltverlustleistung beeinflusst werden. Die Schaltverlustleistung der unterschiedlichen Sequenzen verhält sich wie

$$P_{1.x} : P_{2.x} : P_{3.1} = 1 : \sqrt{3} : 2, \tag{3.7}$$

das heißt, dass jene Modulationsverfahren, bei denen der Freilaufzustand in der Mitte der Pulsperiode liegt und deren Schaltzustandssequenz symmetrisch zur Mitte der Pulsperiode angeordnet ist, die geringsten Schaltverluste aufweisen.

Für die nachfolgenden Untersuchungen wird Schaltzustandssequenz 1.2 ausgewählt, hier bleibt der Leistungstransistor jener Phase während des Freilaufzustandes im eingeschalteten Zustand, deren Spannung betragsmäßig zwischen den Spannungen der beiden anderen Phasen liegt. Die Schaltzustandssequenzen für jeweils eine Pulshalbperiode sowie die im eingeschalteten Zustand geklemmten Leistungstransistoren sind in **Tab. 3.4** für die gesamte Netzperiode angegeben.

Sektor	j_{Akt1}	j_{Akt2}	j_{FL}	S_{ein}
1	$(1\underline{1}1)$	$(1\underline{1}0)$	$(0\underline{1}0)$	S_S
2	$(1\underline{1}1)$	$(0\underline{1}1)$	$(0\underline{1}0)$	S_S
3	$(\underline{1}11)$	$(\underline{1}01)$	$(\underline{1}00)$	S_R
4	$(\underline{1}11)$	$(\underline{1}10)$	$(\underline{1}00)$	S_R
5	$(11\underline{1})$	$(01\underline{1})$	$(00\underline{1})$	S_T
6	$(11\underline{1})$	$(10\underline{1})$	$(00\underline{1})$	S_T
7	$(1\underline{1}1)$	$(1\underline{1}0)$	$(0\underline{1}0)$	S_S
8	$(1\underline{1}1)$	$(0\underline{1}1)$	$(0\underline{1}0)$	S_S
9	$(\underline{1}11)$	$(\underline{1}01)$	$(\underline{1}00)$	S_R
10	$(\underline{1}11)$	$(\underline{1}10)$	$(\underline{1}00)$	S_R
11	$(11\underline{1})$	$(01\underline{1})$	$(00\underline{1})$	S_T
12	$(11\underline{1})$	$(10\underline{1})$	$(00\underline{1})$	S_T

Tab. 3.4: Schaltzustandssequenz 1.2 innerhalb einer Pulshalbperiode der gesamten Netzperiode, S_{ein} bezeichnet den im eingeschalteten Zustand geklemmten Leistungstransistor, die zugehörige Schaltzustandsfunktion s_i ist durch Unterstreichung hervorgehoben.

Schaltzustandssequenz 1.2 zeigt gegenüber Sequenz 1.1 den Vorteil, dass die maximal an den Dioden $D_{i(N)\pm}$ auftretenden Sperrspannung $1,5 \cdot \hat{U}_N$ ist, bei Sequenz 1.1 tritt die $\sqrt{3}$-fache Netzphasenspitzenspannung als Sperrspannung auf. Gegenüber Sequenz 1.3 weist die ausgewählte Schaltzustandssequenz den Vorteil auf, dass ein Leistungstransistor während einer $\frac{\pi}{3}$-Intervalls der Netzperiode im eingeschalteten Zustand verbleibt, wodurch die Implementierung der Schaltsignale einfacher gestaltet wird [12].

Kapitel 4

Praktische Realisierung

Für die praktische Realisierung des Gleichrichtersystems wird die Struktur mit expliziter Freilaufdiode gewählt (vgl. Abb. 2.1). Die Regelung des Gleichrichtersystems und die Generierung der Ansteuersignale erfolgt durch einen digitalen Signalprozessor, die dafür notwendigen Strom- und Spannungssignale werden auf einem Signalanpassungsbord aufbereitet. Im Folgenden ist sowohl die Dimensionierung des Leistungsteils als auch der gesamten Peripherie zu dessen Regelung beschrieben, wobei folgenden Parameter der Auslegung zu Grunde gelegt werden:

Ausgangsnennleistung	P_0	$= 5$ kW,
Netzaußenleiterspannung	$U_{N,ll}$	$= (208 \ldots 480)$ V,
Ausgangsgleichspannung	U_0	$= 400$ V,
Netzfrequenz	f_N	$= 50$ Hz,
Pulsfrequenz	f_P	$= 31,25$ kHz.

4.1 Dimensionierung des Leistungsteils

Um einen Sicherheitsrahmen für den Betrieb des Gleichrichtersystems zu haben, wird die Dimensionierung des Leistungsteils für eine Dimensionierungsleistung $P_{dim.}$ durchgeführt, die 20 % über der Nennleistung des Systems liegt, d.h. $P_{dim.} = 6$ kW. Für diese Leistung werden die bei stationärem Betrieb auftretenden Stromwerte sowie die Aussteuergrade von Tiefsetzstellereingangsstufe und Hochsetzstellerausgangsstufe in Abhängigkeit der Eingangsspannung ermittelt, die für die Dimensionierung der aktiven und passiven Bauelemente notwendig sind. Für die Dimensionierung des Gleichrichtersystems wird von einem symmetrischen Netz mit rein sinusförmigen Spannungen sowie von stationären, eingeschwungenen Zuständen ausgegangen.

4.1.1 Verhältnisse bei Dimensionierungsleistung

Für die nachfolgenden Berechnungen wird der Modulationsindex auf den maximal möglichen, konstanten Wert $M_{\max} = 1$ gesetzt, um sowohl Schalt- als auch Leitverluste der Leistungshalbleiter gering zu halten. Falls der Betrieb des Gleichrichtersystems bei einem Modulationsindex $M = 0,9$ erfolgen soll, um z.B. eine Regelung zur aktiven Dämpfung der Netzphasenströme implementieren zu können [13], wird der damit höheren Bauelementebelastung durch die gegenüber der Nennleistung erhöhten Dimensionierungsleistung Rechnung getragen. Weiters kann durch die Wahl der Dimensionierungsleistung von $P_{dim.} = 6$ kW der Einfluss des Wirkungsgrades des Gleichrichtersystems vernachlässigt werden.

Die Netzaußenleiterspannung, bei der die Ausgangsspannung der Tiefsetzstellereingangsstufe U gleich der Nennausgangsgleichspannung $U_0 = 400$ V ist, berechnet sich mit (2.13) zu

$$U_{N,ll} = \frac{\sqrt{2}}{\sqrt{3}} \cdot \frac{U}{M_{\max}} = \frac{\sqrt{2}}{\sqrt{3}} \cdot \frac{400 \text{ V}}{1} = 327 \text{ V}. \tag{4.1}$$

Bei Außenleiterspannungen unterhalb von $U_{N,ll} = 327$ V wird die Tiefsetzstellereingangsstufe bei einem konstanten, maximalen Modulationsindex betrieben und die Hochsetzstellerausgangsstufe ist aktiv, d.h.

für deren Aussteuergrad gilt $\delta > 0$. Bei Außenleiterspannungen $U_{N,ll} > 327$ V ist die Hochsetzstellerausgangsstufe deaktiviert, d.h. es ist $\delta = 0$. Der Mittelwert der Ausgangsspannung U der Tiefsetzstellereingangsstufe beträgt dabei

$$U = \begin{cases} \frac{\sqrt{3}}{\sqrt{2}} \cdot M_{\max} \cdot U_{N,ll} = & (255 \ldots 400)\ \text{V} \quad \text{für} \quad U_{N,ll} = (208 \ldots 327)\ \text{V} \\ U_0 = & 400\ \text{V} \quad \text{für} \quad U_{N,ll} = (327 \ldots 480)\ \text{V} \end{cases} . \tag{4.2}$$

Für den Spitzenwert der Netzphasenströme erhält man

$$\hat{I}_N = \frac{\sqrt{2}}{\sqrt{3}} \cdot \frac{P_{dim.}}{U_{N,ll}} = \frac{\sqrt{2}}{\sqrt{3}} \cdot \frac{6\ \text{kW}}{(208 \ldots 327 \ldots 480)\ \text{V}} = (23,6 \ldots 15,0 \ldots 10,2)\ \text{A}. \tag{4.3}$$

Betrachtet man den Bereich kleiner Eingangsspannung, in dem die Hochsetzstellerausgangsstufe aktiv ist, d.h. $U_{N,ll} \leq 327$ V, erhält man für den Aussteuergrad der Hochsetzstellerausgangsstufe mit (2.55)

$$\delta = 1 - \frac{U}{U_0} = 1 - \frac{(255 \ldots 400)\ \text{V}}{400\ \text{V}} = 0,36 \ldots 0, \tag{4.4}$$

der Zwischenkreisstrom ist dabei

$$I = \frac{\hat{I}_N}{M} = \frac{(23,6 \ldots 15,0)\ \text{A}}{1} = (23,6 \ldots 15,0)\ \text{A}. \tag{4.5}$$

Für den oberen Eingangsspannungsbereich $U_{N,ll} > 327$ V gilt

$$M = \frac{\sqrt{2}}{\sqrt{3}} \cdot \frac{U}{U_{N,ll}} = \frac{\sqrt{2}}{\sqrt{3}} \cdot \frac{400}{(327 \ldots 480)\ \text{V}} = 1.0 \ldots 0.68 \tag{4.6}$$

und

$$\delta = 0, \tag{4.7}$$

damit erhält man für den Zwischenkreisstrom

$$I = \frac{\hat{I}_N}{M} = \frac{(15,0 \ldots 10,2)\ \text{A}}{1.0 \ldots 0.68} = 15,0\ \text{A}. \tag{4.8}$$

Alle Ergebnisse sind in **Tab. 4.1** in Abhängigkeit der Netzaußenleiterspannung zusammengefasst.

$U_{N,ll}$	V	208	327	480
$\hat{I}_N$	A	23,6	15,0	10,2
U	V	255	400	400
I	A	23,6	15,0	15,0
M	–	1,0	1,0	0,68
δ	–	0,36	0	0

Tab. 4.1: Systemparameter bei Dimensionierungsleistung in Abhängigkeit der Netzaußenleiterspannung.

4.1.2 Leistungshalbleiter

Für die Mittel- und Effektivwerte der Ströme durch die Leistungshalbleiter erhält man mit Abb. 2.9 und mit (2.56) – (2.59) die in **Tab. 4.2** und in **Tab. 4.3** angegebenen Werte für die Dimensionierungsleistung $P_{dim.}$ bei kleinster und größter Nenneingangsspannung und bei einer Eingangsspannung $U_{N,ll} = 327$ V.

Für die praktische Realisierung wurden die in **Tab. 4.4** angegebenen Leistungshalbleiter ausgewählt, wobei vor der Inbetriebnahme überprüft werden muss, ob bei Dimensionierungsleistung die maximal zulässige Sperrschichttemperatur der Halbleiter nicht überschritten wird. Es wird dabei eine maximale Temperatur des Kühlkörpers von $T_{KK} = 70°C$ festgelegt, für die Berechnung der Sperrschichttemperatur werden sowohl Schalt- als auch Leitverluste berücksichtigt, die auf Grund der in den Datenblättern

$U_{N,ll}$	M	δ	$\hat{I}_N$	$I_{D_{i(N)\pm},avg}$	$I_{D_{i(N)\pm},rms}$	$I_{S_i,avg}$	$I_{S_i,rms}$	$I_{D_F,avg}$	$I_{D_F,rms}$
V	–	–	A	A	A	A	A	A	A
208	1,0	0,36	23,6	7,5	13,3	15,0	18,8	1,1	5,0
327	1,0	0	15,0	4,8	8,5	9,5	12,0	0,68	3,2
480	0,68	0	10,2	3,2	7,0	6,5	9,9	5,3	8,9

Tab. 4.2: Mittel- und Effektivwerte der Ströme durch die Leistungshalbleiter der Tiefsetzstellereingangsstufe bei Dimensionierungsleistung in Abhängigkeit der Netzaußenleiterspannung.

$U_{N,ll}$	M	δ	$\hat{I}_N$	$I_{S,avg}$	$I_{S,rms}$	$I_{D,avg}$	$I_{S,rms}$
V	–	–	A	A	A	A	A
208	1,0	0,36	23,6	8,4	14,1	15,0	18,8
327	1,0	0	15,0	0	0	15,0	15,0
480	0,68	0	10,2	0	0	15,0	15,0

Tab. 4.3: Mittel- und Effektivwerte der Ströme durch die Leistungshalbleiter der Hochsetzstellerausgangsstufe bei Dimensionierungsleistung in Abhängigkeit der Netzaußenleiterspannung.

angegebenen Parameter berechnet werden. Für die Abschätzung der Schaltverluste werden dabei durch den Faktor $f_R = 1,7$ zusätzlich auftretende Verluste zufolge von Diodenrückströmen berücksichtigt, die in den Herstellerangaben nicht enthalten sind[1]. Die detaillierte Berechnung ist in Anhang D gegeben.

Auf Grund der hohen Sperrspannungsbeanspruchung der Leistungstransistoren der Tiefsetzstellereingangsstufe werden IGBTs (Isolated Gate Bipolar Transistors) für den gesamten Schaltungsaufbau verwendet. Als Kühlkörper wird ein Hohlrippen-Lüfteraggregat mit Vorkammer verwendet, die Vorkammer bietet dabei den Vorteil einer verbesserten Wärmeableitung bzw. eines geringeren thermischen Widerstandes [18]. Die Leistungshalbleiter werden auf den Aluminium-Kühlkörper aufgeschraubt, die Isolation erfolgt durch silikonimprägnierte Isolierscheiben mit einem thermischen Widerstand von $R_{\Theta,CS} = 0,82$ K/W, wobei zusätzlich eine Isolierhülse für die Schraube verwendet wird [19].

Bauelement	Anz.	Typ	Hersteller	Sperrspg.	Nennstrom	Gehäuse
S_i	3	IRG4PF50W	International Rectifier	900 V	28 A	TO247
$D_{i(N)\pm}$, D_F	13	RURG30100	Intersil	1000 V	30 A	TO247
S	1	IRG4PC40W	International Rectifier	600 V	20 A	TO247
D	1	RURG3060	Intersil	600 V	30 A	TO247

Tab. 4.4: Ausgewählte Leistungshalbleiter. Die genauen Angaben zu Sperrspannungen und Nennströmen sind den Datenblättern [14] – [17] zu entnehmen.

4.1.3 Schutzbeschaltung der Leistungshalbleiter

Auf Grund von parasitären Induktivitäten (z.B. Leitungsinduktivitäten) treten beim Ausschalten der Leistungstransistoren Schaltüberspannungen auf. Um diese Schaltüberspannungen zu begrenzen, wird die in der Praxis bewährte, in **Abb. 4.1** dargestellte Beschaltung der Leistungstransistoren durch ein RC- und ein RCD-Netzwerk (Snubber) verwendet. Der Kondensator C_2 ist im stationären Fall auf den Wert der Begrenzungsspannung aufgeladen und stellt zusammen mit dem Widerstand R_2 eine Konstantspannungsquelle dar. Treten z.B. bei einer Schalthandlung am Schalter höhere Spannungen auf, so wird die Diode D_2 in Durchlassrichtung gepolt und der Kondensator C_2 nimmt die Energie des Überspannungspulses auf. Sinkt die Spannung am Schalter unter den Wert der Spannung an C_2, sperrt die Diode D_2 wieder und der Kondensator C_2 entlädt sich über den Leistungswiderstand R_2, wobei die Zeitkonstante der Entladung wesentlich größer als die Dauer einer Pulsperiode ist.

[1] Dieser Faktor ist ein Erfahrungswert und wurde aus einer Vielzahl von Messungen an verschiedenen Kombinationen von Leistungstransistoren und -dioden gewonnen.

Weiters ist ein RC-Netzwerk (C_1, R_1) mit einer kleinen Zeitkonstante zur Begrenzung der Sperrspannungsanstiege sowie zur Dämpfung von kurzen Überspannungsspitzen vorgesehen, bevor die Diode D_2 öffnen und der RCD-Snubber eingreifen kann. Zusätzlich sorgt eine antiparallel zum Leistungstransistor geschaltete schnelle Diode D_1 für einen definierten Strompfad von möglichen Rückströmen.

Die Freilaufdiode D_F wird ebenfalls durch eine Schutzbeschaltung aus Widerstand R_3, Kondensator C_3 und Diode D_3 realisiert, wodurch Überspannungen zufolge des Diodenrückstromes minimiert werden [1].

Die Schutzbeschaltung des Hochsetzsteller-Leistungstransistors S wird wie für die Leistungstransistoren der Tiefsetzstellerstufe realisiert, vgl. Abb. 4.1, nur die Diode D_4 weist gegenüber der Diode D_2 eine geringere Nennspannung auf.

Die Daten der Schutzbeschaltungselemente sind Erfahrungswerte und sind in **Tab. 4.5** zusammengefasst.

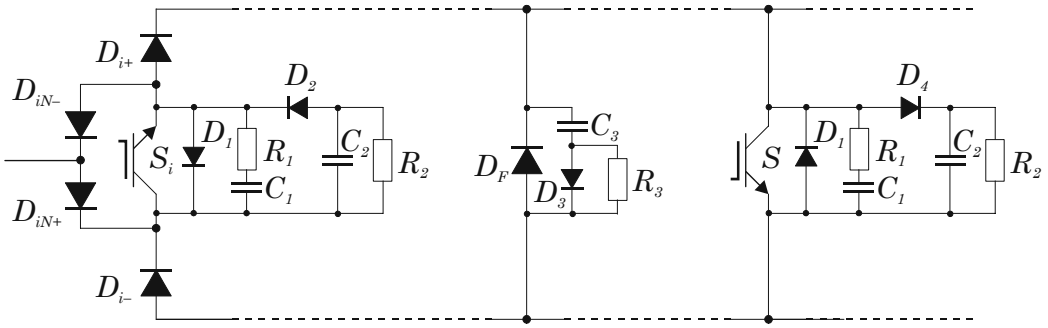


Abb. 4.1: Schutzbeschaltung für die Leistungstransistoren S_i der Tiefsetzstellerstufe, für die Freilaufdiode D_F und den Leistungstransistor S der Hochsetzstellerstufe.

Element	Kennwerte	Bezeichnung / Produzent
D_1	$I_F = 6$ A, $U_{RRM} = 1200$ V, $t_{RR} = 55$ ns	RHRD6120 / Intersil
R_1	47 Ω, 2 W	
C_1	470 pF, $V_R = 2000$ V	
D_2	$I_F = 15$ A, $U_{RRM} = 1200$ V, $t_{RR} = 65$ ns	RHRD15120 / Intersil
R_2	220 kΩ, 2 W	
C_2	100 nF, $V_R = 1000$ V	
D_3	$I_F = 15$ A, $U_{RRM} = 1000$ V, $t_{RR} = 125$ ns	RUR15100 / Intersil
R_3	220 kΩ, 2 W	
C_3	100 nF, $V_R = 1000$ V	
D_4	$I_F = 15$ A, $U_{RRM} = 600$ V, $t_{RR} = 35$ ns	RHRP1560 / Intersil

Tab. 4.5: Daten der Schutzbeschaltungselemente für Leistungstransistoren und Freilaufdiode.

4.1.4 Passive Bauelemente

4.1.4.A Eingangsfilter

Zur Filterung der pulsbreitenmodulierten, diskontinuierlichen Eingangsströme des Gleichrichtersystems wird ein Netzfilter bestehend aus Induktivitäten L_F und Kondensatoren C_F verwendet. Auf Grund der Spannungsbeanspruchung und der am Markt erhältlichen Bauelemente werden die Kondensatoren in Stern geschaltet[2]. Für die Auswahl der Kondensatoren soll eine möglichst große Kapazität angestrebt werden, um den pulsfrequenten Rippel der Eingangskondensatorspannung bzw. des Netzstromes so gering wie möglich zu halten. Um jedoch die Phasenverschiebung zwischen den Grundschwingungen des

[2]Eine Dreieckschaltung der Kondensatoren ist für deren Ausnutzung von Vorteil, wofür Kondensatoren mit einer Nennspannung von 480 V notwendig sind. Seit kurzem sind Kondensatoren erhältlich, die diesen Anforderungen genügen [20].

Netzstromes und der Netzphasenspannung klein zu halten, muss die kapazitive Blindleistung Q_C auf 5 %...10 % der Nennleistung begrenzt werden. Damit erhält man für die Eingangsfilterkondensatoren

$$C_F = \frac{(0,05\ldots0,1)P_N}{\sqrt{3}\,\omega_N U_N^2} = \frac{(0,05\ldots0,1)\cdot 5\text{ kW}}{\sqrt{3}\cdot 2\pi\cdot 50\text{ Hz}\cdot(208\ldots480)\text{ V}} = (3,5\ldots37)\ \mu\text{F}. \tag{4.9}$$

Um die Baugröße des Eingangsfilters möglichst klein zu halten und in Hinblick auf die am Markt verfügbaren Bauelemente, wird ein Wert von $C_F = 4\ \mu$F gewählt. Für die Auswahl der Kondensatoren wird weiters die Rippelstrombelastung der Filterkondensatoren benötigt, die bei minimaler Eingangsspannung ihren größten Wert erreicht (vgl. Anhang E.1), man erhält für Dimensionierungsleistung

$$i_{C_F,rms} = \frac{\sqrt{2}}{\sqrt{3}}\,I_N\sqrt{\frac{\frac{2}{\sqrt{3}}-M}{M}} = \frac{\sqrt{2}}{\sqrt{3}}\cdot 20,4\text{ A}\cdot\sqrt{\frac{\frac{2}{\sqrt{3}}-1}{1}} = 6,55\text{ A}. \tag{4.10}$$

Für die praktische Realisierung werden 4 Kondensatoren des Typs B81131-C1105-M [21] mit je 1 μF in jeder Phase parallel geschaltet. Da es sich bei diesem Typ um spezielle Kondensatoren zur Unterdrückung von elektromagnetischen Störungen handelt (sog. X2-Kondensatoren), ist keine Rippelstrombelastung bzw. auch keine Lastminderung der Spannung für hohe Frequenzen angegeben. Beim Einsatz eines anderen Kondensatortyps muss jedoch die zulässige Rippelstrombelastung überprüft werden.

Die Grenzfrequenz ω_F des Eingangsfilters muss wesentlich über den Frequenzen von niederfrequenten Störungen der Netzspannung liegen, um eine Anregung des Eingangsfilters durch diese Störungen zu vermeiden, außerdem muss es einen genügend großen Abstand der Grenzfrequenz ω_F zur Schaltfrequenz f_S geben,

$$\omega_S \gg \omega_F \gg (5,7,11)\,\omega_N, \tag{4.11}$$

$$2\pi\cdot 31,25\text{ kHz} \gg \omega_F \gg (5,7,11)\cdot 2\pi\cdot 50\text{ Hz}, \tag{4.12}$$

mit

$$\omega_F = \frac{1}{\sqrt{(L_N+L_F)\,C_F}}, \tag{4.13}$$

wobei L_N die innere Netzimpedanz bezeichnet, die auf einen Wert von 100 μH geschätzt wird. Mit einer erwünschten Grenzfrequenz des Eingangsfilters von $\omega_F = 2\pi\cdot(3\ldots5)$ kHz erhält man für die Filterinduktivität

$$L_F = \frac{1}{\omega_F^2\,C_F} - L_N = \frac{1}{(2\pi\cdot(3\ldots5)\text{ kHz})^2\cdot 4\ \mu\text{F}} - 100\ \mu\text{H} = (150\ldots600)\ \mu\text{H}. \tag{4.14}$$

Für die praktische Realisierung wird ein Eisenpulverkern T184-40 von micrometals verwendet, mit einem A_L-Wert von $A_L = 143$ nH ergibt sich mit einer Windungszahl von $N = 44$ (Kupferlitze $40\times 0,355$ mm^2) eine Induktivität von

$$L_F = A_L\,N^2 = 143\text{ nH}\cdot 44^2 = 277\ \mu\text{H}, \tag{4.15}$$

bei einer Eisenlänge von $l_{Fe} = 11,2$ cm und einem maximalen Eingangsstromeffektivwert von $I_N = 16,7$ A (bei minimaler Eingangsspannung und Dimensionierungsleistung) ergibt sich eine maximale magnetische Feldstärke von

$$H = \frac{N\,I_N}{l_{Fe}} = \frac{44\cdot 16,7\text{ A}}{11,2\text{ cm}} = 66\text{ A/cm} = 66\cdot 0,4\cdot\pi\text{ Oe} = 82\text{ Oe}. \tag{4.16}$$

Laut Datenblatt[3] sinkt die Induktivität bei dieser Feldstärke auf 47 % ihres Werts bei einem Strom von 0 A ab, wodurch sich bei maximalem Strom eine Induktivität von ca. 130 μH ergibt. In **Abb. 4.2**(a) ist der berechnete Verlauf der Induktivität in Abhängigkeit des Eingangsstromes dargestellt.

[3] Initial Permeability vs DC Magnetizing Force, www.micrometals.com/images/curves/DCinitmagforce.html

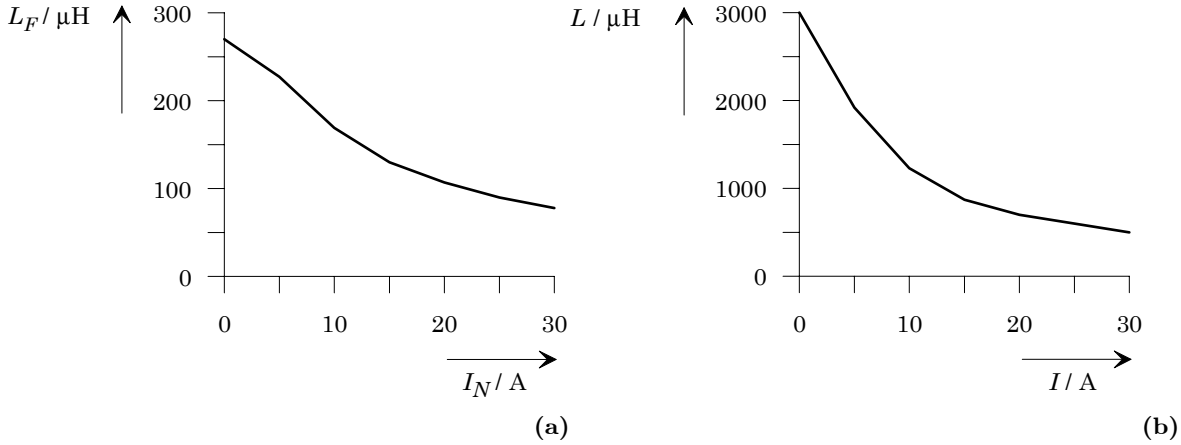


Abb. 4.2: Berechneter Verlauf der Induktivitätswerte der Filterinduktivität L_F und der Zwischenkreisinduktivität L in Abhängigkeit des Stromes.

4.1.4.B Zwischenkreisinduktivität

Die Dimensionierung der Zwischenkreisinduktivität wurde mit Hilfe eines DC/DC-Ersatzmodells durchgeführt, wobei der maximale Rippel des Zwischenkreisstromes ±10 % betragen soll. Maßgeblich für die Dimensionierung ist der Betrieb an maximaler Eingangsspannung, wofür sich eine Induktivität von 1,7 mH ergibt. Die detaillierte Berechnung ist in Anhang E.2 gegeben.

Die gewünschte Induktivität wird auf zwei Zwischenkreisinduktivitäten aufgeteilt, wodurch die einzelnen Induktivitäten kleiner gehalten werden und somit der praktische Aufbau vereinfacht wird, weiters ist die Aufteilung der Zwischenkreisinduktivität in die positive und in die negative Schiene für die Parallelschaltung von zwei Gleichrichtersystemen notwendig. Für die praktische Realisierung werden drei Eisenpulverkerne T184-40 von micrometals verwendet, mit einem A_L-Wert von $A_L = 143$ nH ergibt sich mit einer Windungszahl von $N = 84$ (Kupferlitze $20 \times 0,355$ mm^2) eine Induktivität von

$$L_F = 3\,A_L\,N^2 = 3 \cdot 143 \text{ nH} \cdot 84^2 = 3,0 \text{ mH}, \tag{4.17}$$

bei einer Eisenlänge von $l_{Fe} = 11,2$ cm und einem maximalen Zwischenkreisstrom von $I = 23,6$ A (bei Dimensionierungsleistung) ergibt sich eine maximale magnetische Feldstärke von

$$H = \frac{N\,I}{l_{Fe}} = \frac{84 \cdot 23,6 \text{ A}}{11,2 \text{ cm}} = 177 \text{ A/cm} = 177 \cdot 0,4 \cdot \pi \text{ Oe} = 222 \text{ Oe}. \tag{4.18}$$

Laut Datenblatt sinkt die Induktivität bei dieser Feldstärke auf 20 % ihres Werts bei einem Strom von 0 A ab, wodurch sich bei maximalem Strom eine Induktivität von ca. 600 μH ergibt. In Abb. 4.2(b) ist der berechnete Verlauf der Induktivität in Abhängigkeit des Eingangsstromes dargestellt.

4.1.4.C Ausgangskondensator

Die größte Stromrippelbelastung des Ausgangskondensators tritt bei minimaler Eingangsspannung auf (vgl. Anhang E.3) und beträgt für die Dimensionierungsleistung

$$I_{C_0,rms} = I_0 \sqrt{\frac{\delta}{1-\delta}} = 15 \text{ A} \cdot \sqrt{\frac{0,36}{1-0,36}} = 11,25 \text{ A}. \tag{4.19}$$

Um eine hohe Stabilität der Ausgangsgleichspannung zu erreichen, soll die Kapazität möglichst groß gewählt werden, sie ist jedoch auf Grund der Baugröße und des Gewichts des Gleichrichtersystems nach oben beschränkt. Für die praktische Realisierung des Ausgangskondensators werden fünf Kondensatoren des Typs B43501-A5157-M für 450 V mit je 150 μF parallel geschaltet [22]. Die gesamte maximale Rippelbelastung beträgt 17,7 A für Schaltfrequenzen >20 kHz.

Zusammenfassend sind die verwendeten passiven Bauelemente mit ihren Kenndaten in **Tab. 4.6** dargestellt, die Schaltpläne des Leistungsteils sind in Anhang F angegeben. **Abbildung 4.3** zeigt eine Fotografie der praktischen Realisierung des Leistungsteils, in Anhang G.1 sind weitere, detaillierte Fotografien des Leistungsteils gezeigt.

BE	Anz.	Typ	Hersteller	Kenndaten	Abmessungen
L_F	3	–	Egston GmbH, micrometals	277 μH @ 0 A, 130 μH @ 15 A	$d = 60$ mm $h = 30$ mm
C_F	3×4	B81131-C1105-M	Epcos	1 μF, 300 V	$(19 \times 30 \times 31,5)$ mm^3
L	2	–	Egston GmbH, micrometals	3 mH @ 0 A, 0,87 mH @ 15 A	$d = 60$ mm $h = 60$ mm
C_0	5	B43501-A5157-M	Siemens Matsushita	150 μF, 450 V	$d = 25$ mm, $h = 40$ mm

Tab. 4.6: Ausgewähle passive Bauelemente (BE) mit Kenndaten.

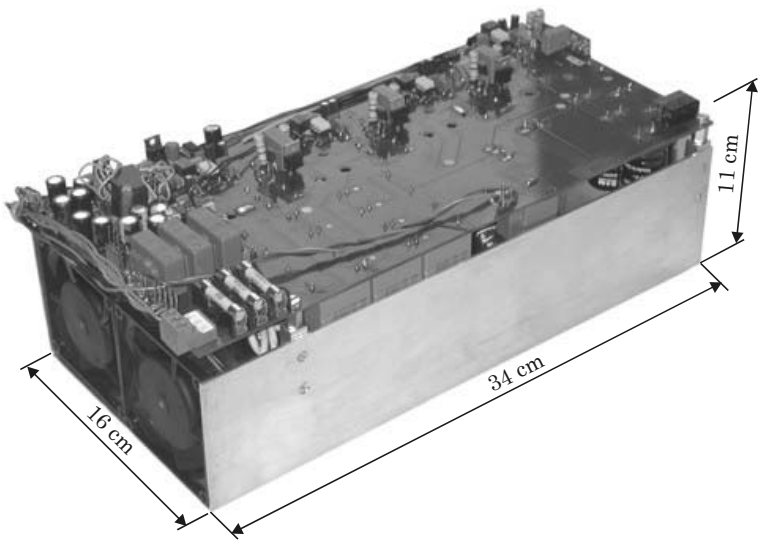


Abb. 4.3: Leistungsteil des Gleichrichtersystems.

4.2 Eigenbedarfsversorgung

Die Eigenbedarfsversorgung stellt alle Spannungen (±15 V, +5 V, +24 V) zur Verfügung, die notwendig sind, um die Gate-Ansteuereinheiten, den Signalprozessor und die Lüfter zu versorgen. Die Eigenbedarfsversorgung ist durch eine dreiphasige Diodenbrücke, die vom Netz gespeist wird, eine Halbbrücke mit zwei 900 V MOSFETs und einen Hochfrequenztransformator mit vier Sekundärwindungen realisiert. Der dazugehörige Schaltplan sowie die Daten des Hochfrequenztransformators sind in Anhang F zu finden.

4.3 Realisierung des Steuerteils

Die Generierung der Schaltfunktionen und die Regelung des Pulsgleichrichtersystems erfolgt mit Hilfe eines digitalen Signalsprozessorsystems. Die Ansteuersignale der Leistungstransistoren werden mit Hilfe von Optokopplern potentialfrei übertragen. Für die Messung der Eingangsströme sowie des Zwischenkreisstromes sind kompensierende Stromwandler auf dem Leistungsteil vorgesehen, die Anpassung der hohen Spannungen des Leistungsteils auf ein für die Analog-Digital-Konverter (ADCs[4]) messbares Niveau ist auf einer eigenen Platine (im Folgenden als Signalanpassungsbord bezeichnet) untergebracht. Weiters

[4] **A**nalog-**D**igital-**C**onverter.

ist auf dem Signalanpassungsbord eine Schutzbeschaltung sowohl für den Leistungsteil (Überstrom- und Überspannungsabschaltung) als auch für die ADCs (Begrenzung der Eingangsspannung) untergebracht. Die Anbindung des Leistungsteils an den digitalen Signalprozessor (kurz DSP genannt) erfolgt durch eine Peripheriekarte, die die Messwerte in digitaler Form an den Signalprozessor liefert und dessen Berechnungsergebnisse in Schaltfunktionen umsetzt, vgl. **Abb. 4.4**. Für die Durchführung der Berechnungen kommt ein Gleitkomma-Signalprozessor ADSP-21061 SHARC von Analog Devices zum Einsatz [23], der in Kombination mit dem SHARC EZ-KIT Lite Board verwendet wird [24], wodurch eine komplette Programmier- und Simulationsumgebung zur Verfügung steht. Der gesamte Steuerteil wurde im Rahmen einer Diplomarbeit realisiert, Details sind daher in [12] nachzulesen, im Folgenden wird nur ein Überblick gegeben.

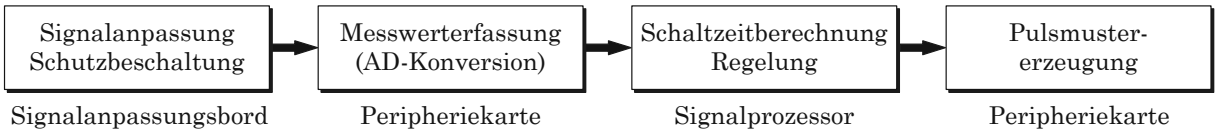


Abb. 4.4: Grundstruktur des Signalprozessorsystems.

4.3.1 Realisierung des Signalanpassungsbords

Zur Verwendung für die digitale Regelung müssen die Eingangsgrößen in für die Analog-Digital-Konverter brauchbare Signale umgewandelt werden, die Eingangsspannungsbereiche der ADCs betragen je nach Type ±10 V oder +2,5 V. Die Eingangsspannungen werden an den Filterkondensatoren gegen einen künstlichen Sternpunkt gemessen, die Unterdrückung des schaltfrequenten Rippels erfolgt mittels eines Bandpasses mit der Mittenfrequenz von 50 Hz, um eine Phasenverschiebung zu vermeiden. Die obere und die untere Grenzfrequenz des Bandpasses müssen dabei so gewählt werden, dass die niederfrequenten Harmonischen der Spannung nicht unterdrückt werden, da ein der Netzphasenspannung proportionaler Netzstrom erzielt werden soll. Die Messung der Netzphasenströme und des Zwischenkreisstromes erfolgt mit Hilfe von kompensierenden Stromwandlern (Type LAH 25-NP [25]), welche ein Übersetzungsverhältnis von 1:1000 aufweisen. Die Ausgangsgleichspannungen der Tiefsetzstellerstufe und der Hochsetzstellerstufe werden mittels einer Differenzverstärkerschaltung gemessen. Die jeweils zur Signalaufbereitung gewählten Schaltungen sind in **Abb. 4.5** dargestellt. Weiters sind auf dem Signalanpassungsbord Schaltungen zur Überwachung der Größe der Netzphasenströme, des Zwischenkreisstromes und der Ausgangsspannung vorgesehen. Alle detaillierten Schaltungen auf dem Signalanpassungsbord sind Anhang F zu entnehmen, eine Fotografie des Signalanpassungsbords ist in Anhang G.2 gezeigt.

4.3.2 Realisierung der Peripheriekarte

Auf der Peripheriekarte sind alle Einheiten untergebracht, die für die Regelung des Pulsgleichrichtersystems durch den Signalprozessor benötigt werden. Im Wesentlichen sind dies die Vorgabe der Dauer einer Pulsperiode, die Digitalisierung aller Messwerte, die Kommunikation mit dem Signalprozessor (dieser führt die Berechnungen für die Regelung und der Einschaltdauern der Leistungstransistoren durch) und die Ausgabe der Pulsmuster (Schaltsignale) für die Ansteuerung der Leistungstransistoren. Die Pulsmuster können in bestimmten Fällen, abhängig vom gewählten Steuerverfahren, direkt von den PWM-Kanälen[5] gewonnen werden. Die Ausgänge der PWM-Kanäle entsprechen dann genau den benötigten Schaltfunktionen für die Leistungstransistoren. Andernfalls werden durch die PWM-Kanäle nur Hilfsschaltfunktionen erzeugt, die mit Hilfe einer in einem EPROM gespeicherten Umcodiertabelle geeignet umcodiert werden, um zu den benötigten Schaltfunktionen zu gelangen.

Ein Großteil der Logik ist aus Platzgründen und aus Gründen des Komforts bei der Entwicklung in programmierbaren Logikbausteinen (PLDs[6]) untergebracht. Die Peripheriekarte wurde als ein Experimentierbord mit größtmöglicher Flexibilität entworfen, was eine einfache Erweiterung des Systems um z.B. weitere Eingangsgrößen für die Regelung erlaubt: über neun ADCs können Signale eingelesen werden,

[5] PWM = **P**uls**w**eiten**m**odulation: Steuerung der Breite eines Rechteckimpulses innerhalb einer *konstanten* Pulsperiodendauer durch einen Faktor $\delta \in (0; 1)$.

[6] PLD = **P**rogrammable **L**ogic **D**evice.

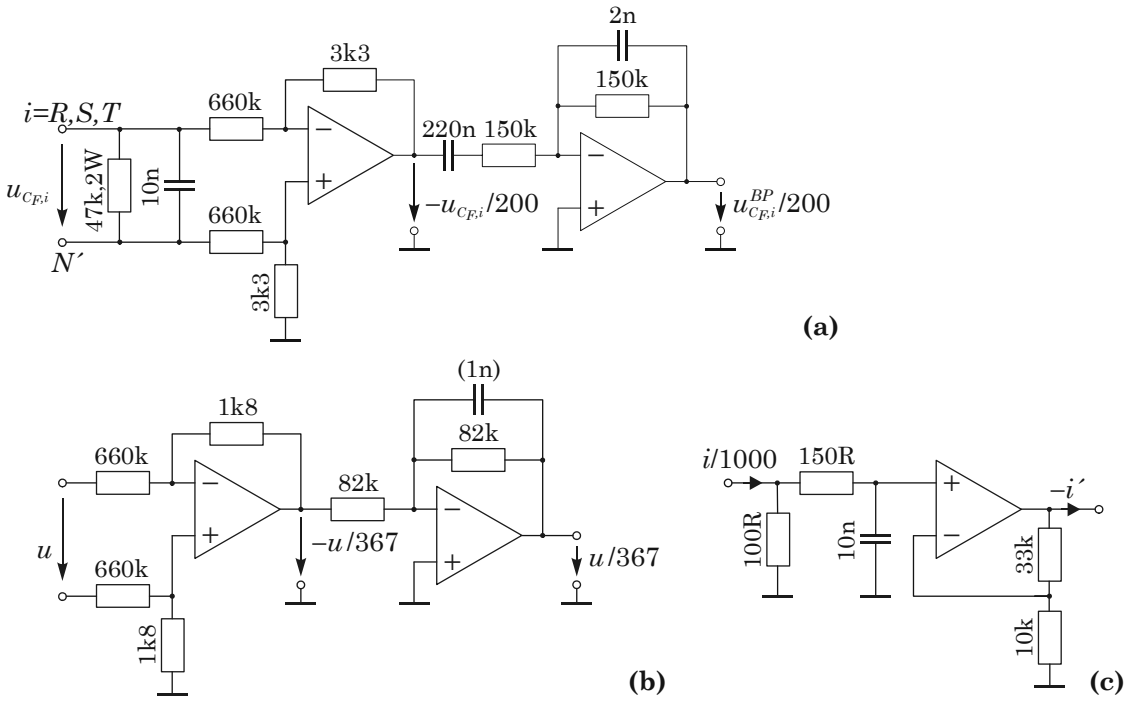


Abb. 4.5: Verwendete Schaltungen zur Messung der Netzphasenspannungen **(a)**, der Ausgangsspannungen der Tiefsetzstellereingangsstufe bzw. der Systemausgangsspannung **(b)** und der Netzströme bzw. des Zwischenkreisstromes **(c)**. Der Kondensator (1 nF) in der Rückkopplung in (b) ist nur zur Messung der Tiefsetzstellerausgangsspannung notwendig.

weiters stehen ein 8-bit breiter Digitaleingang, vier Analogausgänge und ein 8-bit breiter Digitalausgang zur Verfügung. Durch das zweite PLD besteht die Option zur Regelung eines zweiten, phasenversetzt getakteten Pulsgleichrichtersystems, womit die Anzahl der PWM-Kanäle von vier auf acht verdoppelt wird. Durch die flexible Auslegung der Peripheriekarte ist auch ein Einsatz bei anderen, ähnlich gelagerten Regelungsproblemen möglich, die auch eine Ausgabe mittels PWM-Kanälen erfordern [26].

Der Schaltplan der Peripheriekarte ist in Anhang F angeführt, die umfangreichen Schaltpläne der in den PLDs implementierten Logik finden sich in [12]. In **Tab. 4.7** ist eine Zuordnung der ADCs zu den vom Signalanpassungsbord zur Verfügung gestellten Messgrößen und das dazugehörige Übersetzungsverhältnis angegeben. Eine Fotografie des Signalprozessorbords sowie der Peripheriekarte ist in Anhang G.2 gezeigt.

4.3.3 Steuerungsablauf

Die Schaltsignale werden mittels einer Dreieckverschneidung [27] generiert, wobei das Dreiecksignal mit Hilfe eines Zählers mit fixer Zählfrequenz realisiert wird, dessen Zählrichtung mit einem festgelegten Takt zwischen aufwärts und abwärts umgeschaltet wird. Die Schaltfunktionen werden dabei mit Hilfe des höchstwertigen Bits eines 9-Bit Zählers generiert, die gewünschte Pulsbreite wird, dargestellt durch eine 8-Bit Zahl, beim Umschalten der Zählrichtung in die unteren 8 Bit des Zählers geladen. Das Ausgangssignal des höchstwertigen Bits des Zählers entspricht damit einem pulsbreitenmodulierten Signal, dessen Pulsbreite proportional dem Ladewert der unteren 8 Bits ist [12], [28].

Die Taktfrequenz des gewählten 16 MHz Quarzoszillators wird durch einen 8-Bit-Zähler geteilt, womit eine Zyklusdauer – die einer Pulshalbperiode bzw. der Abtastzeit des Systems durch die ADCs entspricht – von

$$T_P/2 = \frac{1}{f_Q}\,2^8 = \frac{1}{16\ \text{MHz}} \cdot 256 = 16\ \mu\text{s}, \tag{4.20}$$

erzielt wird. die Auflösung der pulsbreitenmodulierten Signale beträgt auf Grund der 8-bit Zähler 62,5 ns,

$$\frac{T_P/2}{2^8} = \frac{16\ \mu\text{s}}{256} = 62,5\ \text{ns}. \tag{4.21}$$

ADC	Typ	Messgröße	Übersetzung	Bemerkung
ADC1	AD7892-3	$u_{C_F,R}$	0,005 V/V	Filterkondensatorspannung in Phase R
ADC2	AD7892-3	$u_{C_F,S}$	0,005 V/V	Filterkondensatorspannung in Phase S
ADC3	AD7892-3	$u_{C_F,T}$	0,005 V/V	Filterkondensatorspannung in Phase T
ADC4	AD7892-1	i	0,43 V/A	Zwischenkreisstrom
ADC5	AD7892-3	u	0,00273 V/V	Tiefsetzsteller-Ausgangsspannung
ADC6	AD7892-3	u_0	0,00273 V/V	System-Ausgangsspannung
ADC7	AD7892-3	u_2	0,00273 V/V	Ausgangsspannung des 2. Tiefsetzstellers bei Parallelschaltung von zwei Systemen
ADC8	AD7892-1	i_2	0,43 V/A	Zwischenkreisstrom oder Ausgangsstrom bei Parallelschaltung von zwei Systemen
ADC9	AD7892-1	i_3	0,43 V/A	Zwischenkreisstrom oder Ausgangsstrom bei Parallelschaltung von zwei Systemen

Tab. 4.7: Zuordnung der ADCs zu den gemessenen Signalen und dazugehörige Übersetzungsverhältnisse.

Nach einer halben Pulsperiode werden die Zähler mit einem neuen, der Einschaltdauer der Leistungstransistoren entsprechenden Wert geladen. Für ein symmetrisches Modulationsverfahren, bei dem eine Pulsperiode aus zwei aufeinanderfolgenden Zyklen von 16 μs besteht, ergibt sich damit eine Pulsfrequenz von

$$f_P = \frac{1}{T_P} = \frac{1}{2 \cdot 16\ \mu\text{s}} = 31,25\ \text{kHz} \tag{4.22}$$

Anstatt eines Dreiecksignals kann auch ein Sägezahnsignal zur Erzeugung der Schaltsignale herangezogen werden, man erhält dadurch eine asymmetrische Schaltzustandssequenz (vgl. Tab. 3.1), die Pulsfrequenz beträgt dann 62,5 kHz. Falls notwendig, können die gewonnenen Schaltsignale als Hilfsschaltsignale verwendet werden und mittels der vorgesehenen EPROMs zu den tatsächlichen Schaltsignalen umcodiert werden.

Um eine störungsfreie Generierung der Pulsmuster und damit einen sicheren Betrieb des Gleichrichtersystems zu gewährleisten, müssen alle Ein- und Ausgaben des Signalprozessors simultan erfolgen. Es werden daher am Beginn jeder Pulshalbperiode alle Analogeingänge gleichzeitig gelesen und alle Ausgänge aktualisiert. Gesteuert durch den 16 MHz Quarzoszillator wird alle 16 μs ein Impuls ausgegeben, welcher die Konversion der ADCs startet und gleichzeitig die Ausgangsregister aktualisiert. Haben die ADCs die Konversion beendet und steht der digitalisierte Wert bereit, wird ein Interrupt des Signalprozessors ausgelöst. Die Interrupt-Serviceroutine IRQ0 beginnt nun mit dem Abarbeiten des Programms und kehrt anschließend in das Hauptprogramm zurück, in dem der Signalprozessor im Energiesparmodus auf den nächsten Interrupt wartet. Ein Struktogramm des implementierten Hauptprogramms und der Interrupt-Serviceroutine IRQ0 ist in **Abb. 4.8** und **Abb. 4.9** dargestellt.

HAUPTPROGRAMM	
Initialisierung von Hardware und Variablen	
∞	
	Warten auf Interrupt IRQ0

Tab. 4.8: Struktogramm des Signalsprozessor-Hauptprogramms.

INTERRUPT IRQ0
Einlesen der digitalen Messsignale von den ADC-Kanälen
Umwandeln in Gleitkomma-Zahlen
Berechnungen gemäß implementierter Regelstruktur
Berechnung der Einschaltdauern
Ausgabe der Einschaltdauern
Rücksprung ins Hauptprogramm

Tab. 4.9: Struktogramm der Interrupt-Serviceroutine des Hardware-Interrupts IRQ0.

Kapitel 5

Experimentelle Analyse des Leistungsteils

Vor der Untersuchung des Netzverhaltens des Gleichrichtersystems soll das Schaltverhalten der ausgewählten Leistungstransistoren experimentell analysiert werden und mit den damit erhaltenen Daten die erreichbare Ausgangsleistung in Abhängigkeit der Schaltfrequenz bestimmt werden. Damit kann die für die weiteren Untersuchungen zu verwendende Schaltfrequenz festgelegt werden. Dieser Schritt ist notwendig, da die den Datenblättern entnommenen Angaben zur Auswahl der Bauelemente mit teils sehr großen Toleranzen behaftet sind und zum Teil auch vom Schaltungsaufbau abhängig sind. Weiters wird der Wirkungsgrad des Gleichrichtersystems abgeschätzt und eine Aufspaltung der Verluste in Schaltverluste und Leitverluste der Leistungshalbleiter vorgenommen, wodurch eine Basis für die Weiterentwicklung des Systems hinsichtlich der einzusetzenden Leistungshalbleiter gegeben wird. Der zweite Teil dieses Kapitels beschäftigt sich mit der experimentellen Analyse eines – ausgehend von den durch die experimentelle Analyse gewonnenen Daten – von IXYS Semiconductor GmbH entwickelten Moduls, das alle Leistungshalbleiter eines Brückenzweiges der Tiefsetzstellereingangsstufe enthält. Es werden wie für den Aufbau mit diskreten Leistungshalbleitern der Wirkungsgrad abgeschätzt, eine Aufteilung der Verlustanteile der einzelnen Halbleiter berechnet und Betriebsparameter für den optimalen Einsatz des Moduls in einer industriellen Anwendung angegeben. Im letzten Teil des Kapitels werden mögliche parasitäre Einflüsse auf das Betriebsverhalten des Gleichrichtersystems aufgezeigt und ihre Relevanz sowie mögliche Abhilfemaßnahmen diskutiert.

5.1 Schaltverlustmessung für diskreten Aufbau

5.1.1 Experimentelle Ermittlung der Schaltverluste

Um die Schaltverluste der Leistungshalbleiter experimentell bestimmen zu können, werden die Netzphasenspannungen durch Hilfsgleichspannungen ersetzt, womit ein Zeitpunkt der Netzperiode simuliert werden kann. Es werden die Netzphasenspannungen

$$\begin{aligned} u_{N,R} &= \hat{U}_N \cos(\omega_N t), \\ u_{N,S} &= \hat{U}_N \cos(\omega_N t - \frac{2\pi}{3}), \\ u_{N,T} &= \hat{U}_N \cos(\omega_N t + \frac{2\pi}{3}), \end{aligned} \tag{5.1}$$

angenommen, der einzustellende Punkt innerhalb der Netzperiode ist die Mitte von Sektor 1 ($u_{N,R} > 0 > u_{N,S} > u_{N,T}$), d.h. $\omega t = \pi/12$. Damit ergeben sich für die Hilfsgleichspannungsquellen, die zwischen den Phasen platziert werden,

$$\begin{aligned} U_{H,RS} &= u_{N,R} - u_{N,S} = \sqrt{3}\,\hat{U}_N \cos(\omega_N t + \frac{\pi}{6}) = 1,73\,U_N, \\ U_{H,ST} &= u_{N,S} - u_{N,T} = \sqrt{3}\,\hat{U}_N \sin(\omega_N t) = 0,634\,U_N, \end{aligned} \tag{5.2}$$

$$U_{H,TR} \quad = \quad u_{N,T} - u_{N,R} = -\sqrt{3}\,\hat{U}_N \,\sin\left(\omega_N\, t + \frac{\pi}{3}\right) = -2,37\, U_N.$$

Um die Schaltverluste mit guter Genauigkeit bestimmen zu können, und um den weiten Eingangsspannungsbereich sowie verschiedene Ausgangsleistungen zu erfassen, werden Eingangsspannungen im Bereich von $U_N \in (100 \ldots 250)$ V durch Hilfsgleichspannungen ersetzt, vgl. (5.2), sowie verschiedene Ströme im Bereich $I \in (5 \ldots 35)$ A angenommen [29].

Um alle innerhalb einer Pulshalbperiode auftretenden Schalthandlungen untersuchen zu können, wird das in **Abb. 5.1** gezeigte Schaltmuster verwendet. Die Zeit T_{Lade} ist variabel und wird verwendet, um den gewünschten Gleichstrom I einzustellen, die Dauer der nachfolgenden Schaltzustände ist konstant und mit $T = 4$ μs festgelegt. Auf Grund der großen Induktivität und der kurzen Zeit T kann der Strom I während der Schalthandlungen als konstant angenommen werden. Wegen der geringen Wiederholrate des Schaltmusters von 1 Hz kann weiters der Temperaturanstieg zufolge der Schalthandlungen vernachlässigt werden, d.h. die Sperrschichttemperatur T_J der Leistungshalbleiter kann gleich der Kühlkörpertemperatur T_{KK} gesetzt werden. Der Kühlkörper wird mittels Heizwiderständen auf 120 °C aufgeheizt, um eine übliche Betriebstemperatur der Leistungshalbleiter zu erreichen, weiters wird das Schaltverhalten bei Raumtemperatur $T_J = 25$ °C untersucht.

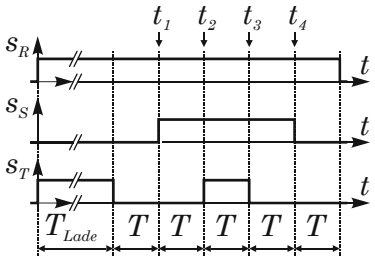


Abb. 5.1: Verwendetes Schaltmuster zur Bestimmung der Schaltverluste.

Die Messung des vom Leistungstransistor geschalteten Stromes erfolgt durch einen niederinduktiven Shunt [11], um Zeitverzögerungen und damit Fehlern in der Berechnung der Schaltverluste vorzubeugen, die durch die Verwendung einer konventionellen Stromzange entstehen würden. Der Shunt ist durch Parallelschaltung von $10 \times 1\ \Omega$ SMD-Widerständen realisiert, der Spannungsabfall, der durch den zu messenden Strom entsteht, wird direkt an den Widerständen mittels eines koaxialen Kabels gemessen. Die Messung der Spannung an den Leistungshalbleitern wurde mit einem Differentialtastkopf TEK P5205 (Tektronix) vorgenommen, für die Auswertung der gemessenen Signale wurde ein Digitalspeicheroszilloskop TDS3014 (100 MHz, 1,25 GS, Tektronix) verwendet.

5.1.2 Auswertung der experimentellen Ergebnisse

Die Einschalt- sowie die Ausschaltverluste der Leistungstransistoren sowie die Forward Recovery Verluste der Leistungsdioden werden an den Übergängen zwischen den Schaltzuständen zu den Zeitpunkten t_i, $i = 1 \ldots 4$, gemessen, vgl. Abb. 5.1. Für jede Schalthandlung kann zumindest ein Proportionalitätsfaktor zwischen der Schaltverlustenergie $W^n_{l,m}$ und der geschalteten Spannung bzw. dem geschalteten Strom angegeben werden. Der Proportionalitätsfaktor ist einem Leistungstransistor, $m = S_i$, oder einer Leistungsdiode, $m = D$, zugeordnet, l bezeichnet die Einschalthandlung, $l = \text{EIN}$, oder die Ausschalthandlung, $l = \text{AUS}$, n kennzeichnet den Typ der Schalthandlung, wobei der Strom I beim Übergang zwischen zwei aktiven Schaltzuständen von einem Leistungstransistor zu einem anderen kommutiert werden kann, $n = S \rightarrow S$, oder die Kommutierung des Gleichstromes erfolgt zwischen aktivem Schaltzustand und Freilaufzustand, d.h. von einem Leistungstransistor in die Freilaufdiode, $n = S \rightarrow D_F$, bzw. umgekehrt, $n = D_F \rightarrow S$.

Z.B. wird zum Zeitpunkt t_1 in Abb. 5.1 vom Schaltzustand $j = (100)$ in den Schaltzustand $j = (110)$ geschaltet und der Strom von der Freilaufdiode D_F in die Leistungstransistoren S_R und S_S kommutiert, d.h. es kommt zu Einschaltverlusten $W^{D_F \rightarrow S}_{\text{EIN},S}$ in Leistungstransistor S_S (Leistungstransistor S_R verbleibt im eingeschalteten Zustand, daher treten keine Einschaltverluste auf, vgl. Abschnitt 3.2).

Die Ergebnisse der Schaltverlustmessung für $W^{D_F \rightarrow S}_{\text{EIN},S}$ bei unterschiedlichen Eingangsspannungen U_N in Abhängigkeit des geschalteten Gleichstromes I sind in **Abb. 5.2** gezeigt. Um die Schaltverluste analy-

tisch berechnen zu können, werden die Messergebnisse durch eine lineare bzw. eine quadratische Approximation angenähert, vgl. die durchgezogenen Linien in Abb. 5.2. In diesem Fall können die Einschaltverluste durch

$$W_{\mathrm{EIN},S}^{D_F \to S} = 1 \frac{\mathrm{nJ}}{\mathrm{AV}^2}\, I\, U_N^2 + 7.18 \frac{\mathrm{nJ}}{\mathrm{V}^2}\, U_N^2, \tag{5.3}$$

ausgedrückt werden, der stromunabhängige Term repräsentiert Verluste zufolge parasitärer Kapazitäten des Leistungskreises.

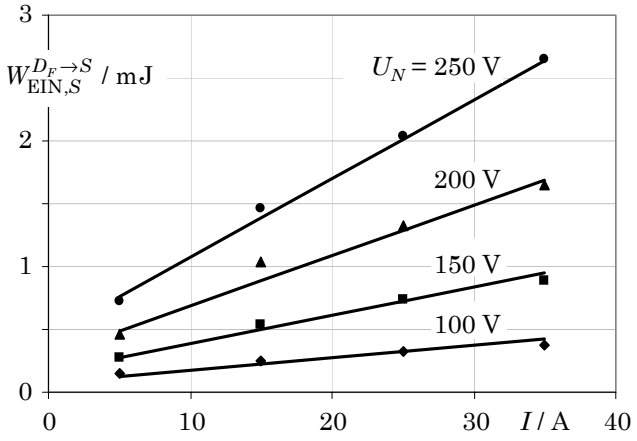


Abb. 5.2: Einschaltverluste $W_{\mathrm{EIN},S}^{D_F \to S}$ in Abhängigkeit des geschalteten Gleichstromes I, Parameter der Kurvenschar ist die Netzphasenspannung U_N. Die Symbole kennzeichnen die Messergebnisse, die Approximationen der Messwerte sind mit durchgezogenen Linien eingezeichnet.

Die Approximationen der Verluste, die bei den anderen Schalthandlungen zu den Zeitpunkten t_i auftreten, sind in **Tab. 5.1** zusammengefasst, wodurch die Basis für eine analytische Berechnung der gesamten Schaltverluste der Leistungstransistoren und -dioden gegeben ist.

t_i	$W_{l,m}^{n}$
t_1	$W_{\mathrm{EIN},S}^{D_F \to S} = 1 \frac{\mathrm{nJ}}{\mathrm{AV}^2}\, I\, U_N^2 + 7.18 \frac{\mathrm{nJ}}{\mathrm{V}^2}\, U_N^2$
t_1	$W_{\mathrm{EIN},D}^{D_F \to S} = 5 \frac{\mu\mathrm{J}}{\mathrm{A}}\, I$
t_2	$W_{\mathrm{EIN},S}^{S \to S} = 0.106 \frac{\mu\mathrm{J}}{\mathrm{AV}}\, I\, U_N + 1.11 \frac{\mathrm{nJ}}{\mathrm{V}^2}\, U_N^2$
t_3	$W_{\mathrm{AUS},S}^{S \to S} = 0.1 \frac{\mu\mathrm{J}}{\mathrm{AV}}\, I\, U_N$
t_3	$W_{\mathrm{EIN},D}^{S \to S} = 2.67 \frac{\mu\mathrm{J}}{\mathrm{A}}\, I$
t_4	$W_{\mathrm{AUS},S}^{S \to D_F} = 0.731 \frac{\mathrm{nJ}}{\mathrm{AV}^2}\, I\, U_N^2$

Tab. 5.1: Approximation der Messergebnisse der Schaltenergieverluste.

Im Folgenden wird das zeitliche Verhalten der geschalteten Spannung und des geschalteten Stromes für alle auftretenden Schalthandlungen innerhalb einer Pulsperiode diskutiert. Beim Übergang vom Freilaufzustand in einen aktiven Zustand (Zeitpunkt t_1 in Abb. 5.1) kommt es zu einer Verringerung der Einschaltspannung U_{S_S} des geschalteten Leistungstransistors S_S wegen der Forward Recovery Spannung der in Serie zu S_S liegenden Dioden D_{RN+}, D_{R+}, D_{SN-} und D_{S-}, vgl. Punkt 1 in Abschnitt 5.1.3.B. In **Abb. 5.3**(a) ist die Forward Recovery Spannung der Leistungsdiode D_{SN-} für eine geschaltete Spannung von 400 V und einen geschalteten Strom von 20 A dargestellt, der Spitzenwert der Forward Recovery Spannung U_{FR} ist $\approx$ 25 V. In Abb. 5.3(b) ist die Einschaltspannung des Leistungstransistors S_S gezeigt,

die um den vierfachen Wert der Forward Recovery Spannung von $4\,U_{FR} \approx 100\ V$ verringert ist, wodurch auch die Einschaltverluste des Leistungstransistors reduziert werden. Allerdings entstehen in den zum geschalteten Leistungstransistor in Serie liegenden Leistungsdioden Einschaltverluste $W_{\mathrm{EIN},D}^{D_F \to S}$ (Forward Recovery Verluste) bzw. wird ein Teil der Einschaltverluste des Leistungstransistors in die Leistungsdioden verschoben.

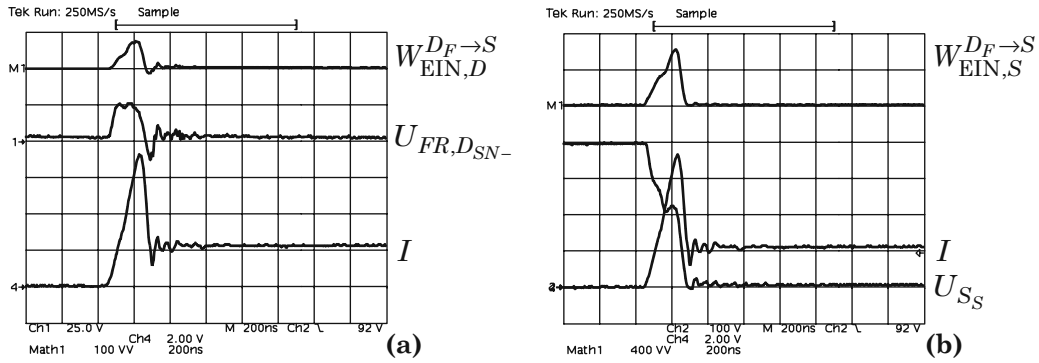


Abb. 5.3: Übergang vom Freilaufzustand in den aktiven Schaltzustand (t_1 in Abb. 5.1) für $I = 20$ A, **(a)**: Zeitlicher Verlauf des Gleichstromes I und der Forward Recovery Verluste $W_{\mathrm{EIN},D}^{D_F \to S}$ in der Leistungsdiode D_{SN-} zufolge der Forward Recovery Spannung $U_{FR,D_{SN-}}$, **(b)**: Zeitlicher Verlauf des Gleichstromes I und der Einschaltverluste $W_{\mathrm{EIN},S}^{D_F \to S}$ des Leistungstransistors S_S zufolge der geschalteten Spannung U_{S_S} bei einer Sperrschichttemperatur von $T_J = 120°$C. Verlustmaßstab: (a) 1 kW/Div., (b): 4 kW/Div., Spannungsmaßstab: (a): 25 V/Div., (b): 100 V/Div., Strommaßstab: 20 A/Div., Zeitmaßstab: 200 ns/Div.

Die Verläufe der geschalteten Ströme und Spannungen von Leistungstransistor S_T beim Übergang zwischen zwei aktiven Schaltzuständen ist in **Abb. 5.4** gezeigt, wobei das Schaltverhalten für eine Sperrschichttemperatur von $T_J = 25°$C und von $T_J = 120°$C verglichen wird. Der Spitzenwert des Rückwärtsstromes steigt für $T_J = 120°$C um nur $\approx 10\%$, während sich die Reverse Recovery Zeit um 50% vergrößert. Weiters kann wieder eine Verringerung der Einschaltspannung zufolge der Forward Recovery Spannung der an der Schalthandlung beteiligten Leistungsdioden beobachtet werden.

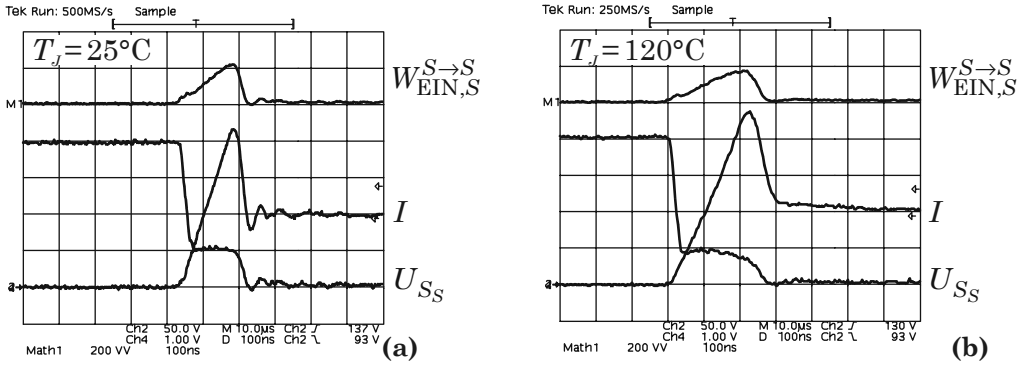


Abb. 5.4: Übergang zwischen zwei aktiven Schaltzuständen (t_2 in Abb. 5.1) für $I = 20$ A, Zeitlicher Verlauf des Gleichstromes I und der Einschaltverluste $W_{\mathrm{EIN},S}^{S \to S}$ des Leistungstransistors S_S zufolge der geschalteten Spannung U_{S_S} bei einer Sperrschichttemperatur von **(a)** $T_J = 25°$C und **(b)** $T_J = 120°$C. Verlustmaßstab: 2 kW/Div., Spannungsmaßstab: 50 V/Div., Strommaßstab: 10 A/Div., Zeitmaßstab: 100 ns/Div.

5.1.3 Berechnung der Gesamtverluste

5.1.3.A Berechnung der Leitverluste

Leistungsdioden

Die Durchlasscharakteristik der Leistungsdioden kann anhand des Datenblattes (vgl. Abb. 1 in [15]) durch

$$u_{D,F} = U_{F,0} + r_D\, i_D \tag{5.4}$$

mit $U_{F,0} = 0,92$ V und $r_D = 10$ mΩ angenähert werden. Die mittleren Leitverluste berechnen sich damit zu

$$P_D = I_{D,avg}\, U_{F,0} + r_D\, I^2_{D,rms}, \tag{5.5}$$

mit

$$I_{D_{i(N)\pm},avg} = \frac{1}{\pi}\,\hat{I}_N, \qquad I^2_{D_{i(N)\pm},rms} = \frac{1}{M\pi}\,\hat{I}^2_N \tag{5.6}$$

für die Leistungsdioden der Brückenzweige und mit

$$I_{D_F,avg} = \frac{\pi - 3M}{M\pi}\,\hat{I}_N, \quad I^2_{D_F,rms} = \frac{\pi - 3M}{M^2\pi}\,\hat{I}^2_N \tag{5.7}$$

für die Freilaufdiode, vgl. Abschnitt 2.6.1.

Leistungstransistoren
Bezugnehmend auf Abb. 2 in [14] kann das Leitverhalten der IGBTs durch

$$u_{S,F} = U_{CE,0} + r_{CE}\, i_S \tag{5.8}$$

mit $U_{CE,0} = 1,25$V und $r_{CE} = 31$ mΩ angenähert werden. Damit erhält man für die mittleren Leitverluste

$$P_S = I_{S,avg}\, U_{CE,0} + r_{CE}\, I^2_{S,rms} \tag{5.9}$$

mit

$$I_{S,avg} = \frac{2}{\pi}\,\hat{I}_N, \qquad I^2_{S,rms} = \frac{2}{M\pi}\,\hat{I}^2_N. \tag{5.10}$$

5.1.3.B Detaillierte Betrachtung der Schalthandlungen und Berechnung der Schaltverluste

Nachfolgend sind alle innerhalb einer Pulsperiode auftretenden Schalthandlungen detailliert beschrieben, womit die Grundlage für die analytische Berechnung der Schaltverluste gegeben ist. Es wird ein Verhältnis der Netzspannungen von $u_{N,R} > 0 > u_{N,S} > u_{N,T}$ angenommen, die Schaltzustände entsprechen den in Abb. 5.1 angegebenen, d.h. es wird Schaltzustandssequenz 1.1 betrachtet (vgl. Tab 3.1), das Ergebnis gilt jedoch auch für Sequenzen 1.2 und 1.3, die sich nur durch den Freilaufzustand voneinander unterscheiden.

1. $t = t_1$, (100) $\rightarrow$ (110)

- S_S wird eingeschaltet
- Der Strom I wird von der Freilaufdiode D_F in die Leistungstransistoren S_R und S_S kommutiert
- **Keine** Schaltverluste in S_R (im eingeschalteten Zustand geklemmt, vgl. Abschnitt 3.2)
- Einschaltverluste $W^{D_F\rightarrow S}_{\text{EIN},S}$ in S_S
- Geschaltete Spannung am Leistungstransistor: $U_{N,RS}$ (vgl. Abb. 2.10(f))
- Einschaltverluste (Forward Recovery Verluste) $W^{D_F\rightarrow S}_{\text{EIN},D}$ in D_{RN+}, D_{R+}, D_{SN-}, D_{S-}

2. $t = t_2$, (110) $\rightarrow$ (111)

- S_T wird eingeschaltet
- Der Strom I kommutiert von Leistungstransistor S_S nach S_T
- **Keine** Schaltverluste in S_S (S_S verbleibt im eingeschalteten Zustand)
- Einschaltverluste $W^{S\rightarrow S}_{\text{EIN},S}$ in S_T

- Geschaltete Spannung am Leistungstransistor: $U_{N,ST}$ (vgl. Abb. 2.10(c))
- Einschaltverluste (Forward Recovery Verluste) $W_{\mathrm{EIN},D}^{S\to S}$ in D_{TN-}, D_{T-}

3. $t = t_3$, $(111) \to (110)$

- S_T wird ausgeschaltet
- Der Strom I kommutiert von Leistungstransistor S_T nach S_S
- **Keine** Schaltverluste in S_S (S_S war während des vorhergehenden Schaltzustandes im eingeschalteten Zustand)
- Ausschaltverluste $W_{\mathrm{AUS},S}^{S\to S}$ in S_T
- Geschaltete Spannung am Leistungstransistor: $U_{N,ST}$
- Einschaltverluste (Forward Recovery Verluste) $W_{\mathrm{EIN},D}^{D_F\to S}$ in D_{SN-}, D_{S-}

4. $t = t_4$, $(110) \to (100)$

- S_S wird ausgeschaltet
- Der Strom I kommutiert von den Leistungstransistoren S_R, S_S in die Freilaufdiode D_F
- **Keine** Schaltverluste in S_R (S_R verbleibt im eingeschalteten Zustand)
- Ausschaltverluste $W_{\mathrm{AUS},S}^{S\to D_F}$ in S_S
- Geschaltete Spannung am Leistungstransistor: $U_{N,RS}$
- Die Einschaltverluste (Forward Recovery Verluste) in der Freilaufdiode D_F sind vernachlässigbar

Die mittleren Schaltverluste P_m ($m = S, D$) eines Leistungshalbleiters innerhalb einer Netzperiode können damit durch Integration der Schaltverlustenergien mittels

$$P_m = \frac{1}{3}\frac{f_P}{2\pi}\int_0^{2\pi}\sum W_{l,m}^n(\varphi)\,\mathrm{d}\varphi \tag{5.11}$$

berechnet werden, der Faktor $\frac{1}{3}$ resultiert aus der zyklischen Vertauschung der an den aktiven Schaltzuständen beteiligten Leistungshalbleitern innerhalb der Netzperiode. In Abhängigkeit der Schalthandlung ist der Schaltverlust proportional zur Netzphasenspannung U_N bzw. zu deren Quadrat U_N^2 (vgl. Tab. 5.1), daher muss der mittlere Schaltverlust gewichtet werden. Für Übergänge zwischen zwei aktiven Schaltzuständen erhält man für die geschaltete Spannung $U_{N,ST}$

$$U_{N,avg}^{S\to S} = \frac{1}{\pi/6}\int_0^{\pi/6} U_{N,ST}(\varphi)\,\mathrm{d}\varphi = \frac{3\sqrt{3}}{\pi}\left(2-\sqrt{3}\right)\hat{U}_N = 0,443\,\hat{U}_N, \tag{5.12}$$

$$\left(U_{N,avg}^{S\to S}\right)^2 = 0,26\,\hat{U}_N^2. \tag{5.13}$$

Für den Übergang zwischen aktivem Schaltzustand und Freilaufzustand und umgekehrt ergibt sich für die geschaltete Spannung $U_{N,RS}$

$$U_{N,avg}^{D_F\rightleftharpoons S} = \frac{1}{\pi/6}\int_0^{\pi/6} U_{N,RS}(\varphi)\,\mathrm{d}\varphi = \frac{3\sqrt{3}}{\pi}\left(\sqrt{3}-1\right)\hat{U}_N = 1,21\,\hat{U}_N, \tag{5.14}$$

$$\left(U_{N,avg}^{D_F\rightleftharpoons S}\right)^2 = 1,5\,\hat{U}_N^2. \tag{5.15}$$

5.1.3.C Berechnung der gesamten mittleren Verlustleistung

Die gesamte mittlere Verlustleistung der Leistungshalbleiter ergibt sich aus der Summe der Schaltverluste und der Leitverluste und kann unter Verwendung von Tab. 5.1, (5.5)–(5.7) und (5.9)–(5.15) berechnet werden. Man erhält für die mittlere Verlustleistung eines Leistungstransistors innerhalb einer Netzperiode

$$\begin{aligned} P_{S_i} &= \frac{f_P}{3}\left(1\frac{\mathrm{nJ}}{\mathrm{AV}^2}\cdot I\cdot 1,5\,\hat{U}_N^2 + 7,18\frac{\mathrm{nJ}}{\mathrm{V}^2}\cdot 1,5\,\hat{U}_N^2 + 0,106\frac{\mu\mathrm{J}}{\mathrm{AV}}\cdot I\cdot 0,443\,\hat{U}_N + 1,11\frac{\mathrm{nJ}}{\mathrm{V}^2}\cdot 0,26\,\hat{U}_N^2\right. \\ &\quad \left. + 0,1\frac{\mu\mathrm{J}}{\mathrm{AV}}\cdot I\cdot 0,443\,\hat{U}_N + 0,731\frac{\mathrm{nJ}}{\mathrm{AV}^2}\cdot I\cdot 0,26\,\hat{U}_N^2\right) + \frac{2I\,M}{\pi}(U_{CE,0} + r_{CE}\,I). \end{aligned} \tag{5.16}$$

Der netzspannungsunabhängige Verlustanteil der Leistungsdioden der Brückenzweige kann mittels

$$P_{D_{i(N)\pm}} = \frac{f_P}{3}\,I\left(5\,\frac{\mu\mathrm{J}}{\mathrm{A}} + 2,67\,\frac{\mu\mathrm{J}}{\mathrm{A}}\right) + \frac{I\,M}{\pi}(U_{F,0} + r_D\,I) \tag{5.17}$$

berechnet werden, für die Leitverluste der Freilaufdiode erhält man

$$P_{D_F} = I\left(1 - \frac{3\,M}{\pi}\right)(U_{F,0} + r_D\,I)\,. \tag{5.18}$$

5.1.4 Ermittlung der zulässigen Betriebsparameter

Um die maximal zulässige Ausgangsleistung der Tiefsetzstellereingangsstufe bei einer bestimmten Pulsfrequenz berechnen zu können, wird für jeden Leistungshalbleiter eine maximale Sperrschichttemperatur $T_{J,\max}$ definiert. Damit können die maximal zulässigen Halbleiterverluste $P_{\max}$ in Abhängigkeit der Kühlkörpertemperatur T_{KK} bestimmt werden,

$$P_{\max} = \frac{1}{R_{\Theta,JS}}\,(T_{J,\max} - T_{KK})\,, \tag{5.19}$$

$R_{\Theta,JS}$ bezeichnet den thermischen Widerstand zwischen Sperrschicht und Kühlkörper. Werden die Halbleiterverluste der Summe aus Schaltverlusten P_S und Leitverlusten P_L gleichgesetzt,

$$P_{\max} = P_S\{f_P; I; U_N\} + P_L\{I\}, \tag{5.20}$$

kann daraus direkt der für einen Leistungshalbleiter zulässige Gleichstrom I bei einer bestimmten Netzphasenspannung U_N berechnet werden. Die erlaubte Belastung der Tiefsetzstellereingangsstufe wird durch jenen Leistungshalbleiter (S_i, $D_{i(N)\pm}$ bzw. D_F) bestimmt, der die geringste zulässige Strombelastung aufweist. Die der Berechnung zugrunde gelegten Parameter sind eine maximale Sperrschichttemperatur von 150 °C, eine Kühlkörpertemperatur von 70 °C, ein Wärmeübergangswiderstand $R_{\Theta,CS} = 0,82$ K/W zwischen dem Gehäuse des Leistungshalbleiters und dem Kühlkörper [19] und – je nach Eingangsspannung – eine Ausgangsspannung $U_0 = 400$ V bzw. ein maximaler Modulationsindex von $M = 1$. Details zur Berechnung sind Anhang H.1 zu entnehmen. In **Tab. 5.2** sind die maximal zulässigen Werte der Strombelastung für die Leistungstransistoren und Dioden in Abhängigkeit der Eingangsspannung (kleinste, mittlere und größte Eingangsspannung) für die Pulsfrequenzen $f_P = 31,25$ kHz und $f_P = 10,0$ kHz gegeben.

Die Tabelle zeigt, dass die maximale Strombelastung bei beiden Pulsfrequenzen im gesamten Spannungsbereich durch die Leistungstransistoren gegeben ist. Die Dioden, insbesondere die Freilaufdiode, weisen eine weitaus höhere Strombelastbarkeit auf, d.h. es liegt – wie schon in Anhang D.1.2 erwähnt – eine Überdimensionierung vor. Die Verwendung einer Type mit geringerer Stromtragfähigkeit wäre möglich gewesen, war aber nicht in dem für die Realisierung gewählten Gehäuse TO247 verfügbar.

Ausgehend vom Maximalwert des Stromes, der durch die Leistungstransistoren definiert wird, können nun für verschiedene Eingangspannungen und Pulsfrequenzen die erreichbare Ausgangsleistung P_0 sowie der Wirkungsgrad η der Tiefsetzstellereingangsstufe berechnet werden (Details zur Berechnung siehe Anhang H.2), vgl. **Abb. 5.5**. Man erkennt, dass für steigende Pulsfrequenz f_P die erreichbare Ausgangsleistung sowie der Wirkungsgrad abnimmt, wobei die Abnahme für höhere Eingangsspannungen auf Grund der (teils quadratisch) mit der Spannung wachsenden Schaltverlustleistung größer ist als im

	f_P = 31,25 kHz			f_P = 10,0 kHz		
$U_{N,ll}$	208 V	327 V	480 V	208 V	327 V	480 V
M	1	1	0,68	1	1	0,68
U_0	254,7 V	400 V	400 V	254,7 V	400 V	400 V
$I_{S_i,\max}$	23,1 A	14,0 A	7,07 A	31,4 A	25,8 A	21,3 A
$I_{D_{i(N)\pm},\max}$	67,4 A	67,4 A	85,4 A	72,2 A	72,2 A	92,9 A
$I_{D_F,\max}$	247 A	247 A	67,5 A	247 A	247 A	67,5 A

Tab. 5.2: Maximal zulässige Strombelastung der Leistungshalbleiter der Tiefsetzstellereingangsstufe bei einer Pulsfrequenz von $f_P = 31,25$ kHz und $f_P = 10,0$ kHz für unterschiedliche Werte der eingangsseitigen Außenleiterspannung $U_{N,ll}$ und für einen maximalen Modulationsindex von $M = 1$ bzw. für 400 V Ausgangsspannung.

unteren Eingangsspannungsbereich. Die höhere Ausgangsleistung bei geringerer Pulsfrequenz im mittleren Eingangsspannungsbereich bzw. der höhere Wirkungsgrad im mittleren Eingangsspannungsbereich erklärt sich aus der Tatsache, dass bei geringer Eingangsspannung ein großer Maximalwert des Stromes erreicht wird, der hohe Leitverluste zur Folge hat. Im mittleren Eingangsspannungsbereich nehmen der Maximalstrom und damit die Leitverluste ab. Bei hoher Eingangsspannung nehmen die Leitverluste nur mehr einen geringen Anteil ein, die Schaltverluste steigen jedoch auf Grund der hohen Spannung, wodurch der Wirkungsgrad abnimmt.

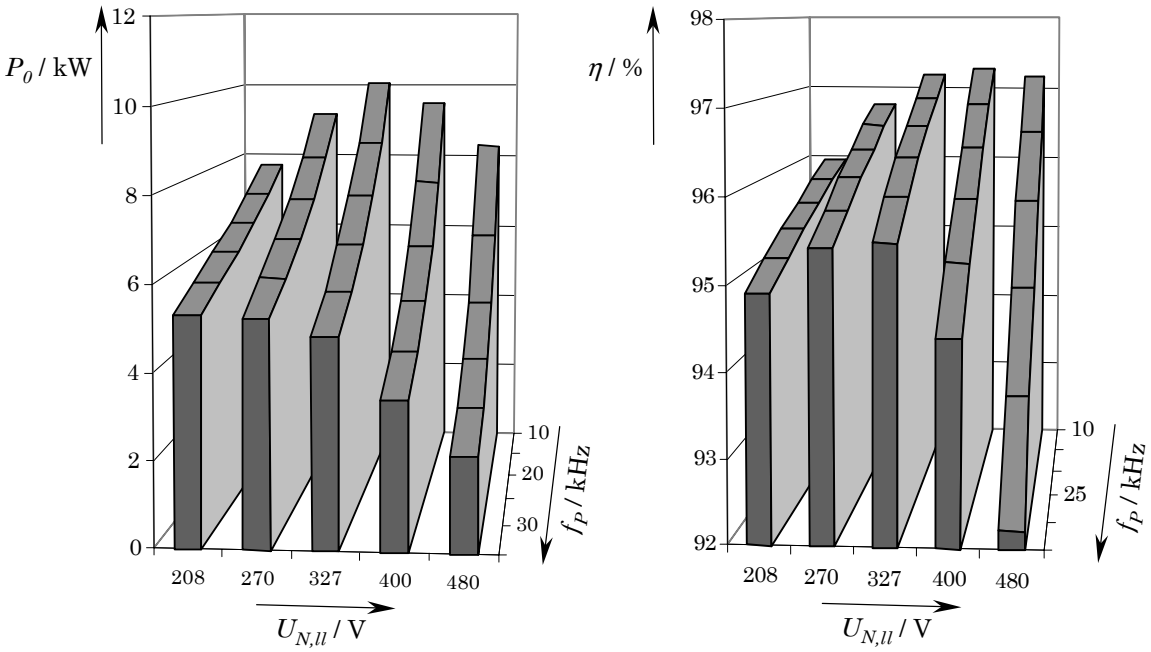


Abb. 5.5: Maximal erreichbare Ausgangsleistung P_0 und Wirkungsgrad η der Tiefsetzstellereingangsstufe in Abhängigkeit der Eingangsspannung (Außenleiterwert) $U_{N,ll}$ und der Pulsfrequenz f_P für einen maximalen Modulationsindex $M = 1$ (bis 327 V Außenleiterspannung) bzw. für 400 V Ausgangsspannung (ab einschließlich 327 V Außenleiterspannung).

Der sichere Betriebsbereich der Tiefsetzstellereingangsstufe ist in **Abb. 5.6**(a) für die oben angeführten Parameter angegeben. Die Begrenzung erfolgt dabei größtenteils durch die Kurve bei größter Eingangsspannung, nur bei kleinen Pulsfrequenzen wird der Betriebsbereich durch die kleinste Eingangsspannung eingeschränkt. Um eine Ausgangsleistung von 5 kW im gesamten Eingangsspannungsbereich zu erreichen, müsste die Pulsfrequenz auf ca. 18 kHz abgesenkt werden, unter Berücksichtigung der Verluste der Hochsetzstellerausgangsstufe, diverser Zusatzverluste sowie eines Sicherheitszuschlages sollte die maximale Pulsfrequenz 17 kHz nicht übersteigen. Da dieser Wert etwa die Hälfte des angestrebten Wertes von 31,25 kHz beträgt, wird die Silikon-Isolierfolie, die zwischen Leistungshalbleitergehäuse und Kühlkörper

sitzt, durch einen anderen Typ mit dem Wärmewiderstand von 0,4 K/W ersetzt [30], wodurch sich der in Abb. 5.6(b) gezeigte sichere Betriebsbereich ergibt. Unter Berücksichtigung aller zusätzlichen Verluste empfiehlt sich damit die Beschränkung der Pulsfrequenz auf $f_P \leq 25$ kHz, um die maximale Halbleitertemperatur nicht zu überschreiten. Der Wirkungsgrad bewegt sich dann in einem Bereich von $95,0$ % bei höchster Eingangsspannung und $96,2$ % im mittleren Eingangsspannungsbereich, vgl. **Abb. 5.7**.

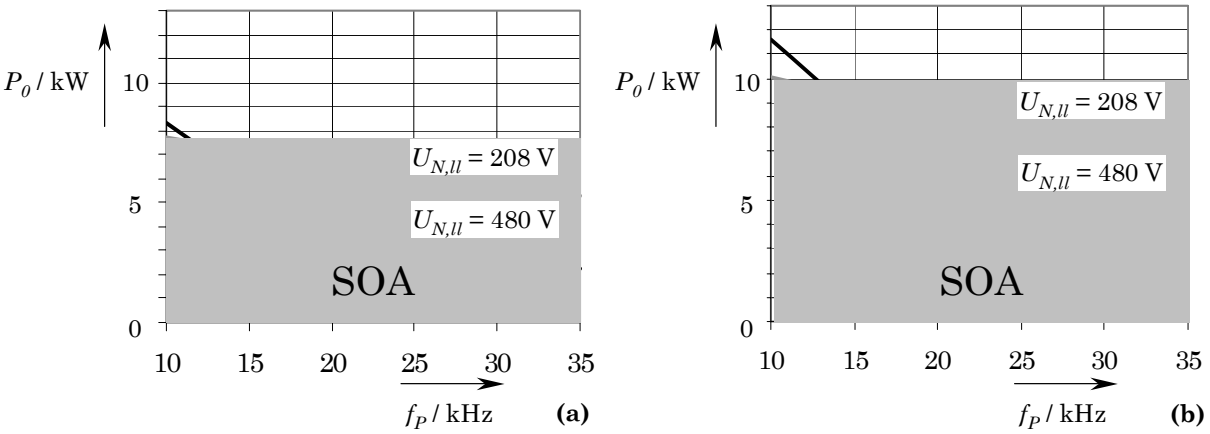


Abb. 5.6: Maximal erreichbare Ausgangsleistung P_0 der Tiefsetzstellereingangsstufe in Abhängigkeit der Pulsfrequenz f_P für einen maximalen Modulationsindex $M = 1$ bei $U_{N,ll} = 208$ V und für 400 V Ausgangsspannung bei $U_{N,ll} = 480$ V für Silikonisolierscheiben mit **(a)** 0,82 K/W und **(b)** 0,4 K/W. Der sichere Arbeitsbereich (Safe Operating Area = SOA) ist grau hinterlegt.

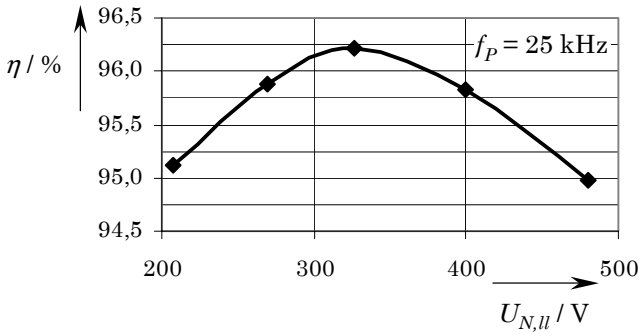


Abb. 5.7: Wirkungsgrad η der Tiefsetzstellereingangsstufe in Abhängigkeit der Eingangsspannung $U_{N,ll}$ für eine Pulsfrequenz $f_P = 25$ kHz und für einen maximalen Modulationsindex $M = 1$ (bis 327 V Außenleiterspannung) bzw. für 400 V Ausgangsspannung (ab einschließlich 327 V Außenleiterspannung) für Silikonisolierscheiben mit 0,4 K/W Wärmewiderstand.

Für die praktische Realisierung wird ein Quarzoszillator mit einer Frequenz von 12 MHz gewählt, mit (4.20) und (4.22) ergibt sich damit eine Pulsfrequenz von $f_P = 23,4375$ kHz.

5.1.5 Aufteilung der Gesamtverluste auf Leit- und Schaltverluste

Die Aufteilung der Gesamtverluste der Leistungshalbleiter der Tiefsetzstellereingangsstufe auf Leit- und Schaltverluste der Leistungstransistoren und -dioden ist in **Abb. 5.8** für die neu gewählte Pulsfrequenz von $f_P = 23,4375$ kHz gezeigt. Man sieht, dass die Schaltverluste der Leistungstransistoren vor allem im mittleren und hohen Eingangsspannungsbereich einen großen Teil der Verluste darstellen, da sie proportional bzw. quadratisch mit der geschalteten Spannung steigen. Auf Grund des hohen Stromes bei niedriger Eingangsspannung weisen die Leitverluste sowohl der Leistungstransistoren als auch der Leistungsdioden der Brückenzweige einen hohen Wert auf. Die Schaltverluste (Forward Recovery Verluste)

der Leistungsdioden nehmen im gesamten Eingangsspannungsbereich einen niedrigen Prozentsatz der Gesamtverluste ein, die Leitverluste der Freilaufdiode sind vernachlässigbar.

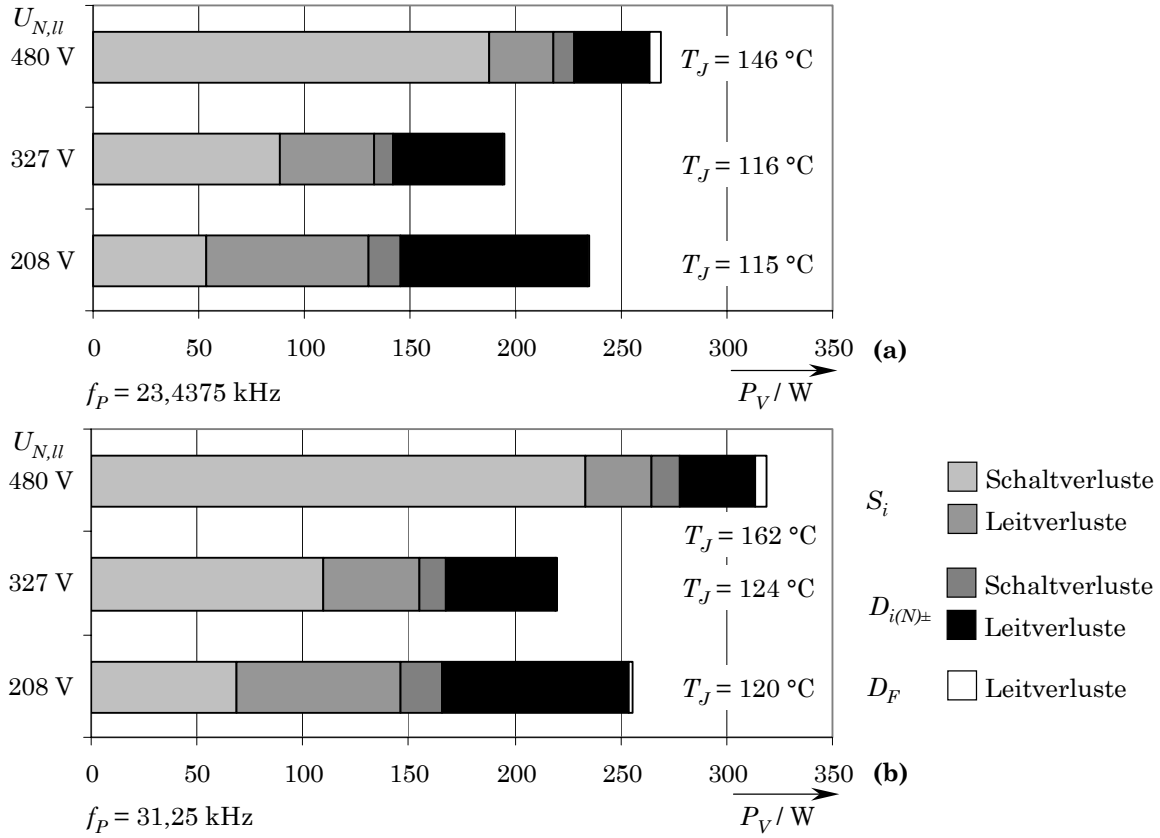


Abb. 5.8: Aufteilung der Gesamtverluste auf Leit- und Schaltverluste der Leistungstransistoren und -dioden der Tiefsetzstellereingangsstufe für unterschiedliche Eingangsspannungen $U_{N,ll}$ und eine Pulsfrequenz von **(a)** $f_P = 23,4375$ kHz und **(b)** $f_P = 31,25$ kHz für einen maximalen Modulationsindex $M = 1$ (bei 208 V und 327 V Außenleiterspannung) bzw. für 400 V Ausgangsspannung (bei 327 V und 480 V Außenleiterspannung) und 5 kW Ausgangsleistung für Silikonisolierscheiben mit 0,4 K/W Wärmewiderstand. T_J bezeichnet die jeweils auftretende Sperrschichttemperatur der Leistungstransistoren.

Für eine Weiterentwicklung des Gleichrichtersystems sollten Leistungstransistoren mit höherer Stromtragfähigkeit verwendet werden, um die Verlustaufteilung zwischen Leistungstransistoren und -dioden anzugleichen. Dieser Sachverhalt wurde bei der Entwicklung eines Moduls, das die Leistungshalbleiter eines Brückenzweiges enthält, berücksichtigt. Weiters könnte die Verwendung von Kapton-Isolierscheiben mit einem noch geringeren Wärmeübergangswiderstand von 0,07 K/W überlegt werden [31], wodurch die Sperrschichttemperaturen weiter gesenkt bzw. die Pulsfrequenz wieder angehoben werden könnten. Ein großer Nachteil der Kapton-Isolierscheiben ist jedoch die geringe Stärke von nur 0,05 mm, wodurch es leicht zu einer Beschädigung und damit zu einem Kurzschluss kommen kann, ein weiterer Nachteil sind die hohen Kosten.

5.2 Entwicklung eines Leistungsmoduls

In Zusammenarbeit mit dem Halbleiterproduzenten IXYS Semiconductor GmbH wurde ein Modul entwickelt, das die Leistungshalbleiter eines Brückenzweiges der Tiefsetzstellereingangsstufe enthält, vgl. **Abb. 5.9**. Durch den modularen Aufbau wird eine geringere Baugröße und damit eine höhere Leistungsdichte des Tiefsetzstellersystems erreicht. Um das Modul beurteilen zu können, werden wie für den diskreten Aufbau die Schaltverluste der Leistungshalbleiter ermittelt und damit die Verlustaufteilung auf

die einzelnen Komponenten sowie der Wirkungsgrad in Abhängigkeit verschiedener Eingangsspannungen und Ausgangsleistungen ermittelt.

Abb. 5.9: Leistungsmodul VUI 30-12N1, gefertigt von IXYS Semiconductors GmbH. Außenansicht und keramische Grundplatte mit Kupferbahnen und Leistungshalbleiterchips.

5.2.1 Interne Struktur des Leistungsmoduls

Die Leistungshalbleiter (Leistungstransistor S und Leistungsdioden $D_{i(N)\pm}$) eines Brückenzweiges sind in ein Modul integriert, vgl. **Abb. 5.10**(a). Für die Dioden sind Halbleiterchips der schnellen Leistungsdiode DSEK 60 von IXYS mit einer Sperrspannung $U_{RRM} = 1200$ V in Verwendung [32], der Leistungstransistor ist durch eine direkte Parallelschaltung von zwei schnell schaltenden 1200 V IGBTs IXDH 30N120 von IXYS realisiert [33]. Das interne Layout des Moduls ist in Abb. 5.10(b) gezeigt. Die Leistungshalbleiterchips sind auf Kupferleiterbahnen gelötet, die auf einer keramischen Grundplatte mit den Abmessungen (35×26) mm^2 sitzen, wodurch ein niedriger thermischer Widerstand und eine hohe Isolationsspannung aller Leistungshalbleiter gegenüber der Montagefläche (Kühlkörper) erreicht werden. Das Layout der Grundplatte wurde aus produktionstechnischen Gründen vom Leistungsmodul IXYS VUM 25-05 übernommen [11], [34], das für einen VIENNA Rectifier[1] [35] entwickelt wurde. Die Abmessungen des Kunststoffgehäuses (vgl. Abb. 5.9) betragen $(62 \times 32 \times 17)$ mm^3.

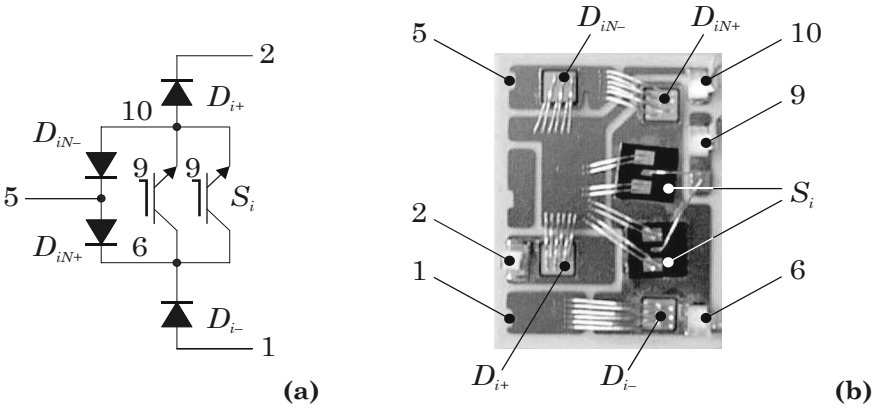


Abb. 5.10: Struktur eines Brückenzweiges der Tiefsetzstellereingangsstufe **(a)** und internes Layout des Leistungsmoduls **(b)**.

5.2.2 Experimentelle Ermittlung der Schaltverluste

Die Ermittlung der Schaltverluste der Leistungshalbleiter des Moduls erfolgt wie in Abschnitt 5.1.1 für den Aufbau des Leistungsteils mit diskreten Halbleitern beschrieben. Die Leistungstransistoren werden

[1] Ein Drei-Phasen Drei-Schalter Gleichrichtersystem mit Hochsetzstellerstruktur und Leistungsfaktorkorrektur.

durch eine Kombination aus einem RC- und einem RCD-Snubber sowie einer zusätzlichen Freilaufdiode geschützt, die Freilaufdiode der Tiefsetzstellereingangsstufe ist mit einem RCD-Snubber versehen (vgl. Abschnitt 4.1.3). Der Gate-Widerstand der Leistungstransistoren wurde mit $R_G = 14\ \Omega$ festgelegt, um die Schaltüberspannungen des Leistungstransistors beim Abschalten sowie den Spitzenwert des Reverse Recovery Stromes der Dioden beim Einschalten zu limitieren.

Die Netzphasenspannungen werden durch Hilfsgleichspannungen nachgebildet und für die Messung des Stromes werden niederinduktive Shunts verwendet. Die innerhalb einer Pulsperiode vorkommenden Schalthandlungen werden mittels der in Abb. 5.1 gezeigten Schaltsignale für unterschiedliche Ströme $I \in (10 \ldots 40)$ A und unterschiedliche Sperrschichttemperaturen ($T_J = 20$ °C und $T_J = 120$ °C) untersucht. Die Messung für $T_J = 20$ °C wird bei Raumtemperatur durchgeführt, für eine Sperrschichttemperatur von $T_J = 120$ °C wird der Kühlkörper mittels Heizwiderständen aufgeheizt.

Beim Übergang zwischen zwei aktiven Schaltzuständen werden die Messungen für einen Wert der Außenleiterspannung von $U_{N,ll} = 400$ V durchgeführt, wobei im Intervall $\varphi_N \in (0; \frac{\pi}{6})$ der Netzperiode fünf Zeitpunkte durch die Hilfsgleichspannungsquellen eingestellt werden. Für den Übergang zwischen aktivem Schaltzustand und Freilaufzustand wird der Zeitpunkt $\varphi_N = \frac{\pi}{3}$ gewählt (d.h. $u_{N,RT} = u_{N,RS}$) und es werden sechs Spannungen im Bereich von $(250 \ldots 500)$ V eingestellt. Damit kann die Abhängigkeit der Schaltverluste für beide Schalthandlungen sowohl von geschalteter Spannung als auch vom geschalteten Strom dargestellt werden. Die gesamten Messergebnisse sind in Anhang I gegeben, die Linearisierung der Kurven wird derart vorgenommen, dass sowohl von geschalteter Spannung als auch von geschaltetem Strom eine lineare Abhängigkeit vorliegt. Die Linearisierung ist beispielhaft an den Ausschaltverlusten eines Leistungstransistors für den Übergang zwischen aktivem Schaltzustand und Freilauf gezeigt, in **Abb. 5.11** sind die Messergebnisse für eine Sperrschichttemperatur von $T_J = 120$ °C dargestellt. Die Linearisierung der Kurve für die Spannung $U_{S_S} = 500$ V am Schalter S_S liefert den Proportionalitätsfaktor

$$k_{\mathrm{AUS},S}^{S\to D_F} = \frac{6000\ \mu\mathrm{J}}{500\ \mathrm{V} \cdot 40\ \mathrm{A}} = 0,30\ \frac{\mu\mathrm{J}}{\mathrm{V} \cdot \mathrm{A}}. \tag{5.21}$$

Damit liegen die durch Linearisierung gewonnenen Werte für höhere Ströme etwa 10 % über den Messwerten, im Bereich kleinerer Ströme liegen die Messwerte unter den linearisierten Werten, wodurch man bei der Ermittlung der zulässigen Betriebsparameter im Bereich größerer Leistungen (d.h. höherer Ströme) auf der sicheren Seite liegt. Die Linearisierung der übrigen Messergebnisse wurde in ähnlicher Form vorgenommen, die resultierenden Proportionalitätsfaktoren $k_{l,m}^{n}$ sind in **Tab. 5.3** zusammengefasst.

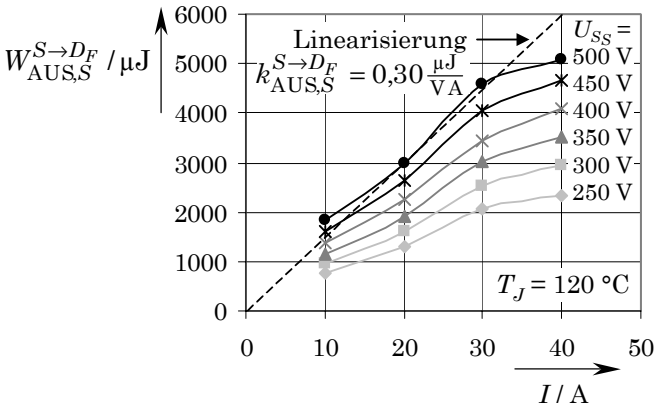


Abb. 5.11: Schaltverlustenergie $W_{\mathrm{AUS},S}^{S\to D_F}$ eines Leistungstransistors beim Übergang zwischen aktivem Schaltzustand und Freilauf für eine Sperrschichttemperatur von $T_J = 120$ °C mit der Spannung U_{S_S} am Schalter S_S als Parameter.

In **Abb. 5.12** sind alle innerhalb einer Pulsperiode vorkommenden Schaltvorgänge mit den zugehörigen Verläufen von geschalteter Spannung und geschaltetem Strom sowie die auftretenden Schaltverluste für eine Sperrschichttemperatur von $T_J = 120$ °C dargestellt. In Abb. 5.12(a) ist das Ausschaltverhalten eines Leistungstransistors beim Übergang vom aktiven Schaltzustand in den Freilauf dargestellt, man erkennt deutlich die Überspannungsbegrenzung durch den Snubber, die Überspannung ist auf etwa 20 V limitiert. In Abb. 5.12(d) ist das Ausschaltverhalten des Leistungstransistors S_T beim Übergang zwischen

$k_{l,m}^{n}$ / $\frac{\mu\mathrm{J}}{\mathrm{VA}}$	$k_{\mathrm{EIN},S}^{S\to S}$	$k_{\mathrm{AUS},S}^{S\to S}$	$k_{\mathrm{EIN},S}^{D_F\to S}$	$k_{\mathrm{AUS},S}^{S\to D_F}$	$k_{\mathrm{EIN},D}^{S\to S}$	$k_{\mathrm{EIN},D}^{D_F\to S}$
$T_J = 20$ °C	0,044	0,19	0,070	0,19	0,046	0,030
$T_J = 120$ °C	0,12	0,27	0,17	0,30	0,052	0,036

Tab. 5.3: Proportionalitätsfaktoren $k_{l,m}^{n}$ für Einschalt- und Ausschaltverluste der Leistungstransistoren und Leistungsdioden für verschiedene Sperrschichttemperaturen T_J und die vorkommenden Schalthandlungen.

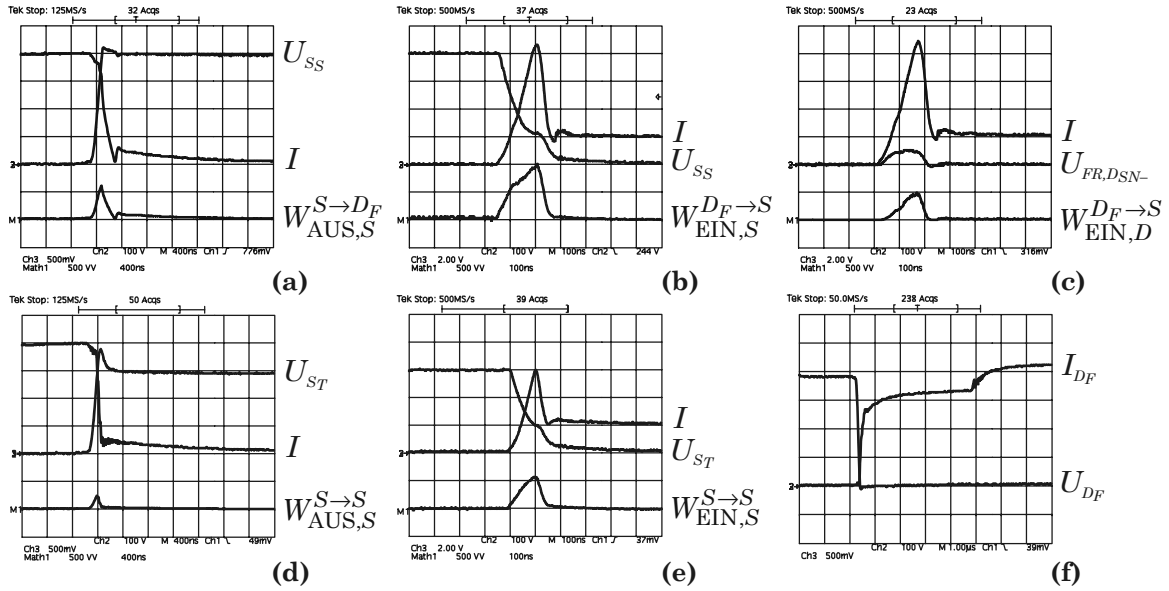


Abb. 5.12: Schaltvorgänge innerhalb einer Pulsperiode bei einer Sperrschichttemperatur von $T_J = 120$ °C und einem geschalteten Strom von $I = 20$ A. Übergang zwischen aktivem Schaltzustand und Freilaufzustand (und umgekehrt) für $u_{N,RT} = u_{N,ST} = 400$ V: **(a)** Ausschalten von Leistungstransistor S_S (Zeitpunkt t_4 in Abb. 5.1), **(b)** Einschalten von Leistungstransistor S_S (Zeitpunkt t_1 in Abb. 5.1) und **(c)** dabei auftretender Forward Recovery Effekt in Leistungsdiode D_{SN-}. Übergang zwischen zwei aktiven Schaltzuständen für $u_{N,RT} =$ 570 V und $u_{N,ST} = 285$ V: **(d)** Ausschalten von Leistungstransistor S_T (Zeitpunkt t_3 in Abb. 5.1) und **(e)** Einschalten von Leistungstransistor S_T (Zeitpunkt t_2 in Abb. 5.1). **(f)** Verhalten des Stromes in der Freilaufdiode beim Übergang in den Freilaufzustand (Zeitpunkt t_4 in Abb. 5.1). Verlustmaßstab: 5 kW/Div., Spannungsmaßstab: 100 V/Div., Strommaßstäbe: (a), (d), (f): 5 A/Div., (b), (c), (e): 20 A/Div., Zeitmaßstäbe: (a), (d) 400 ns/Div., (b), (c), (e): 100 ns/Div., (f): 1 μs/Div.

zwei aktiven Schaltzuständen gezeigt, hier weist die Überspannung einen Wert von ca. 80 V auf, da der Snubber-Kondensator des RCD-Snubbers beim vorhergehenden Schaltvorgang auf einen höheren Wert als die auftretende Überspannungsspitze aufgeladen wurde. Die Überspannung wird daher nur durch den RC-Snubber und nicht durch den RCD-Snubber begrenzt.

In Abb. 5.12(b) und (e) wird das Einschaltverhalten der Leistungstransistoren beim Übergang zwischen Freilaufzustand und aktivem Schaltzustand bzw. beim Übergang zwischen zwei aktiven Schaltzuständen gezeigt; man sieht, dass es eine deutliche Abhängigkeit der Rückstromspitze von der geschalteten Spannung gibt. Für eine Sperrschichttemperatur von $T_J = 20$ °C wird die Rückstromspitze um ≈ 10 % reduziert, vgl. **Abb. 5.13**(a).

Das Verhalten einer Leistungsdiode eines Brückenzweiges beim Übergang zwischen Freilauf und aktivem Schaltzustand ist in Abb. 5.12(c) ersichtlich, man erkennt, dass die auftretenden Forward Recovery Verluste nicht vernachlässigbar sind: die gemessene Forward Recovery Spannung $U_{FR,D_{SN-}} \approx 60$ V stimmt gut mit dem im Datenblatt angegebenen Wert überein, mit Abb. 6 in [32] erhält man für eine Stromanstiegsgeschwindigkeit in Abb. 5.12(c) von $\mathrm{d}i/\mathrm{d}t = 80$ A/130 ns eine Forward Recovery Spannung von 55 V. Wegen der Forward Recovery Spannungen der in Serie zu den am Schaltvorgang beteiligten Leistungstransistoren liegenden Leistungsdioden wird die geschaltete Spannung der Leistungstransisto-

ren reduziert (vgl. Abb. 5.12(b) und (e)), wodurch die Einschaltverluste der Leistungstransistoren sehr gering sind. Allerdings muss angemerkt werden, dass im Gegenzug Einschaltverluste (d.h. Forward Recovery Verluste) in den Leistungsdioden entstehen bzw. ein Teil der Transistor-Einschaltverluste in die Dioden transferiert wird.

Abbildung 5.12(f) zeigt den Verlauf des Stromes in der Freilaufdiode D_F beim Übergang zwischen aktivem Schaltzustand und Freilaufzustand, man erkennt, dass zu Beginn des Freilaufzustands der Strompfad nicht nur über die Freilaufdiode führt. Ein Teil des Stromes fließt über den Brückenzweig, dessen Transistor im eingeschalteten Zustand belassen wird (Transistor S_S in diesem Fall), solange bis die Ladungen der Halbleiterelemente, die an der Stromführung im vorhergehenden aktiven Schaltzustand beteiligt waren, ausgeräumt sind und der Leistungstransistor sperrt. Für geringe Sperrschichttemperaturen ($T_J = 20$ °C) beträgt der zu Beginn des Freilaufzustandes über den Brückenzweig fließende Strom nur einige Prozent des Gesamtstromes, vgl. Abb. 5.13(b). Die Forward Recovery Verluste sowie die Ausschaltverluste der Freilaufdiode können vernachlässigt werden, wie eine genaue experimentelle Untersuchung des Schaltverhaltens zeigt, d.h. $k_{\mathrm{EIN},D_F}^{S\to D_F} = 0$, $k_{\mathrm{AUS},D_F}^{D_F\to S} = 0$. Ebenfalls vernachlässigbar gering sind die Ausschaltverluste der Leistungsdioden in den Brückenzweigen, d.h. $k_{\mathrm{AUS},D}^{S\to D_F} = 0$ und $k_{\mathrm{AUS},D}^{S\to S} = 0$.

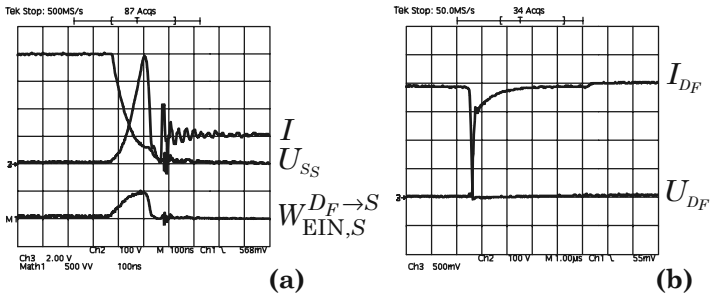


Abb. 5.13: Schaltverhalten bei einer Sperrschichttemperatur von $T_J = 20$ °C und einem geschalteten Strom von $I = 20$ A zum Zeitpunkt t_4 in Abb. 5.1. **(a)** Übergang zwischen aktivem Schaltzustand und Freilaufzustand für $u_{N,RT} = u_{N,ST} = 400$ V: Ausschalten von Leistungstransistor S_S, **(b)** Verhalten des Stromes in der Freilaufdiode beim Übergang in den Freilaufzustand. Verlustmaßstab: 5 kW/Div., Spannungsmaßstab: 100 V/Div., Strommaßstab: (a): 20 A/Div., (b): 500 mV/Div. = 5 A/Div., Zeitmaßstab: (a) 100 ns/Div., (b): 1 μs/Div.

5.2.3 Ermittlung der zulässigen Betriebsparameter

Die Gesamtverluste bestehend aus Leit- und Schaltverlusten der Leistungstransistoren und -dioden können wie in Abschnitt 5.1.3 für den diskreten Aufbau des Gleichrichtersystems beschrieben berechnet werden. Man erhält für die Verluste eines Leistungstransistors S_i

$$\begin{aligned} P_{S_i} &= \frac{\sqrt{3}\,f_P}{\pi}\,I\,\hat{U_N}\,\left[\left(k_{\mathrm{EIN},S}^{S\to S} + k_{\mathrm{AUS},S}^{S\to S}\right)\,(2-\sqrt{3}) + \left(k_{\mathrm{EIN},S}^{D_F\to S} + k_{\mathrm{AUS},S}^{S\to D_F}\right)\,(\sqrt{3}-1)\right] + \\ &\quad + \frac{2\,I\,M}{\pi}\,(U_{CE,0} + r_{CE}\,I)\,, \end{aligned} \tag{5.22}$$

für die Verluste einer Leistungsdiode $D_{i(N)\pm}$ ergibt sich

$$P_{D_{i(N)\pm}} = \frac{\sqrt{3}\,f_P}{\pi}\,I\,\hat{U_N}\,\left[k_{\mathrm{EIN},D}^{S\to S}\,(2-\sqrt{3}) + k_{\mathrm{EIN},D}^{D_F\to S}\,(\sqrt{3}-1)\right] + \frac{I\,M}{\pi}\,(U_{F,0} + r_D\,I) \tag{5.23}$$

und für die Freilaufdiode D_F resultiert (vgl. (5.18))

$$P_{D_F} = I\,\left(1 - \frac{3\,M}{\pi}\right)\,\left(U_{F,0(D_F)} + r_{D(D_F)}\,I\right)\,. \tag{5.24}$$

Die maximal erreichbare Ausgangsleistung einer Gleichrichterstufe, die mit drei Leistungsmodulen und einer zusätzlichen Freilaufdiode des Types RURG30100 von Intersil Corporation [15] realisiert wird, ist – wie in Abschnitt 5.1.4 für diskreten Aufbau der Tiefsetzstellereingangsstufe gezeigt – von der Schaltfrequenz f_P und der Kühlkörpertemperatur T_{KK} abhängig. Für eine bestimmte Eingangsspannung U_N

ist die maximale Ausgangsleistung P_0 des Gleichrichters bei einer bestimmten Schaltfrequenz durch den maximal zulässigen Gleichstrom I bestimmt, der sich aus den Schaltverlusten P_S und Leitverlusten P_L der Leistungstransistoren und -dioden in Zusammenhang mit deren thermischer Belastbarkeit ergibt. Für die Berechnung der maximalen Ausgangsleistung wird für jeden Leistungshalbleiter des Leistungsmoduls eine maximal zulässige Temperatur $T_{J,\max}$ definiert, womit sich der Maximalwert der jeweiligen Halbleiterverluste $P_{\max}$ bei einer bestimmten Kühlkörpertemperatur ergibt (vgl. (5.19)),

$$P_{\max} = \frac{1}{R_{\Theta,JS}} \left(T_{J,\max} - T_{KK}\right). \tag{5.25}$$

Wird dieser Verlustterm der Summe aus Leit- und Schaltverlusten gleichgesetzt,

$$P_{\max} = P_S\{f_P; I\} + P_L\{I\}, \tag{5.26}$$

kann daraus direkt der zulässige Gleichstrom I für den jeweiligen Leistungshalbleiter berechnet werden. Die erlaubte Belastung des Leistungsmoduls wird durch jenes Halbleiterelement bestimmt, das den geringsten zulässigen Gleichstrom I aufweist.

Der Vergleich der Ergebnisse zeigt, dass die erreichbare Ausgangsleistung der Tiefsetzstellerstufe für niedrigere Schaltfrequenzen durch die thermische Belastbarkeit der Leistungsdiode beschränkt ist, für höhere Schaltfrequenzen wird die Ausgangsleistung durch die Verluste der Leistungstransistoren bestimmt. Das Ergebnis der Auswertung von (5.26) unter Verwendung von (5.22) – (5.24) ist in **Abb. 5.14** gezeigt, wobei die folgenden Parameter angenommen wurden,

$$\begin{aligned} T_{J,\max} &= 125\ ^\circ\mathrm{C}, & R_{\Theta,JS,S} &= 0,6\ \mathrm{K/W}, \\ T_{KK} &= 75\ ^\circ\mathrm{C}, & R_{\Theta,JS,D} &= 1,8\ \mathrm{K/W}. \end{aligned}$$

Der Wert $T_{J,\max} = 125\ ^\circ$C, der unter der in den Datenblättern gegebenen maximal zulässigen Sperrschichttemperatur von 150 °C liegt, wurde sowohl mit Bedacht auf einen ausreichenden Sicherheitsabstand für die Berechnung gewählt, welche aus einer Reihe von Annäherungen besteht, als auch aus Rücksicht auf eine hohe Zuverlässigkeit für den Einsatz des Leistungsmoduls in einem Gleichrichtersystem. Der Wert der Kühlkörpertemperatur von 75 °C ist ein üblicherweise für die Dimensionierung von Stromversorgungen gewählter Wert bei einer Umgebungstemperatur von 40 °C . . . 50 °C. Die Proportionalitätsfaktoren $k_{l,m}^n$ zwischen Schaltverlustenergie und geschalteter Spannung bzw. geschaltetem Strom werden für eine Sperrschichttemperatur $T_J = 120\ ^\circ$C für die Berechnung verwendet (vgl. Tab. 5.3), womit zusätzliche Sicherheit gegeben ist, da bei höheren Pulsfrequenzen nur die Leistungstransistoren eine Sperrschichttemperatur von 120 °C erreichen und die Leistungsdioden auf geringerer Temperatur verbleiben. Damit wird in einer tatsächlichen Anwendung der Wirkungsgrad eines mit Leistungsmodulen aufgebauten Tiefsetzstellers über den in Abb. 5.14 gegebenen Werten liegen.

5.2.4 Wirkungsgrad und Verlustaufteilung

Der Wirkungsgrad der mit Leistungsmodulen VUI 30-12 N1 aufgebauten Tiefsetzstellereingangsstufe wurde nur unter Berücksichtigung der in den Leistungsmodulen auftretenden Verluste berechnet, d.h. folgende Anteile wurden vernachlässigt:

- Die ohmschen Verluste des Eingangsfilters, der Zwischenkreisinduktivität und des Ausgangskondensators,
- der Leistungsbedarf der Gate-Ansteuereinheiten der Leistungstransistoren, des Steuerteils sowie der Lüfter.

In Abb. 5.14 sind Linien konstanten Wirkungsgrades gezeigt; für konstante Ausgangsleistung P_0 nimmt der Wirkungsgrad η mit steigender Pulsfrequenz f_P ab, da die Schaltverluste mit der Pulsfrequenz steigen, ebenso nimmt der Wirkungsgrad bei konstanter Pulsfrequenz mit steigender Ausgangsleistung ab, da die Leitverluste mit dem Strom und daher mit der Ausgangsleistung ansteigen.

Die Aufteilung der in einem Leistungsmodul bei dreiphasigem Betrieb auftretenden Gesamtverluste auf die Schalt- und Leitverluste von Leistungstransistor und Leistungsdioden ist in **Abb. 5.15** für unterschiedliche Pulsfrequenzen und für 400 V sowie 480 V Netzaußenleiterspannung und 400 V Ausgangsspannung gezeigt. Um den bei den verschiedenen Pulsfrequenzen auftretenden maximalen Ausgangsleistungen

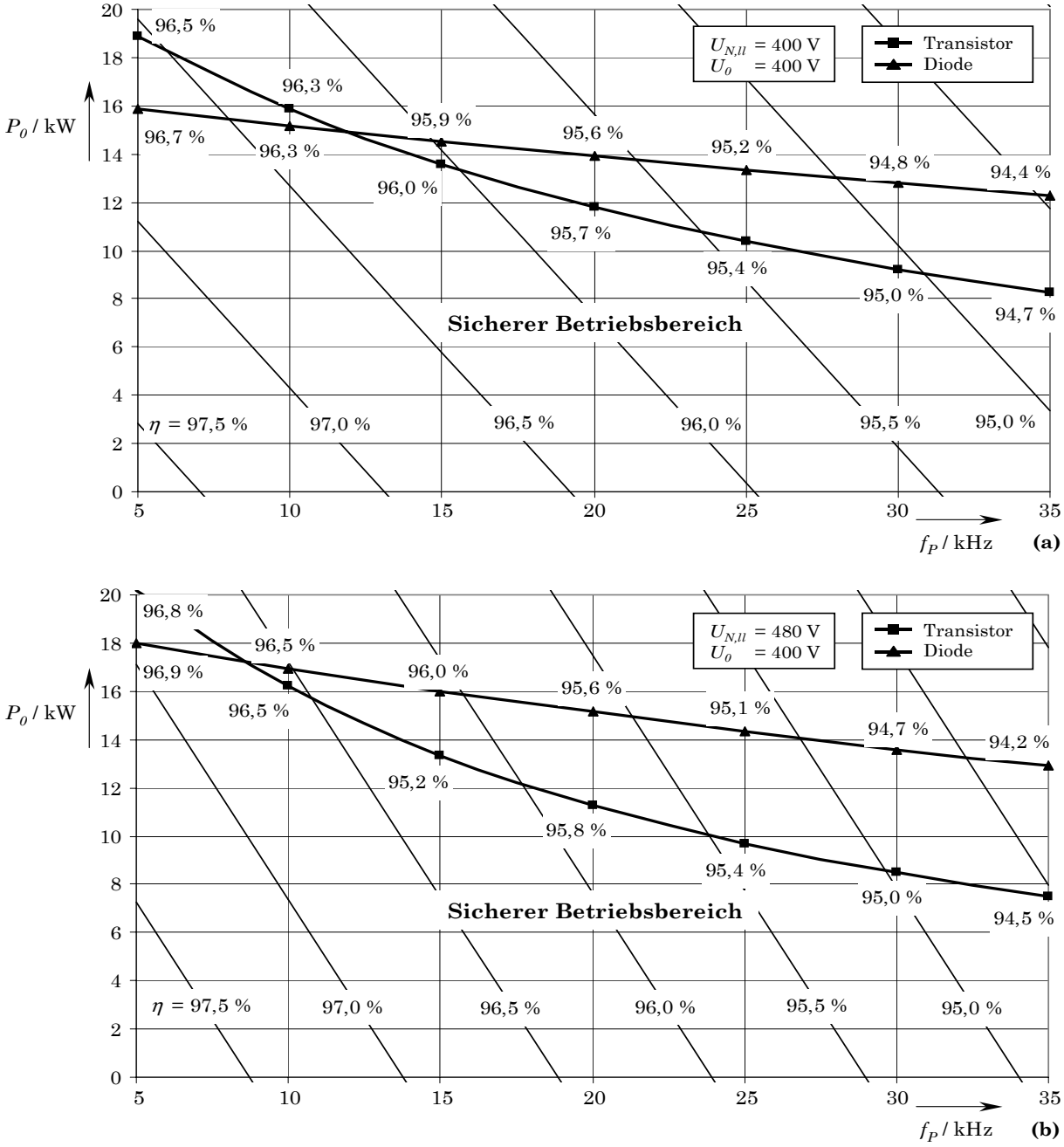


Abb. 5.14: Maximal erreichbare Ausgangsleistung P_0 der mit drei Leistungsmodulen VUI 30-12 N1 aufgebauten Tiefsetzstellereingangsstufe in Abhängigkeit der Pulsfrequenz f_P für 400 V Ausgangsspannung und **(a)** 400 V Netzaußenleiterspannung und **(b)** 480 V Netzaußenleiterspannung. Der von Leistungstransistor und -diode nach oben begrenzte Bereich ist der sichere Betriebsbereich.

Rechnung zu tragen, wurden die einzelnen Verlustanteile $P_{V,x}$ bei 20 kHz und bei 30 kHz gewichtet,

$$p_{V,x} = P_{V,x} \frac{p_{V,f_P}}{p_{V,10\ \mathrm{kHz}}}, \tag{5.27}$$

wobei p_{V,f_P} der prozentuelle Anteil der Verluste eines Leistungsmoduls an der Eingangsleistung bei 20 kHz bzw. bei 30 kHz und $p_{V,10\ \mathrm{kHz}}$ jener Anteil bei 10 kHz ist.

Man erkennt, dass bei einer Außenleiterspannung von 400 V bei allen drei Pulsfrequenzen der Hauptanteil der Verluste aus den Leitverlusten der Leistungsdioden besteht, für steigende Pulsfrequenz gibt es

einen leichten Rückgang der Leitverluste gegenüber 10 kHz, da die maximale Ausgangsleistung mit steigender Pulsfrequenz sinkt. Bei 480 V Außenleiterspannung nehmen die Leitverluste der Leistungsdioden ebenfalls einen großen Anteil ein, prozentuell sind sie jedoch gegenüber 400 V Außenleiterspannung etwas geringer, da die Schaltverluste auf Grund der höheren Spannung einen größeren Anteil einnehmen.

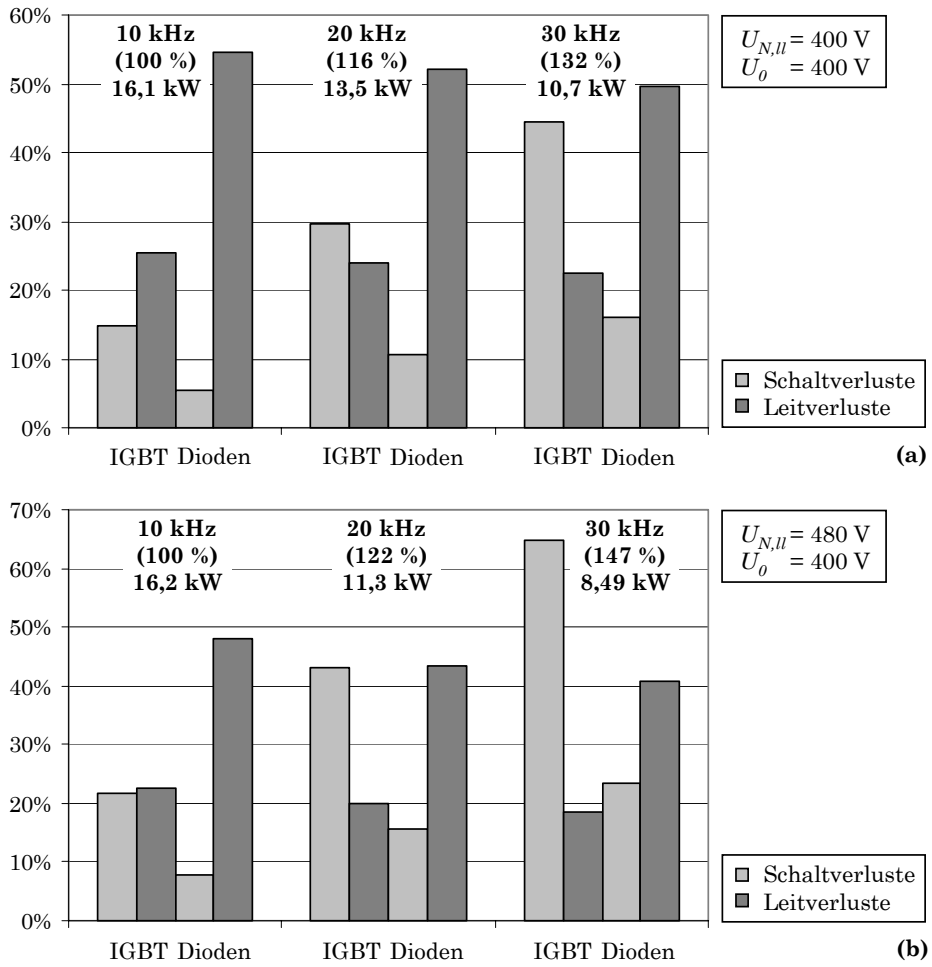


Abb. 5.15: Aufteilung der Schalt- und Leitverluste von IGBT und Dioden eines Leistungsmoduls VUI 30-12 N1 für maximal mögliche Ausgangsleistung bei Aufbau eines dreiphasigen Tiefsetzstellersystems und bei Pulsfrequenzen von 10 kHz, 20 kHz und 30 kHz für 400 V Ausgangsspannung und **(a)** 400 V Netzaußenleiterspannung und **(b)** 480 V Netzaußenleiterspannung. Die Prozentangaben beziehen sich auf die Gesamtverluste bei 10 kHz, weiters ist die maximal erreichbare Ausgangsleistung P_0 angegeben.

5.2.5 Beurteilung des Leistungsmoduls VUI 30-12 N1 und Verbesserungsvorschläge

Die Auswertung der experimentellen Ergebnisse zeigt, dass für den Aufbau eines dreiphasigen Tiefsetzstellersystems aus drei Leistungsmodulen VUI 30-12 N1 mit 400 V Nennausgangsspannung eine Ausgangsleistung von ≈ 15 kW bei einer Schaltfrequenz von 10 kHz erreicht werden kann, wobei der Wirkungsgrad bei 400 V Netzaußenleiterspannung $\approx 93,6$ % und bei 480 V Netzaußenleiterspannung $\approx 96,5$ % beträgt. Für eine Pulsfrequenz von $f_P \approx 23,4$ kHz (vgl. Abschnitt 5.1.4) erreicht man eine Ausgangsleistung von ≈ 10 kW und einen Wirkungsgrad von $\eta \approx 95,5$ % im unteren sowie im oberen Eingangsspannungsbereich.

Vor allem im unteren Eingangsspannungsbereich bzw. bei geringeren Schaltfrequenzen besteht der Hauptanteil der Verluste aus Verlusten der Leistungsdioden ($p_{D_{i(N)\pm}} \approx 60$ %), wobei davon bei niedriger Schaltfrequenz ≈ 10 %...15 % auf Forward Recovery Verluste und ≈ 85 %...90 % auf Leitverluste entfallen. Insgesamt bestehen die Verluste des Leistungsmoduls bei einer Schaltfrequenz von $f_P = 10$ kHz

zu nur $\approx 20\ \% \ldots 30\ \%$ aus schaltfrequenzabhängigen Verlusten (Schaltverluste der Leistungstransistoren und Forward Recovery Verluste der Leistungsdioden) und zu $\approx 70\ \% \ldots 80\ \%$ aus Leitverlusten. Bei 20 kHz Schaltfrequenz betragen die schaltfrequenzabhängigen Verluste $\approx 40\ \% \ldots 50\ \%$, die Leitverluste $\approx 60\ \% \ldots 50\ \%$, bei 30 kHz entspricht der Anteil der schaltfrequenzabhängigen Verluste etwa dem der Leitverluste.

Für die weitere Entwicklung des Leistungsmoduls sollte der Einsatz von Leistungsdioden mit höherem Nennstrom und einer kürzeren Reverse Recovery Zeit überlegt werden. Anzustrebende Werte sind ein Vorwärtsspannungsabfall von $U_{F,0} = 1$ V und ein differentieller Vorwärtswiderstand von $r_D = 10$ mΩ, die Reverse Recovery Zeit könnte um den Faktor 3 auf etwa 130 ns bei Verwendung der neuesten Technologien reduziert werden. Dabei können die äußeren Abmessungen des Moduls unverändert bleiben, nur das interne Layout muss auf Grund des größeren Halbleiterchips der Leistungsdioden angepasst werden. Im Zuge des Redesigns des internen Layouts könnte weiters die Freilaufdiode D_F in jedes Modul integriert werden.

Durch die Reduktion der Leitverluste der Leistungsdioden kann eine Erhöhung des Wirkungsgrades um $\approx 0,8$ % (absolut) erreicht werden, z.B. erhält man bei $f_P = 10$ kHz und $P_{0,\max} \approx 15$ kW einen Wirkungsgrad von $\eta = 97,1$ % anstatt $96,3$ % bei 400 V Außenleiterspannung und $\eta = 97,2$ % anstatt $96,5$ % bei 480 V Außenleiterspannung. Bei 20 kHz Schaltfrequenz ist eine Verbesserung um $\approx 0,7$ % (absolut) von $\eta = 95,7$ % auf $96,4$ % zu erwarten. Eine weitere Verringerung der Schaltverluste durch eine kürzere Reverse Recovery Zeit würde eine weitere Erhöhung des Wirkungsgrades um etwa $0,2\ \% \ldots 0,3$ % (absolut) bringen. Unter Berücksichtigung ohmscher Verluste sowie des Leistungsbedarf der Gate-Ansteuereinheiten, des Steuerteils und der Lüfter ist ein Wirkungsgrad des gesamten Gleichrichtersystems von $96,0\ \% \ldots 96,5$ % in Abhängigkeit von der gewählten Schaltfrequenz zu erwarten. Dies ist ein für die industrielle Anwendung des Leistungsmoduls akzeptabler Wert.

5.3 Einfluss von Nichtidealitäten auf das Betriebsverhalten

In diesem Abschnitt wird der Einfluss von Nichtidealitäten von Schaltungsteilen sowie einer Netzunsymmetrie auf das Betriebsverhalten des Gleichrichtersystems untersucht, wobei nur die Tiefsetzstellereingangsstufe betrachtet wird. Der Betrieb der Tiefsetzstellereingangsstufe mit einem offenen Regelkreis zeigt deutlich, dass es zu einer niederfrequenten Störung des idealerweise konstanten Zwischenkreisstromes i kommt, wodurch auch der Netzstrom gestört wird, vgl. **Abb. 5.16**. Weiters zeigen auch der lokale Mittelwert der Tiefsetzstellerausgangsspannung $\overline{u}$ und die Gesamtausgangsspannung u_0 niederfrequente Störungen. Der Einfluss von Nichtidealitäten auf den Betrieb der Hochsetzstellerausgangsstufe wirkt sich (bei geschlossenem Regelkreis) durch den großen Ausgangskondensator nur auf den globalen Mittelwert der Ausgangsspannung aus, der dadurch entstehende Fehler kann jedoch schon durch eine Regelung geringer Bandbreite ausgeglichen werden.

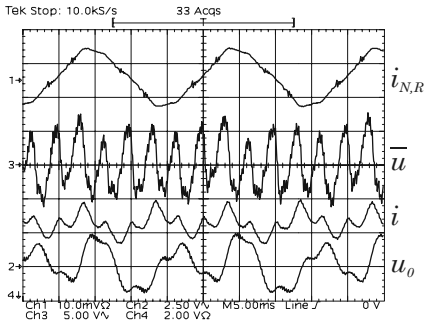


Abb. 5.16: Verhalten bei offenem Regelkreis: Netzphasenstrom $i_{N,R}$, Wechselanteil des lokalen Mittelwertes der Tiefsetzstellerausgangsspannung $\overline{u}$, Zwischenkreisstrom i und Wechselanteil der Ausgangsspannung u_0 für $P_0 = 1$ kW, $U_0 = 400$ V und $U_{N,ll} = 400$ V.

Diese Effekte können unter Umständen nicht vollständig eliminiert werden, wenn eine Regelung mit geringer Bandbreite vorgesehen wird, falls dies aus Gründen der Stabilität und um eine Anregung des Eingangsfilters zu vermeiden notwendig sein sollte. Es ist deshalb erstrebenswert, die Ursachen für das

nichtideale Verhalten zu klären, um entsprechende Maßnahmen betreffend der Hardware zu setzen oder um eine passende Vorsteuerung implementieren zu können, wodurch die Qualität der Ausgangsgrößen und damit des Netzstromes gesteigert werden kann.

In diesem Abschnitt werden folgende Einflussfaktoren und deren Auswirkungen auf das Betriebsverhalten des Gleichrichtersystems untersucht:

- Unsymmetrie und niederfrequente Störung der Netzphasenspannungen,
- Flussspannungsabfälle der Leistungshalbleiter,
- Genauigkeit und Auflösung der Signalverarbeitung und
- Schaltverzugszeiten der Leistungstransistoren,

wobei die Analyse auf den Eingangsteil beschränkt bleibt. Eine Klassifizierung aller untersuchten Nichtidealitäten ist in **Abb. 5.17** in Form eines Fischgrätdiagramms zusammengestellt.

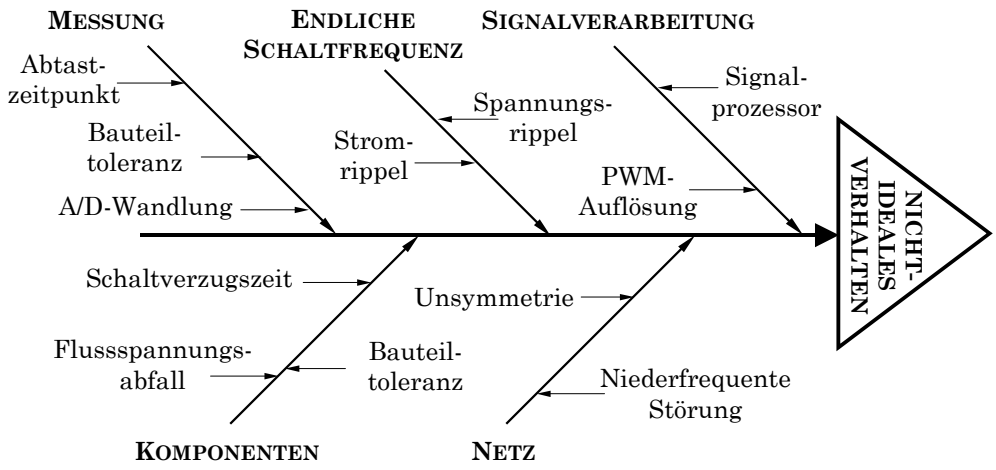


Abb. 5.17: Ursachen für das nichtideale Verhalten des Gleichrichtersystems.

In den folgenden Abschnitten sind die Einflüsse der unterschiedlichen Nichtidealitäten auf das Betriebsverhalten analytisch behandelt, wobei immer nur eine einzelne Nichtidealität untersucht wird bzw. keine gegenseitigen Beeinflussungen unterschiedlicher Einflussfaktoren betrachtet werden. Weiters werden Absolutwerte für die Auswirkungen der Nichtidealitäten bei Nennleistung angegeben und Maßnahmen zur Unterdrückung der unerwünschten Effekte diskutiert.

5.3.1 Analyse der Ursachen für nichtideales Betriebsverhalten

Im Folgenden wird die Auswirkung der Nichtidealitäten auf das Verhalten der Ausgangsspannung u der Tiefsetzstellerstufe, auf den Zwischenkreisstrom i und auf die Netzphasenströme $i_{N,i}$, $i = R, S, T$, untersucht und es werden Formeln angegeben, um die Relevanz der unterschiedlichen Effekte anhand von konkreten Zahlenwerten beurteilen zu können.

5.3.1.A Flussspannungsabfälle der Leistungshalbleiter

Während jedes aktiven Schaltzustandes sind vier Leistungsdioden $D_{i(N)\pm}$ und zwei Leistungstransistoren S_i an der Stromführung des Zwischenkreisstromes I beteiligt, der für diese Analyse als konstant angenommen wird. Wie in Abschnitt 5.1.3.A gezeigt, kann die Durchlasscharakteristik der Leistungsdioden durch

$$U_{D,F} = U_{F,0} + r_D\, I \quad \text{mit} \quad U_{F,0} = 0,92\ \text{V}, r_D = 10\ \text{m}\Omega \tag{5.28}$$

und die der Leistungstransistoren durch

$$U_{S,F} = U_{CE,0} + r_{CE}\, I \quad \text{mit} \quad U_{CE,0} = 1,25\ \text{V}, r_{CE} = 31\ \text{m}\Omega \tag{5.29}$$

angenähert werden. Die Serienschaltung der Leistungsdioden und -transistoren verursacht einen Spannungsabfall, der den Momentanwert der Ausgangsspannung u der Tiefsetzstellerstufe gegenüber dem idealen Wert verringert. In Sektor 1 erhält man während der aktiven Schaltzustände und während des Freilaufs folgende Spannungswerte:

$$\begin{aligned} j = (101): &\quad u_{(101)} = u_{C_F,RT} - 4\,U_{D,F} - 2\,U_{S,F}, \\ j = (110): &\quad u_{(110)} = u_{C_F,RS} - 4\,U_{D,F} - 2\,U_{S,F}, \\ j = FL: &\quad u_{FL} = -U_{D,F}. \end{aligned} \tag{5.30}$$

Damit ergibt sich mit den relativen Einschaltdauern δ_j der Schaltzustände für den nichtidealen, lokalen Mittelwert der Tiefsetzstellerausgangsspannung $\overline{u}$ in Abhängigkeit von der Position in der Netzperiode

$$\begin{aligned} u^{ni}(\varphi_U) &= u_{(101)}\,\delta_{(101)} + u_{(110)}\,\delta_{(110)} + u_{(000)}\,\delta_{FL} = \\ &= \underbrace{\sqrt{3}/2\,M\,\hat{U}_{N,l-l}}_{\text{idealer Wert}} - \underbrace{[M\,(3\,U_{D,F} + 2\,U_{S,F})\,\cos(\varphi_U) + U_{D,F}]}_{\text{Spannungsabfall}}. \end{aligned} \tag{5.31}$$

Der erste Teil der Gleichung (5.31) gibt dabei den idealen und konstanten Wert der Tiefsetzstellerausgangsspannung an, der zweite Term resultiert aus den Leitverlusten der Leistungshalbleiter und verändert sich innerhalb der Netzperiode, da sich auch die Einschaltdauern der Schaltzustände verändern, sowie in Abhängigkeit des Aussteuergrades M. Für den globalen Mittelwert der nichtidealen Ausgangsspannung U^{ni} der Tiefsetzstellerstufe innerhalb einer Netzperiode erhält man durch Integration über ein Intervall

$$\begin{aligned} U^{ni} &= \frac{1}{\pi/3}\int_{-\pi/6}^{+\pi/6} u(\varphi_U)\,\mathrm{d}\varphi_U = \\ &= \frac{\sqrt{3}\,M\,\hat{U}_{N,l-l}}{2} - \left[\frac{3\,M}{\pi}\,(2\,U_{S,F} + 3\,U_{D,F}) + U_{D,F}\right]. \end{aligned} \tag{5.32}$$

Der Wechselanteil der nichtidealen Ausgangsspannung U^{ni} weist dabei folgendes harmonisches Spektrum auf,

$$\begin{aligned} u^{ni}(\varphi_U) - U^{ni} &= \sum_{k=6,12,..}^{\infty} \frac{6M(3U_{D,F} + 2U_{S,F})}{(k+1)(k-1)\pi}\cos(k\varphi_U)(-1)^{k/6} = \\ &= \frac{6M(3U_{D,F} + 2U_{S,F})}{\pi}\left(-\frac{\cos(6\varphi_U)}{35} + \frac{\cos(12\varphi_U)}{143} - \ldots\right). \end{aligned} \tag{5.33}$$

Die Auswirkungen der Flussspannungsabfälle der Leistungshalbleiter sind daher

- die Verringerung des globalen Mittelwerts der Ausgangsspannung des Tiefsetzstellers in Abhängigkeit von Modulationsindex und Ausgangsleistung und
- die Verursachung von Harmonischen mit der Ordnungszahl 6, 12, ... in der Tiefsetzstellerausgangsspannung.

5.3.1.B Gestörte Netzspannung

Gegenüber dem idealen Netz kann die reale Netzspannung mit Oberschwingungen behaftet sein, ein Mit- und ein Gegensystem aufweisen (man spricht dann von einem unsymmetrischen Netz) oder beide Effekte können gemeinsam auftreten. Die Auswirkungen auf die Ein- und Ausgangsgrößen des Pulsgleichrichtersystems hängen dabei von der gewählten Regelung ab, wobei es drei Möglichkeiten gibt, diese zu konzipieren:

1. Der Netzstrom wird proportional zur Netzspannung geführt (ohmsches Netzverhalten).
2. Unabhängig vom Verhalten der Netzspannung wird auf konstante Ausgangsspannung (konstante Leistungsentnahme) geregelt.

3. Der Netzstrom wird sinusförmig geführt.

Im Folgenden wird untersucht, wie sich das Gleichrichtersystem im Fall einer oberschwingungsbehafteten Netzspannung (vereinfachend wird angenommen, dass es nur eine Oberschwingung mit der Ordnungszahl $\nu = -5$ gibt)

$$\underline{U}_N = U_{N,(1)} \cdot e^{\jmath\omega t} + U_{N,(5)} \cdot e^{-5\jmath\omega t} \tag{5.34}$$

und im Fall eines unsymmetrischen Netzes (repräsentiert durch ein Mit- und ein Gegensystem)

$$\underline{U}_N = U_{N,m} \cdot e^{\jmath\omega t} + U_{N,g} \cdot e^{-\jmath\omega t} \tag{5.35}$$

verhält [37], [38].

Oberschwingungsbehaftetes Netz:

- *Ohmsches Netzverhalten:* Die Stromoberschwingungen sind den Spannungsoberschwingungen proportional, es kommt zu einer (Wirk-)Leistungspulsation mit der sechsfachen Grundschwingungsfrequenz,

$$\underline{I}_N = \frac{U_{N,(1)}}{R} \cdot e^{\jmath\omega t} + \frac{U_{N,(5)}}{R} \cdot e^{-5\jmath\omega t}, \tag{5.36}$$

$$\underline{S}_N = \frac{3}{2}\left(\frac{U_{N,(1)}^2}{R} + \frac{U_{N,(5)}^2}{R} + 2\frac{U_{N,(1)}^2 U_{N,(5)}^2}{R} \cdot \cos(6\omega t)\right) = P_N + \jmath\, 0. \tag{5.37}$$

- *Konstante Leistungsentnahme:* Mittels Reihenentwicklung lässt sich zeigen, dass durch die Harmonische mit der Ordnungszahl $\nu = -5$ in der Netzspannung Harmonische mit den Ordnungszahlen $\nu = 7, 13, 19, \ldots$ im Netzstrom hervorgerufen werden, die nicht durch das LC-Eingangsfilter abgeschwächt werden,

$$\underline{I}_N = I_N \left(e^{\jmath\omega t} - \alpha\, e^{-\jmath(\nu-2)\omega t} + \alpha^2\, e^{-\jmath(2\nu-3)\omega t} - \ldots\right) \quad \text{mit} \quad \alpha = \frac{U_{N,(5)}}{U_{N,(1)}}. \tag{5.38}$$

- *Sinusförmiger Netzstrom:* In der Netzleistung treten Wirk- und Blindleistungspendelungen mit sechsfacher Netzfrequenz auf,

$$\underline{S}_N = \frac{3}{2}\left(U_{N,(1)} I_{N,(1)} + U_{N,(5)} I_{N,(1)} \cdot \cos(6\omega t) - \jmath U_{N,(1)} I_{N,(5)} \cdot \sin(6\omega t)\right). \tag{5.39}$$

Unsymmetrisches Netz:

- *Ohmsches Netzverhalten:* Die Leistung weist eine Welligkeit mit doppelter Netzfrequenz auf,

$$\underline{I}_N = \frac{U_{N,m}}{R} \cdot e^{\jmath\omega t} + \frac{U_{N,g}}{R} \cdot e^{-\jmath\omega t} \tag{5.40}$$

$$\underline{S}_N = \frac{3}{2}\left(\frac{U_{N,m}^2}{R} + \frac{U_{N,g}^2}{R} + 2\frac{U_{N,m}^2 U_{N,g}^2}{R} \cdot \cos(2\omega t)\right) = P_N + \jmath\, 0. \tag{5.41}$$

- *Konstante Leistungsentnahme:* Der Netzstrom enthält Oberschwingungen mit den Ordnungszahlen $\nu = 3, 5, 7, \ldots$,

$$\underline{I}_N = I_N \left(e^{\jmath\omega t} - \beta\, e^{3\jmath\omega t} + \beta^2\, e^{5\jmath\omega t} - \beta^3\, e^{7\jmath\omega t} \ldots\right) \quad \text{mit} \quad \beta = \frac{U_{N,g}}{U_{N,m}}. \tag{5.42}$$

- *Sinusförmiger Netzstrom:* Es tritt eine Wirk- und Blindleistungspendelung mit doppelter Netzfrequenz auf,

$$\underline{S}_N = \frac{3}{2}\left(U_{N,m} I_{N,m} + U_{N,g} I_{N,m} \cdot \cos(2\omega t) - \jmath U_{N,m} I_{N,g} \cdot \sin(2\omega t)\right). \tag{5.43}$$

Je nach gewähltem Regelverfahren können auch die Größen auf der Ausgangsseite Oberschwingungen enthalten, nur bei konstanter Leistungsentnahme liegt auch eine konstante Ausgangsspannung und ein konstanter Ausgangsstrom vor. Die Größe der Oberschwingungen ist abhängig von den Parametern der Filterkomponenten (Induktivitäten und Kondensatoren).

5.3.1.C Eingangsspannungsmessung

Um die benötigten Spannungen in die Regelung und in die Berechnung der relativen Einschaltdauern des Gleichrichtersystems einbeziehen zu können, wird eine Messung der Größen mittels Operationsverstärkern vorgesehen, vgl. Abschnitt 4.3.1, Abb. 4.5(a). Die Genauigkeit der Signalmessung und -anpassung ist abhängig von der Toleranz der verwendeten Widerstände, und es kommt zu Gleichtakt- und Gegentaktfehlern. In **Abb. 5.18** ist die Signalanpassung und Bandpassfilterung der Spannungen an den Eingangsfilterkondensatoren in Phase R gezeigt, N' ist ein künstlicher, nicht mit dem Netz verbundener Sternpunkt, der durch die Parallelschaltung eines Kondensators C_f und eines Widerstandes R_f realisiert ist. Für die angepasste Eingangsfilterkondensatorspannung erhält man

$$\frac{u^{BP}_{C_F,R}}{200} = \left[\frac{u_N\,R_4}{R_3+R_4}\,\frac{R_1+R_2}{R_1} - (u_{C_F,R}+u_N)\frac{R_2}{R_1}\right]\frac{R_{TP}}{R_{HP}}. \tag{5.44}$$

Werden Widerstände mit einer Toleranz von $0,1$ % verwendet, beträgt der maximale Fehler nach der Signalanpassung und Bandpassfilterung $\pm 0,7$ % der gemessenen Spannung.

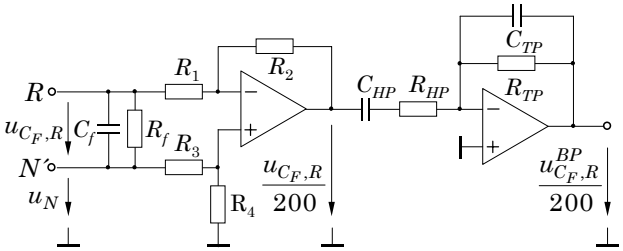


Abb. 5.18: Signalanpassung und Bandpassfilterung der Spannungen an den Eingangsfilterkondensatoren in Phase R, N' ist ein künstlicher Sternpunkt, der nicht mit dem Netz verbunden ist.

Weiters verursacht eine Abweichung der Widerstände $R_{f,i}$ und der Kondensatoren $C_{f,i}$, $i = R, S, T$, die den künstlichen Sternpunkt N' formen, ein Ungleichgewicht in den gemessenen Spannungen, das die Berechnung der relativen Einschaltdauern der Leistungstransistoren beeinflusst und eine Abweichung der Tiefsetzstellerausgangsspannung vom gewünschten Wert hervorruft. Um diesen Einfluss zu vermeiden, wird rechnerisch im Signalprozessorprogramm ein eventuell auftretendes Nullsystem von den Eingangsspannungen abgezogen. Damit kann eine Verschiebung des künstlichen Sternpunkts keine Störung der Ausgangsspannung der Tiefsetzstellerstufe bewirken.

5.3.1.D Signalverarbeitung

Die Regelung des Gleichrichtersystems ist mittels eines digitalen 32-Bit Gleitkomma-Signalprozessors ADSP-21061 SHARC realisiert. Die analogen Spannungssignale werden angepasst (vgl. Abschnitt 5.3.1.C) und von einem 12-Bit ADC AD7892-3 mit einem Eingangsspannungsbereich von $\pm 2,5$ V digitalisiert. Der positive (negative) Fehler bei Vollaussteuerung (full-scale error) ist ± 4 LSB, was in einem prozentuellen Spannungsfehler von

$$|u_{err,ADC}| = 4/2048 = 0,20\ \% \tag{5.45}$$

resultiert.

Für die Berechnungen der relativen Einschaltdauern und der Regelgrößen wird der 32-Bit Gleitkomma-Signalprozessor verwendet, daraus resultierende Rundungsfehler können daher vernachlässigt werden.

Der Fehler, der durch die Auflösung der PWM-Kanäle entsteht, ist sowohl von der Quarzoszillator-Frequenz f_Q (Systemtakt) als auch von der Pulsfrequenz f_P abhängig, für den ungünstigsten Fall (Abweichung von einer Auflösungsbreite $1/f_Q$ bei maximaler Eingangsspannung bei $\varphi = 0$ bezogen auf eine halbe Pulsperiode $1/(2\,f_P)$, gezeigt für Sektor 1) erhält man einen Fehler von

$$|u_{err,PWM}| = 2\,f_P \cdot \left(u_{N,RT}\big|_{\varphi=0} \cdot \frac{1}{f_Q} + u_{N,ST}\big|_{\varphi=0} \cdot \frac{1}{f_Q}\right) = \frac{2\sqrt{3}\,f_P}{f_Q}\hat{U}_{N,ll} \tag{5.46}$$

mit

$$u_{N,RT}\big|_{\varphi=0} = u_{N,ST}\big|_{\varphi=0} = 1,5 \cdot \frac{\hat{U}_{N,ll}}{\sqrt{3}}. \tag{5.47}$$

Mit dem eingesetzten 12 MHz Quarz und dem 8-Bit-Zähler, mit dem eine Schaltfrequenz von $f_P \approx 23,4$ kHz resultiert, erhält man einen Fehler von

$$|u_{err,PWM}| = 0,0068 \cdot \hat{U}_{N,ll}. \tag{5.48}$$

5.3.1.E Schaltverzug

Die Schaltzeitfehler werden durch Signalverzögerungen der Gate-Ansteuereinheiten und durch Ein- und Ausschaltverzögerungen der Leistungstransistoren verursacht. Die experimentelle Analyse zeigt, dass eine gesamte Einschaltverzögerung von $t_{V,EIN} \approx 380$ ns und eine gesamte Ausschaltverzögerung von $t_{V,AUS} \approx 470$ ns vorliegt. In **Abb. 5.19** sind die idealen Schaltsignale s_i und die gesamten Schaltverzögerungen sowie die damit resultierende Ausgangsspannung der Tiefsetzstellerstufe innerhalb einer Pulsperiode in Intervall 1 gezeigt.

Der Unterschied in Ein- und Ausschaltverzögerung resultiert in einer Verfälschung des lokalen Mittelwertes $\overline{u}$ der Tiefsetzstellerausgangsspannung u gegenüber dem idealen Wert, wobei die Abweichung einen maximalen Absolutwert (bei den in Abschnitt 5.3.1.D, (5.46) genannten Bedingungen) von

$$|u_{err,V}| = \frac{t_{d,OFF} - t_{d,ON}}{T_P/2}\sqrt{3}\,\hat{U}_{N,ll} \tag{5.49}$$

zeigt. Für die vorliegenden Parameter ergibt sich damit

$$|u_{err,V}| = 0,0073 \cdot \hat{U}_{N,ll}. \tag{5.50}$$

Weiters verursacht die Abweichung des lokalen Mittelwerts von seinem Sollwert niederfrequente Störungen im globalen Verlauf der Tiefsetzstellerausgangsspannung $\overline{u}$. Diese Störung ist von der Abweichung von Ein- zu Ausschaltverzögerung im Verhältnis zu einer Pulsperiode T_P abhängig,

$$\Delta\delta_V = (t_{V,AUS} - t_{V,EIN})/T_P. \tag{5.51}$$

Im Folgenden ist das analytisch berechnete Spektrum der globalen Tiefsetzstellerausgangsspannung $\overline{u}$ für

1. gleiche Verzögerungszeiten in allen drei Brückenzweigen

$$\overline{u}(\varphi_U) = \frac{\sqrt{3}M\hat{U}_{N,l-l}}{2} - \frac{6\Delta\delta\,\hat{U}_{N,l-l}}{\pi}\left[\frac{1}{2} - \frac{\cos(6\varphi_U)}{35} - \frac{\cos(12\varphi_U)}{143} - \frac{\cos(18\varphi_U)}{323} - \ldots\right], \tag{5.52}$$

2. und für eine Verzögerungszeit in nur einem Brückenzweig, wobei die beiden anderen Brückenzweige keine Schaltverzugszeiten zeigen,

$$\overline{u}(\varphi_U) = \frac{\sqrt{3}M\hat{U}_{N,l-l}}{2} - \frac{6\Delta\delta\,\hat{U}_{N,l-l}}{\pi}\left[\frac{1}{6} + \frac{2\cos(2\varphi_U)}{9} + \frac{2\cos(4\varphi_U)}{45} - \frac{2\cos(6\varphi_U)}{210} + \ldots\right], \tag{5.53}$$

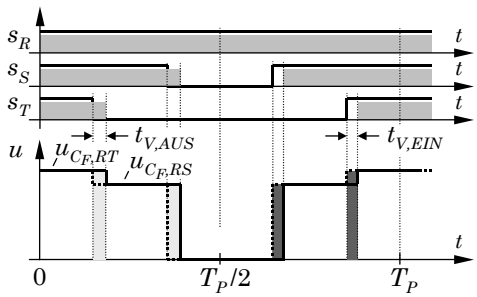


Abb. 5.19: Schaltsignale s_i, Schaltverzugszeiten $t_{V,AUS}$ und $t_{V,EIN}$ und resultierendes Verhalten der Ausgangsspannung u der Tiefsetzstellerstufe innerhalb einer Pulsperiode T_P in Intervall 1. Die Fehler-Spannungszeitflächen sind grau schattiert (hellgrau: positive Fehler, dunkelgrau: negative Fehler).

gegeben. Diese Störungen rufen niederfrequente Harmonische in der Ausgangsleistung hervor, die direkt auf die Eingangsseite transferiert werden (bei Vernachlässigung der Verlustleistung des Gleichrichtersystems sind Ein- und Ausgangsleistung gleich), wodurch auch die Netzphasenströme niederfrequent verzerrt werden. Die Zusammensetzung der Oberschwingungen und die Amplituden der Harmonischen hängen dabei vom Verhalten der Netzphasenspannungen ab, wobei im zweiten Fall (wo es nur in einem Brückenzweig einen Schaltverzug gibt) die Netzströme neben dem Mit- auch ein Gegensystem enthalten.

Zusätzlich zu den durch Schaltverzug hervorgerufenen Fehlern gibt es auch eine Beeinflussung der Tiefsetzstellerausgangsspannung durch die unterschiedlichen Anstiegsgeschwindigkeiten $\mathrm{d}v/\mathrm{d}t$ der Flussspannung der Leistungshalbleiter beim Aus- und Einschalten, wobei diese sowohl vom Effektivwert der Eingangsspannung als auch vom Zeitpunkt innerhalb der Netzperiode abhängen.

5.3.1.F Signalabtastung

Um der Regelung des Gleichrichtersystems die benötigten Spannungs- und Stromwerte zuzuführen, werden die Eingangsfilterkondensatorspannungen $u_{C_F,i}$ und der Zwischenkreisstrom i zweimal pro Pulsperiode abgetastet (Abtastfrequenz 46,875 kHz). Um einen Einfluss der Rippelkomponenten auf die abgetasteten Werte zu vermeiden, werden die Abtastzeitpunkte auf den Beginn und die Mitte einer Pulsperiode gelegt, wo der Momentanwert der Größe gleich ihrem lokalen Mittelwert ist, d.h. $i(t) = i$ und $u_{C_F,i}(t) = u^{BP}_{C_F,i}$, vgl. **Abb. 5.20**. Allerdings verursachen Zeitverzögerungen im Messaufbau eine leichte Verschiebung der Abtastzeitpunkte, wodurch der Einfluss der Rippelkomponenten auf das Abtastergebnis nicht vollständig vermieden werden kann. Deshalb wird ein Tiefpassfilter für den Zwischenkreisstrom und ein Bandpassfilter für die Spannungen an den Eingangsfilterkondensatoren (Mittenfrequenz: 50 Hz, vgl. Abb. 5.18) vorgesehen, wodurch die Rippelkomponenten schon vor der Abtastung eliminiert werden.

Anmerkung: Beim Entwurf des Bandpassfilters muss bedacht werden, dass niederfrequente Harmonische der Eingangsfilterkondensatorspannungen (z.B. die 5. und 7. Harmonische) *nicht* vom Bandpassfilter abgeschwächt werden dürfen, um eine korrekte Berechnung der Einschaltdauern der Leistungstransistoren sicher zu stellen (vgl. Abschnitt 5.3.1.B).

5.3.1.G Endliche Schaltfrequenz

Auf Grund der endlichen Schaltfrequenz kommt es zu Rippelkomponenten in den Ein- und Ausgangsgrößen des Systems. Wie oben beschrieben kann der Einfluss des Rippels auf die Messung und damit auf die Regelung durch entsprechende Signalabtastung und -filterung eliminiert werden, es kommt jedoch zu einem Transfer der Rippelgrößen von der Ausgangsseite auf die Eingangsseite und umgekehrt.

Rippel der Eingangsfilterkondensatorspannung

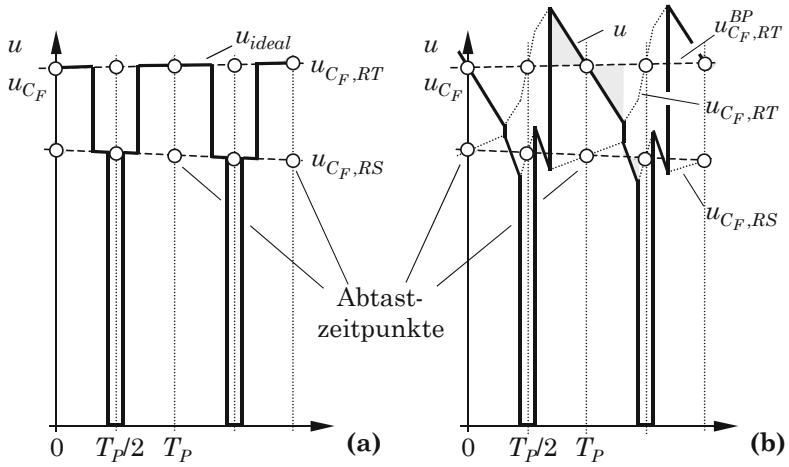


Abb. 5.20: Verhalten der Tiefsetzstellerausgangsspannung: **(a)** ideales Verhalten, **(b)** Verhalten unter Berücksichtigung des Rippels der Eingangsfilterkondensatorspannung, gültig in Intervall 1.

Wie Abb. 5.20(b) zeigt, wird der Rippel der Eingangsfilterkondensatorspannung $u_{C_F,i}$ der Ausgangsspannung u des Tiefsetzstellers überlagert, wodurch eine Abweichung vom realen zum idealen Spannungswert (vgl. Abb. 5.20(a)) und damit ein Defizit oder ein Überschuss in der Spannungs-Zeit-Fläche innerhalb einer Pulshalbperiode hervorgerufen wird. Wird eine Schaltzustandssequenz implementiert, die eine symmetrische Anordnung der Schaltzustände zur Mitte der Pulsperiode zeigt (vgl. Abschnitt 3.1), so wird das Defizit bzw. der Überschuss, welches bzw. welcher in einer Pulshalbperiode entsteht, in der darauffolgenden Pulshalbperiode ausgeglichen. Deshalb werden der lokale und der globale Mittelwert der Tiefsetzstellerausgangsspannung nicht durch den Rippel der Eingangsfilterkondensatorspannung beeinflusst.

Rippel des Zwischenkreisstromes
Der durch die unterschiedlichen Schaltzustände hervorgerufene Rippel im Zwischenkreisstrom wird in die diskontinuierlichen Verläufe der Gleichrichtereingangsströme $i_{U,i}$ transferiert und verursacht dort ein Defizit oder einen Überschuss im Strom-Zeit-Integral, welches bzw. welcher auch hier – bei Implementierung einer symmetrischen Schaltzustandssequenz – innerhalb einer Pulsperiode ausgeglichen (und damit gleich Null) wird (vgl. obiger Punkt). Bei kleinen Werten des Zwischenkreisstromes (d.h. bei kleiner Ausgangsspannung U_0 oder einem großen Lastwiderstand R_0) geht der Betrieb des Gleichrichtersystems in den lückenden Betrieb über, wo der Zwischenkreisstrom während eines Teils einer Pulsperiode Null ist. Damit ändert sich das Verhalten des Zwischenkreisstromrippels und eine 6. Harmonische tritt im Zwischenkreisstrom auf. Diese Harmonische wird auf die Eingangsseite transferiert, das Strom-Zeit-Integral innerhalb einer Pulsperiode ist jedoch weiterhin gleich Null. Um einen lückenden Betrieb zu vermeiden, könnte die Hochsetzstellerausgangsstufe aktiviert werden, wodurch der Mittelwert des Zwischenkreisstromes angehoben wird. Der Einfluss des lückenden Betriebs auf den Betrieb des Gleichrichtersystems wird daher in diesem Abschnitt nicht weiter untersucht.

5.3.1.H Kommutierung des Zwischenkreisstromes

In konventionellen Drei-Phasen (Sechs-Schalter) Stromzwischenkreisgleichrichtersystemen müssen Überlappungszeiten für die Schaltsignale der Leistungstransistoren vorgesehen werden, um einen kontinuierlichen Stromfluss in der Zwischenkreisinduktivität zu garantieren. Diese Überlappungszeiten beeinflussen sowohl den Netzphasenstrom als auch den Zwischenkreisstrom und rufen Harmonische hervor [39]. Im Drei-Phasen Drei-Schalter Gleichrichtersystem werden auf Grund der Schaltungsstruktur keine Überlappungszeiten benötigt, da die Kommutierung des Zwischenkreisstromes jeweils eindeutig durch die Phasenspannungen an den Eingangsfilterkondensatoren definiert ist. Wird z.B. der Übergang von Schaltzustand $j = (110)$ auf Schaltzustand $j = (111)$ in Intervall 1 betrachtet, so muss der Strom vom Brückenzweig der Phase S in den Brückenzweig der Phase T kommutiert werden. Das wird einfach durch Einschalten von Leistungstransistor S_T realisiert, durch die Spannungsbedingung $u_{C_F,RT} > u_{C_F,RS}$ am Eingang der Tiefsetzstellerstufe wird der Strom unmittelbar von Brückenzweig S in den Brückenzweig T kommutiert (unter Vernachlässigung der Zeitverzögerung der Gate-Ansteuereinheit und der Einschaltverzögerung des Leistungsschalters S_T). Daher gibt es keinen Einfluss auf Netzspannung und -strom oder auf Ausgangsspannung und -strom der Tiefsetzstellerstufe durch die Kommutierung des Zwischenkreisstromes.

5.3.2 Grösse der Störung in der Tiefsetzstellerausgangsspannung

In **Tab. 5.4** sind die in Abschnitt 5.3.1 beschriebenen parasitären Einflüsse auf das Verhalten der Ausgangsspannung der Tiefsetzstellerstufe zusammengefasst und deren Größe für Nennleistung $P_0 = 5$ kW, maximale Eingangsspannung $U_{N,ll} = 480$ V und Nennausgangsspannung $U_0 = 400$ V angegeben, um die Größenordnung der unterschiedlichen Effekte aufzuzeigen. Weiters sind in **Abb. 5.21** die wichtigsten Einflussfaktoren für unterschiedliche Ausgangsleistungen P_0 in Abhängigkeit der Ausgangsspannung U_0 angegeben, wodurch es möglich wird zu bestimmen, welche Effekte bei einem bestimmten Betriebspunkt dominant oder vernachlässigbar sind.

5.3.3 Bewertung der unterschiedlichen Nichtidealitäten und Abhilfemassnahmen

Im Folgenden werden die oben genannten parasitären Einflussfaktoren betreffend die Größe ihres Einflusses auf die Ausgangsspannung des Tiefsetzstellers basierend auf Abb. 5.21 bewertet und Möglichkeiten

Einflussfaktor	Effekt	Anmerkung
Flussspannungsabfälle	0,61 V	Spitze-Spitze Wert der niederfrequenten Wechselgröße in $\overline{u}$
	0,25 V	Amplitude der 6. Harmonischen in $\overline{u}$
	5,4 V	Reduktion des Mittelwerts von U
Gestörte Netzspannung	-	Störung ist abhängig von der gewählten Regelstruktur
Spannungsmessung	2,7 V	Messung der Eingangsfilterkondensatorspannungen mittels $0,1\%$ Widerständen (worst case)
Signalverarbeitung	0,78 V	12-Bit A/D Wandler (worst case)
	≈ 0 V	32-Bit Gleitkomma-Signalprozessor $\rightarrow$ vernachlässigbarer Einfluss
	4,6 V	12 MHz Quarz, 8-Bit Zähler für Pulsmustergenerierung (worst case)
Schaltverzug	**5,0 V**	Zeitverzögerung der Gate-Ansteuereinheit + Ein- und Ausschaltverzögerung (worst case)
	0,04 V	Amplitude der 6. Harmonischen in $\overline{u}$ für 1% zusätzliche Schaltverzögerung der Leistungstransistoren in allen Brückenzweigen
Signalabtastung	≈ 0 V	Tiefpass- und Bandpassfilterung $\rightarrow$ vernachlässigbarer Einfluss
Endliche Schaltfrequenz	-	Kein Einfluss der Rippelkomponenten auf die Mittelwerte
Stromkommutierung	-	Kein Einfluss, da keine Überlappungszeiten notwendig

Tab. 5.4: Vergleich der unterschiedlichen Einflussfaktoren auf die Ausgangsspannung der Tiefsetzstellereingangsstufe, die nichtideales Systemverhalten hervorrufen, bei $P_0 = 5$ kW, $U_{N,ll} = 480$ V und $U_0 = 400$ V. Signifikante Effekte sind durch Fettdruck hervorgehoben, vernachlässigbare Effekte, die keinen signifikanten Einfluss haben, sind mit ≈ 0 V gekennzeichnet.

aufgezeigt, um das nichtideale Verhalten zu kompensieren.

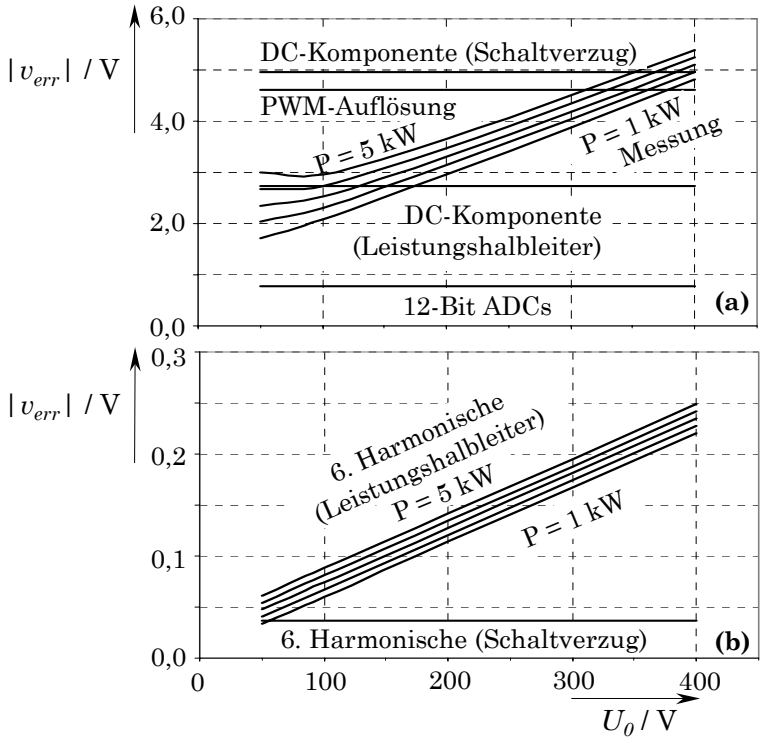


Abb. 5.21: Vergleich der Fehler in der Tiefsetzstellerausgangsspannung für Ausgangsleistungen im Bereich $P_0 = (5 \ldots 1)$ kW in Schritten von 1 kW und für Ausgangsspannungswerte im Bereich $U_0 = (50 \ldots 400)$ V. **(a)**: Fehler im Bereich von einigen Volt und **(b)** Fehler im Bereich von einigen 100 mV.

5.3.3.A Vernachlässigbare Einflüsse

Der Einfluss der Eingangsspannungsmessung (vgl. Abschnitt 5.3.1.C) kann vernachlässigt werden, da der angegebene Fehler den ungünstigsten Fall beschreibt. In der Praxis sind die Bauelementetoleranzen eher gleich verteilt, wodurch der angegebene Fehler reduziert wird. Weiters können die Fehler, die zufolge A/D-Konversion auftreten (vgl. Abschnitt 5.3.1.D), auf Grund ihrer kleinen Werte vernachlässigt werden. Das gleiche gilt auch für die Harmonischen in der Tiefsetzstellerausgangsspannung, die durch den Unterschied in Ein- und Ausschaltverzögerung hervorgerufen werden (vgl. Abschitt 5.3.1.E).

5.3.3.B Flussspannungsabfälle

Die Flussspannungsabfälle der Leistungshalbleiter bewirken einerseits eine konstante Reduktion der Tiefsetzstellerausgangsspannung, andererseits rufen sie niederfrequente Harmonische in der Ausgangsspannung der Tiefsetzstellerstufe hervor (vgl. Abschnitt 5.3.1.A), wobei der dominierende Effekt der konstante Fehleranteil ist (vgl. (5.32)). Dieser Fehleranteil kann jedoch einfach durch eine Regelung selbst mit geringer Dynamik kompensiert werden. Der niederfrequente Fehleranteil (vgl. (5.33)) könnte vermieden werden, indem eine passende Vorsteuerung implementiert wird, die den Sollwert der Tiefsetzstellerausgangsspannung in Abhängigkeit von der aktuellen Position innerhalb der Netzperiode, von der Netzphasenspannung und der Ausgangslast anpasst. Es müssten für diese Maßnahme die Werte für Vorwärtsspannung und Durchlasswiderstand der Leistungshalbleiter mit guter Genauigkeit bekannt sein und weiters müsste deren Abhängigkeit von der Sperrschichttemperatur (die aus der Kühlkörpertemperatur ermittelt werden kann) berücksichtigt werden. Eine Reduktion der niederfrequenten, durch Flussspannungsabfälle hervorgerufenen Harmonischen um 50 % könnte jedoch erreicht werden.

5.3.3.C Zeitauflösung der PWM-Ausgangssignale

Die Fehler zufolge der endlichen Zeitauflösung der Ausgänge der PWM-Kanäle haben signifikante Größe (vgl. Abschnitt 5.3.1.D), es kann jedoch auch hier eine Gleichverteilung angenommen werden, womit der tatsächliche Fehler unterhalb des angegebenen Fehlers liegt. Um den Fehler noch weiter zu reduzieren, kann ein Quarzoszillator mit der doppelten oder dreifachen Taktfrequenz verwendet werden, wodurch der maximale Fehler um den Faktor $\frac{1}{2}$ bzw. $\frac{1}{3}$ bei gleicher Pulsfrequenz reduziert würde. Um weiterhin die gleiche Pulsfrequenz zu erhalten, müsste ein zusätzlicher Frequenzteiler vorgesehen werden.

5.3.3.D Schaltverzug

Der hauptsächliche Anteil des Einflusses der Schaltverzugszeiten ist die Reduktion der Tiefsetzstellerausgangsspannung um einen konstanten Wert, der durch die Regelung zu Null reduziert werden kann. Die harmonischen Fehlerkomponenten zufolge Schaltverzug weisen einen vernachlässigbaren Einfluss auf und können daher hier (Schaltfrequenz $\approx$ 24 kHz) vernachlässigt werden. Wird die Schaltfrequenz jedoch deutlich erhöht (auf z.B. 50 kHz), steigt auch der Fehleranteil linear an und kann dann nicht mehr vernachlässigt werden. Um den Einfluss der Schaltverzugszeiten zu eliminieren, kann eine Cycle-by-Cycle-Regelung [40], [41] oder eine Charge-Control [42] implementiert werden, womit direkt der momentane Mittelwert der Ausgangsspannung und des Ausgangsstromes geregelt werden kann.

5.3.4 Schlussbemerkung

Um die genannten parasitären Effekte experimentell verifizieren zu können, sind passende Messgeräte notwendig, d.h. Differenztastköpfe und Oszilloskope mit genügend hoher Auflösung. Weiters können durch den Einsatz eines linearen Schaltverstärkers, der das speisende Netz nachbildet, alle Effekte, die durch das nichtideale Netz hervorgerufen werden (und die auf Grund ihrer Vielschichtigkeit nicht vollständig analytisch erfasst werden können) gänzlich ausgeschlossen werden. Weiters kann beim Betrieb an einem linearen Schaltverstärker das Betriebsverhalten für eine (oder mehrere) ausgewählte niederfrequente Harmonische untersucht werden.

Kapitel 6

Vergleich und Bewertung der Modulationsverfahren

Dieses Kapitel beschäftigt sich mit der Bewertung des in Kapitel 3 gewählten Modulationsverfahrens und dem Vergleich mit anderen möglichen Modulationsverfahren hinsichtlich des Verhaltens der Eingangsgrößen, d.h. des diskontinuierlichen Eingangsstromes und damit der Spannungs- bzw. der Strombelastung der eingangsseitigen Filterkondensatoren, sowie hinsichtlich des Verhaltens der Größen im Zwischenkreis, d.h. der Spannung am Ausgang der Tiefsetzstellereingangsstufe und des mit einem schaltfrequenten Rippel behafteten Zwischenkreisstromes. In Kapitel 3 konnten drei Klassen von Modulationsverfahren identifiziert werden, die mittlere Schaltverluste im Verhältnis $1 : \sqrt{3} : 2$ aufweisen, die Bewertung und der Vergleich der Modulationsverfahren wird auf Basis gleicher Schaltverluste durchgeführt, d.h. es werden Pulsfrequenzen im Verhältnis $2 : \sqrt{3} : 1$ gewählt [43], [44]. Damit kann die Rippelbelastung für die unterschiedlichen Modulationsverfahren der eingangsseitigen Filterkondensatoren sowie der Zwischenkreisinduktivität berechnet und gegenübergestellt werden bzw. eine Grundlage für die (im Vergleich zur Dimensionierung mittels DC/DC-Ersatzschaltbild, vgl. Anhang E) genaue Dimensionierung der Eingangskondensatoren und der ausgangsseitigen Induktivität gegeben werden.

6.1 Spannungsrippel an den eingangsseitigen Filterkondensatoren

Für die Bildung eines bestimmten Sollstromraumzeigers $\underline{i}_U^*$ bzw. eines dazugehörigen Netzstromraumzeigers $\underline{i}_N \approx \underline{i}_U^*$ werden die zu $\underline{i}_U^*$ unmittelbar benachbart liegenden Stromraumzeiger verwendet, um eine möglichst geringe Abweichung zwischen Soll- und Iststromraumzeiger zu erhalten, vgl. Abschnitt 2.5. In **Abb. 6.1** ist die Bildung des Sollstromraumzeigers in Sektor 1 (Winkelintervall $\varphi_U \in (0; \frac{\pi}{6})$) gezeigt, weiters sind die Abweichungen zwischen Sollstromraumzeiger und Iststromraumzeigern gegeben. Die verschiedenen Möglichkeiten, die den Iststromraumzeigern zugeordneten Schaltzustände innerhalb einer Pulsperiode anzuordnen, sind in Abschnitt 3.1 angegeben und in **Tab. 6.1** noch einmal zusammengefasst. Wie in Abschnitt 3.2 gezeigt, weisen die verschiedenen Schaltzustandssequenzen unterschiedliche Schaltverluste auf, wobei folgendes Verhältnis angegeben werden kann:

$$P_1 : P_2 : P_3 = 1 : \sqrt{3} : 2. \tag{6.1}$$

Seq.	j_1	j_2	j_3	j_4	j_5	j_6
1	(111)	(110)	FL	FL	(110)	(111)
2	(110)	FL	(101)	(101)	FL	(110)
3	FL	(110)	(111)	FL	(110)	(111)

Tab. 6.1: Schaltzustandssequenzen innerhalb von zwei aufeinanderfolgenden Pulshalbperioden in Sektor 1 ($\varphi_U \in (0; \pi/6)$). Während des Freilaufzustandes (FL) kann wahlweise ein Leistungstransistor im eingeschalteten Zustand verbleiben oder es können alle Leistungstransistoren im ausgeschalteten Zustand sein.

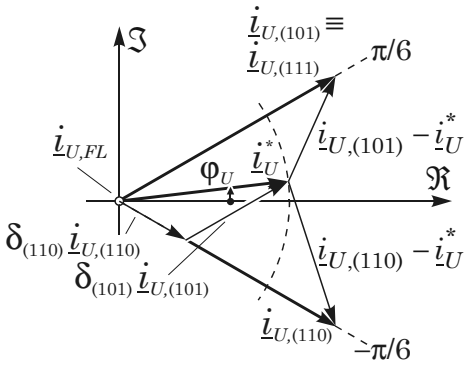


Abb. 6.1: Bildung des Sollstromraumzeigers $\underline{i}_U^*$ am Gleichrichtereingang im Winkelintervall $\varphi_U \in (0; \frac{\pi}{6})$ mittels Approximation durch die benachbarten Stromraumzeiger $\underline{i}_{U,(111)}$ und $\underline{i}_{U,(110)}$, sowie Abweichung zwischen Sollstromraumzeiger und eingestellten Stromraumzeigern.

6.1.1 Analytisch geschlossene Berechnung

Als Gütekriterium Q für die Bewertung der Modulationsverfahren wird die Summe der Quadrate der Effektivwerte der existierenden Oberschwingungen der Phasenspannungen an den Eingangsfilterkondensatoren gewählt,

$$Q = \Delta U^2_{C_F,R,rms} + \Delta U^2_{C_F,S,rms} + \Delta U^2_{C_F,T,rms} = \Delta U^2_{C_F,RST,rms} = \frac{1}{T_N}\int_{T_N} \Delta u^2_{C_F,RST,rms}(t)\,\mathrm{d}t \quad (6.2)$$

mit der raumzeigerbasierten Definition der Oberschwingungen

$$\Delta \underline{u}_{C_F} = \underline{u}_{C_F} - \underline{u}^*_{C_F}. \quad (6.3)$$

Für die Berechnung des Gütekriteriums kann ein einfaches Ersatzschaltbild des Gleichrichtersystems, basierend auf dem Zusammenhang

$$C_F \frac{\mathrm{d}\underline{u}_{C_F}}{\mathrm{d}t} = \underline{i}_N - \underline{i}_U, \quad (6.4)$$

gewählt werden, vgl. **Abb. 6.2**.

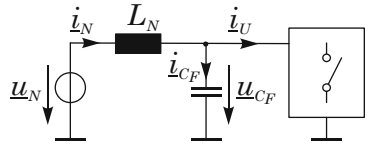


Abb. 6.2: Stromraumzeiger-Ersatzschaltbild der Eingangsseite des Gleichrichtersystems.

Der Raumzeiger des Spannungsrippels am Eingangsfilterkondensator $\Delta\underline{u}_{C_F}$ kann über die Abweichung zwischen Soll- und Iststromraumzeiger am Gleichrichtereingang berechnet werden,

$$\frac{\mathrm{d}\Delta\underline{u}_{C_F}}{\mathrm{d}t} = \frac{1}{C_F}\left(\underline{i}_U - \underline{i}_U^*\right), \quad (6.5)$$

für den lokalen, innerhalb einer Pulshalbperiode auftretenden Effektivwert des Spannungsrippels an den Eingangsfilterkondensatoren erhält man [45]

$$\Delta u^2_{C_F,RST,rms}(t) = \frac{2}{T_P}\int_{t_\mu=0}^{t_\mu=T_P/2} \frac{3}{2}|\Delta\underline{u}_{C_F}|^2 \mathrm{d}t_\mu, \quad (6.6)$$

wobei gilt (vgl. Anhang A.3)

$$\Delta u^2_{C_F,RST,rms} = \Delta u^2_{C_F,R} + \Delta u^2_{C_F,S} + \Delta u^2_{C_F,T} = \frac{3}{2}\left[\Delta u^2_{C_F,\alpha} + \Delta u^2_{C_F,\beta}\right] = \frac{3}{2}|\Delta\underline{u}_{C_F}|^2. \quad (6.7)$$

Weiters gilt unter Annahme konstanter Bahngeschwindigkeit des Raumzeigers der Zusammenhang (vgl. Anhang J.1)

$$\frac{1}{t_{\mu,i+1}-t_{\mu,i}}\int_{t_{\mu,i}}^{t_{\mu,i+1}}\left[\Delta u^2_{C_F,\alpha}(t_\mu)+\Delta u^2_{C_F,\beta}(t_\mu)\right]\mathrm{d}t_\mu = \tag{6.8}$$

$$= \frac{1}{3}\left[(\Delta u^2_{C_F,i,\alpha}+\Delta u_{C_F,i,\alpha}\Delta u_{C_F,i+1,\alpha}+\Delta u^2_{C_F,i+1,\alpha})+\right. \tag{6.9}$$

$$\left.+(\Delta u^2_{C_F,i,\beta}+\Delta u_{C_F,i,\beta}\Delta u_{C_F,i+1,\beta}+\Delta u^2_{C_F,i+1,\beta})\right].$$

Der lokale Effektivwert $\Delta u^2_{C_F,RST,rms}(t)$ bezogen auf eine halbe Pulsperiode wird damit

$$\Delta u^2_{C_F,RST,rms}(t) = \frac{2}{T_P}\int_{t_\mu=0}^{t_\mu=T_P/2}\left[\Delta u^2_{C_F,R}(t_\mu)+\Delta u^2_{C_F,S}(t_\mu)+\Delta u^2_{C_F,T}(t_\mu)\right]dt_\mu = \tag{6.10}$$

$$\begin{aligned}
= \frac{1}{2}\Big[\quad & \delta_{j_1} \quad \left[\Delta u^2_{C_F,t_{\mu1},\alpha}+\Delta u^2_{C_F,t_{\mu1},\beta}\right]+\\
& \delta_{j_2} \quad \left[\Delta u^2_{C_F,t_{\mu1},\alpha}+\Delta u^2_{C_F,t_{\mu1},\beta}+\Delta u^2_{C_F,t_{\mu2},\alpha}+\Delta u^2_{C_F,t_{\mu2},\beta}+\right.\\
& \qquad \left.\Delta u_{C_F,t_{\mu1},\alpha}\Delta u_{C_F,t_{\mu2},\alpha}+\Delta u_{C_F,t_{\mu1},\beta}\Delta u_{C_F,t_{\mu2},\beta}\right]+\\
& \delta_{j_3} \quad \left[\Delta u^2_{C_F,t_{\mu3},\alpha}+\Delta u^2_{C_F,t_{\mu3},\beta}\right]\Big],
\end{aligned} \tag{6.11}$$

wobei für Modulationsverfahren 1 innerhalb Sektor 1

$$\delta_{j_1}=\delta_{(111)},\quad \delta_{j_2}=\delta_{(110)},\quad \text{und}\quad \delta_{j_3}=\delta_{FL} \tag{6.12}$$

gilt.

Den globalen, innerhalb einer Netzperiode auftretenden Effektivwert des Spannungsrippels, der definitionsgemäß dem Gütekriterium Q entspricht, erhält man durch Integration der Quadrate der Oberschwingungseffektivwerte der Phasenspannungen über eine ganze Netzperiode T_N, wobei die Integration durch Summenbildung aller, auf eine halbe Pulsperiode bezogenen lokalen Anteile innerhalb einer Netzperiode ersetzt wird,

$$Q=\Delta U^2_{C_F,RST,rms}=\frac{1}{T_N}\int_{T_N}\Delta u^2_{C_F,RST,rms}(t)\mathrm{d}t=\frac{1}{T_N}\sum_k\int_{\frac{1}{2}T_P(k)}\Delta u^2_{C_F,RST,rms}\mathrm{d}t_\mu. \tag{6.13}$$

Wenn man die Position des Pulsintervalls kontinuierlich durch die Netzperiode bewegt, kann mit genügend guter Näherung für hohe Pulsfrequenz f_P (oder, gleichwertig, für eine kleine Pulsperiode T_P) die aus der endlichen Pulsfrequenz folgende Summation durch eine Integration ersetzt werden. Damit kann ein einfacher analytischer Ausdruck für das Gütekriterium gewonnen werden,

$$Q=\Delta U^2_{C_F,RST,rms}=\frac{1}{T_N}\int_{T_N}\frac{2}{T_P}\int_{t_\mu=0}^{t_\mu=T_P/2}\frac{3}{2}|\Delta\underline{u}_{C_F}|^2\,\mathrm{d}t_\mu\,\mathrm{d}t=\frac{1}{T_N}\int_{T_N}\Delta u^2_{C_F,RST,rms}(t)\,\mathrm{d}t. \tag{6.14}$$

Dieser Zusammenhang erlaubt eine einfache, analytisch geschlossene Berechnung des Effektivwerts des Spannungsrippels an den eingangsseitigen Filterkondensatoren, wobei die Berechnung aus Symmetriegründen auf ein $\frac{\pi}{6}$-breites Intervall der Netzperiode beschränkt werden kann.

6.1.2 Trajektorien des Spannungsraumzeigers

Im Folgenden sind die Trajektorien des Raumzeigers des Spannungsrippels an den eingangsseitigen Filterkondensatoren $\Delta\underline{u}_{C_F}$ für einen bestimmten Wert des Sollstromraumzeigers $\underline{i}^*_U$ (vgl. **Abb. 6.3**(a) und die in Tab. 6.1 dargestellten Modulationsverfahren angegeben. Die Form und die Lage der Bahnkurven wird dabei durch die Differenz von Soll- und Iststromraumzeiger bestimmt, wobei die einzelnen Teilabschnitte der Trajektorie jeweils parallel zu den Differenzraumzeigern $(\underline{i}_{U,j}-\underline{i}^*_U)$ sind. Die Länge der Trajektorienteilabschnitte ist proportional zur Einschaltdauer des jeweils aktuellen Schaltzustandes δ_j, die Anordnung der Abschnitte ergibt sich aus der Abfolge der Schaltzustände j.

6.1.2.A Trajektorie für Modulationsverfahren 1

Für den Raumzeiger des Spannungsrippels $\Delta\underline{u}_{C_F}$ erhält man zu den Zeitpunkten $t_{\mu 1}$ und $t_{\mu 2}$ innerhalb einer halben Pulsperiode für einen Spannungsrippel $\Delta\underline{u}_{C_F,0}(t) = 0$ am Beginn einer Pulsperiode

$$\begin{aligned} \Delta\underline{u}_{C_F,t_{\mu 1}}(t) &= \delta_{(111)}\left[\underline{i}_{U,(111)} - \underline{i}_U^*(t)\right]\frac{T_P}{2C_F}, \\ \Delta\underline{u}_{C_F,t_{\mu 2}}(t) &= \delta_{(110)}\left[\underline{i}_{U,(110)} - \underline{i}_U^*(t)\right]\frac{T_P}{2C_F} + \Delta\underline{u}_{C_F,t_{\mu 1}}(t), \end{aligned} \tag{6.15}$$

bzw. erhält man mit

$$\underline{i}_U^* = \delta_{(111)}\underline{i}_{U,(111)} + \delta_{(110)}\underline{i}_{U,(110)} \tag{6.16}$$

für den Raumzeiger des Spannungsrippels zum Zeitpunkt $t_{\mu 2}$

$$\Delta\underline{u}_{C_F,t_{\mu 2}}(t) = \delta_{FL}\underline{i}_U^*(t)\frac{T_P}{2C_F}. \tag{6.17}$$

Damit ergibt sich für den Spannungsrippel nach einer halben Pulsperiode

$$\Delta\underline{u}_{C_F,T_P/2}(t) = \Delta\underline{u}_{C_F,t_{\mu 2}}(t) - \delta_{FL}\,\underline{i}_U^*(t)\,\frac{T_P}{2C_F} = 0. \tag{6.18}$$

Die Abweichung der Kondensatorspannung $\Delta\underline{u}_{C_F}$ vom Sollwert $\underline{u}_{C_F}^*$ erreicht also nach einer halben Pulsperiode wieder den Wert Null. Ersetzt man die am Gleichrichtereingang eingestellten Stromraumzeiger durch ihre Beträge (vgl. Tab. 2.1), erhält man für die Raumzeiger des Spannungsrippels

$$\frac{1}{u_n}\Delta\underline{u}_{C_F,t_{\mu 1}} = \Delta u_{C_F,t_{\mu 1},\alpha} + \jmath\,\Delta u_{C_F,t_{\mu 1},\beta} = \frac{1}{2}\,\delta_{(111)}\left[\sqrt{3}\,\delta_{FL} + \jmath\,(1 - \delta_{(111)} + \delta_{(110)})\right], \tag{6.19}$$

$$\frac{1}{u_n}\Delta\underline{u}_{C_F,t_{\mu 2}} = \Delta u_{C_F,t_{\mu 2},\alpha} + \jmath\,\Delta u_{C_F,t_{\mu 2},\beta} = \frac{1}{2}\,\delta_{(100)}\left[\sqrt{3}\,(\delta_{(110)} + \delta_{(111)}) + \jmath\,(\delta_{(111)} - \delta_{(110)})\right], \tag{6.20}$$

mit der Normierungsbasis

$$u_n = \frac{\sqrt{3}\,T_P\,I}{4\,C_F}. \tag{6.21}$$

In Abb. 6.3(b) ist die Trajektorie des Raumzeigers des Spannungsrippels am Eingangsfilterkondensator $\Delta\underline{u}_{C_F}(t_\mu)$ für den in Abb. 6.3(a) gegebenen Sollstromraumzeiger $\underline{i}_U^*$ dargestellt.

6.1.2.B Trajektorie für Modulationsverfahren 2

Für den Raumzeiger des Spannungsrippels $\Delta\underline{u}_{C_F}$ erhält man für Modulationsverfahren 2 zu den Zeitpunkten $t_{\mu 1}$ und $t_{\mu 2}$ innerhalb einer halben Pulsperiode

$$\begin{aligned} \Delta\underline{u}_{C_F,t_{\mu 1}}(t) &= \delta_{(111)}\left[\underline{i}_{U,(111)} - \underline{i}_U^*(t)\right]\frac{T_P}{2C_F}, \\ \Delta\underline{u}_{C_F,t_{\mu 2}}(t) &= -\,\delta_{FL}\,\underline{i}_U^*(t)\frac{T_P}{2C_F} + \Delta\underline{u}_{C_F,t_{\mu 1}}(t) = -\delta_{(110)}\left[\underline{i}_{U,(110)} - \underline{i}_U^*(t)\right]\frac{T_P}{2C_F}, \end{aligned}$$

der Spannungsrippel zu Beginn und am Ende einer Pulshalbperiode hat wieder den Wert Null. Ersetzt man die am Gleichrichtereingang eingestellten Stromraumzeiger wieder durch ihre Beträge (vgl. Tab. 2.1), erhält man für die Raumzeiger des Spannungsrippels

$$\begin{aligned} \frac{1}{u_n}\Delta\underline{u}_{C_F,t_{\mu 1}} &= \Delta u_{C_F,t_{\mu 1},\alpha} + \jmath\,\Delta u_{C_F,t_{\mu 1},\beta} = \\ &= \frac{1}{2}\,\delta_{(110)}\left[\sqrt{3}\,\delta_{FL} - \jmath\,(1 + \delta_{(111)} - \delta_{(110)})\right], \end{aligned} \tag{6.22}$$

$$\begin{aligned} \frac{1}{u_n}\Delta\underline{u}_{C_F,t_{\mu 2}} &= \Delta u_{C_F,t_{\mu 2},\alpha} + \jmath\,\Delta u_{C_F,t_{\mu 2},\beta} = \\ &= \frac{1}{2}\,\delta_{(111)}\left[\sqrt{3}\,(\delta_{(110)} + \delta_{(111)} - 1) + \jmath\,(\delta_{(111)} - \delta_{(110)} - 1)\right]. \end{aligned} \tag{6.23}$$

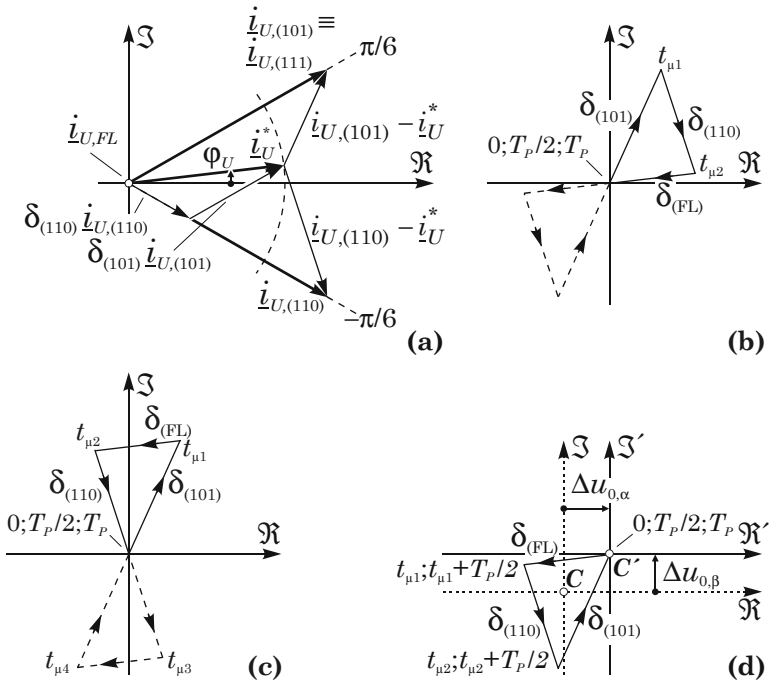


Abb. 6.3: **(a)** Bildung des Sollstromraumzeigers am Gleichrichtereingang in Sektor 1 und dazugehörige Trajektorien des Raumzeigers $\Delta\underline{u}_{C_F}(t_\mu)$ des Spannungsrippels am Eingangsfilterkondensator innerhalb einer Pulsperiode für **(b)** Modulationsverfahren 1, **(c)** Modulationsverfahren 2 und **(d)** Modulationsverfahren 3.

Die Trajektorie für Modulationsverfahren 2 ist in Abb. 6.3(c) dargestellt, wobei die Teildreiecke der Trajektorie denen von Modulationsverfahren 1 ähnlich sind. Die Trajektorien unterscheiden sich durch ihre Lage in der komplexen Ebene, was in einem unterschiedlichen Zeitverhalten des Spannungsrippels resultiert (vgl. Abschnitt 6.1.4).

6.1.2.C Trajektorie für Modulationsverfahren 3

Für den Raumzeiger des Spannungsrippels $\Delta\underline{u}_{C_F}$ erhält man für Modulationsverfahren 3 zu den Zeitpunkten $t_{\mu 1}$ und $t_{\mu 2}$ innerhalb einer halben Pulsperiode

$$\begin{aligned}
\Delta\underline{u}_{C_F,t_{\mu 1}}(t) &= \delta_{FL}\,\underline{i}_U^*(t)\,\frac{T_P}{2C_F},\\
\Delta\underline{u}_{C_F,t_{\mu 2}}(t) &= \delta_{(110)}\left[\underline{i}_{U,(110)} - \underline{i}_U^*(t)\right]\frac{T_P}{2C_F} + \Delta\underline{u}_{C_F,t_{\mu 1}}(t) = -\delta_{(111)}\left[\underline{i}_{U,(111)} - \underline{i}_U^*(t)\right]\frac{T_P}{2C_F},
\end{aligned}$$

wobei in einem ersten Schritt für den Spannungsrippel zu Beginn und am Ende einer Pulshalbperiode wieder der Wert Null angenommen wird. Ersetzt man die am Gleichrichtereingang eingestellten Stromraumzeiger wieder durch ihre Beträge (vgl. Tab. 2.1), erhält man für die Raumzeiger des Spannungsrippels

$$\begin{aligned}
\frac{1}{u_n}\Delta\underline{u}_{C_F,t_{\mu 1}} &= \Delta u_{C_F,t_{\mu 1},\alpha} + \jmath\,\Delta u_{C_F,t_{\mu 1},\beta} =\\
&= \frac{1}{2}\,\delta_{FL}\left[-\sqrt{3}\,(\delta_{(111)} + \delta_{(110)}) + \jmath\,(\delta_{(110)} - \delta_{(111)})\right], \qquad (6.24)\\
\frac{1}{u_n}\Delta\underline{u}_{C_F,t_{\mu 2}} &= \Delta u_{C_F,t_{\mu 2},\alpha} + \jmath\,\Delta u_{C_F,t_{\mu 2},\beta} =\\
&= \frac{1}{2}\,\delta_{(111)}\left[-\sqrt{3}\,\delta_{FL} - \jmath\,(1 - \delta_{(111)} + \delta_{(110)})\right]. \qquad (6.25)
\end{aligned}$$

Die Trajektorie des Raumzeigers des Spannungsrippels am eingangsseitigen Filterkondensator für Modulationsverfahren 3 (zur Mitte der Pulsperiode asymmetrisches Verfahren) unterscheidet sich von den

Trajektorien der Modulationsverfahren 1 und 2 (symmetrische Verfahren) hinsichtlich ihrer Lage im Koordinatensystem (vgl. Abb. 6.3(d)): die Trajektorie weist nicht zwei ähnliche Dreiecks-Teilabschnitte auf, die spiegelsymmetrisch zu reeller und imaginärer Achse liegen, sondern besteht aus einem Dreieck, das für den gezeigten Fall zur Gänze im dritten Quadranten des Koordinatensystems liegt. Dadurch resultieren z.B. für die Werte des Spannungsrippels an den Filterkondensatoren in Phase R nur negative Werte, d.h. der Mittelwert des Spannungsrippels ist nach einer Pulsperiode nicht Null. Das gleiche gilt für die anderen beiden Phasen, es treten also niederfrequente Harmonische in der Spannung am Eingangsfilterkondensator auf, die niederfrequente Harmonische in den Netzströmen zur Folge haben.

Um die Forderung nach dem Verschwinden des lokalen Mittelwertes des Spannungsrippels zu erfüllen – was durch ein symmetrisches Modulationsverfahren automatisch gegeben ist – muss die Trajektorie für Modulationsverfahren 3 gegenüber dem Nullpunkt passend positioniert werden, was einer Anpassung des Sollstromraumzeigers $\underline{i}_U^*$ gleichkommt. Durch die Vorverzerrung des Sollstromraumzeigers wird sichergestellt, dass die resultierende Spannung am Eingangsfilterkondensator $\underline{u}_{C_F}$ und damit der Netzstrom $\underline{i}_N$ wieder rein sinusförmig sind. Die nötige Vorverzerrung des Sollstromraumzeigers wird durch einen Versatz $\Delta u_{0,\alpha}$ und $\Delta u_{0,\beta}$ des Koordinatensystemursprungs bestimmt, sodass

$$\frac{2}{T_P}\int_{t_\mu=0}^{t\mu=\frac{1}{2}T_P}\left[\Delta u_{C_F,R}(t_\mu)+\Delta u_{C_F,S}(t_\mu)+\Delta u_{C_F,T}(t_\mu)\right]\,\mathrm{d}t_\mu=0 \tag{6.26}$$

erfüllt ist. Der neu berechnete, von der Kreisform abweichende Sollstromraumzeiger, dessen Spitze Punkt C ist, ist die Basis zur Berechnung der tatsächlichen Einschaltdauern. Um jedoch eine sehr aufwändige analytische Berechnung zu umgehen, wird für die folgenden Auswertungen eine kreisförmige Bewegung des Punkts C angenommen. Dies erlaubt zwar nur eine Abschätzung der Qualität des Modulationsverfahrens, jedoch wird später gezeigt (vgl. Abschnitt 6.1.3), dass ein anderes Modulationsverfahren für die praktische Anwendung bedeutend besser geeignet ist und dass auch eine exakte Berechnung dieses Bild nicht ändert. Für den Versatz des Koordinatensystemursprunges C gegenüber C' erhält man (vgl. Anhang J.2)

$$\Delta u_{0,\alpha} = \frac{\sqrt{3}}{4}\left(\delta_{(110)}+\delta_{(111)}-(\delta_{(110)}+\delta_{(111)})^2\right), \tag{6.27}$$

$$\Delta u_{0,\beta} = \frac{1}{4}\left(\delta_{(111)}-\delta_{(110)}+\delta_{(110)}^2+2\delta_{(110)}\delta_{(111)}-\delta_{(111)}^2\right), \tag{6.28}$$

für den Raumzeiger des Spannungsrippels ergibt sich daher

$$\Delta\underline{u}_{C_F,t_{\mu,i}} = \Delta u_{C_F,t_{\mu,i},\alpha}+\jmath\Delta u_{C_F,t_{\mu,i},\beta} = \left(\Delta u'_{C_F,t_{\mu,i},\alpha}+\Delta u_{0,\alpha}\right)+\jmath\left(\Delta u'_{C_F,t_{\mu,i},\beta}+\Delta u_{0,\beta}\right), \tag{6.29}$$

wobei die gestrichenen Größen dem ursprünglichen Koordinatensystem und die ungestrichenen Größen dem offsetbehafteten Koordinatensystem zugeordnet sind.

6.1.3 Effektivwert des Spannungsrippels

Im Folgenden ist das Gütekriterium Q (vgl. (6.2)), d.h. der Effektivwert des Spannungsrippels an den Eingangsfilterkondensatoren für die unterschiedlichen Modulationsverfahren in Abhängigkeit des Modulationsindex M angegeben,

$$\Delta U_{C_F,RST,rms,1}^2 = \frac{M^2}{128\pi}\left(-64M-120\sqrt{3}M+9\sqrt{3}M^2+48\pi+36M^2\pi\right)u_n^2, \tag{6.30}$$

$$\Delta U_{C_F,RST,rms,2}^2 = \frac{M^2}{128\pi}\left(-72\sqrt{3}-160M-27\sqrt{3}M^2+72\pi+36M^2\pi\right)u_n^2, \tag{6.31}$$

$$\Delta U_{C_F,RST,rms,3}^2 = \frac{M^2}{128\pi}\left(12\pi-64M+9M^2\pi\right)u_n^2. \tag{6.32}$$

Um einen gerechten Vergleich der unterschiedlichen Modulationsverfahren zu gewährleisten, wird die Pulsfrequenz derart angepasst, dass der Mittelwert der während einer Netzperiode auftretenden Schaltverluste für alle Verfahren gleich ist. Gemäß (6.1) wird die Schaltfrequenz für Modulationsverfahren 2 um den Faktor $\sqrt{3}$ und für Modulationsverfahren 3 um den Faktor 2 reduziert, um die gleichen Schaltverluste

wie für Verfahren 1 zu erhalten. Das so angepasste Gütekriterium Q ist in **Abb. 6.4** in Abhängigkeit des Modulationsindex M angegeben. Damit kann der Wert des Eingangsfilterkondensators C_F bestimmt werden, der für das Erreichen eines gewissen (maximalen) Effektivwerts des Spannungsrippels notwendig ist.

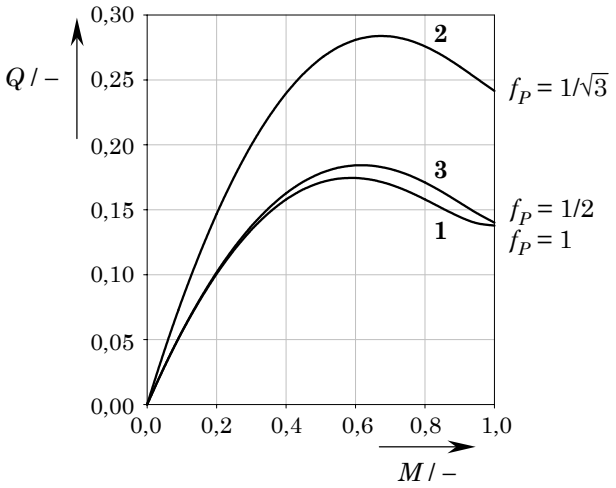


Abb. 6.4: Gütekriterium Q (normierter quadratischer Effektivwert des Spannungsrippels am Eingangsfilterkondensator $\Delta U^2_{C_F,RST,rms,i}$) in Abhängigkeit des Modulationsindex M für Modulationsverfahren 1, 2 und 3 für angepasste Schaltfrequenzen $f_{P,1} : f_{P,2} : f_{P,3} = 1 : 1/\sqrt{3} : 1/2$.

6.1.4 Zeitverlauf und Einhüllende des Spannungsrippels

Die Kenntnis des zeitlichen Verhaltens des Spannungsrippels am eingangseitigen Filterkondensator ist wichtig in Zusammenhang mit der Dimensionierung des Eingangsfilters, da das Gütekriterium Q bzw. der Effektivwert $\Delta U_{C_F,RST,rms}$ nur ein integrales Bild über das Verhalten des Spannungsrippels liefert. Im Folgenden ist das zeitliche Verhalten des Spannungsrippels am Eingangsfilterkondensator der Phase R basierend auf den in Abschnitt 6.1.2 für die Trajektorien der Spannungsraumzeigern gegebenen Formeln angegeben. Dabei wurden die folgenden Betriebsparameter gewählt, die für eine Anwendung des Systems als Eingangsstufe für eine Telekommunikationsstromversorgung typisch sind,

$$\begin{array}{lll} P_0 = 5\,\mathrm{kW} & U_N = 210\,\mathrm{V} & U_0 = 400\,\mathrm{V} \\ M = 0{,}9 & C_F = 4\,\mu\mathrm{F} & I = 12{,}5\,\mathrm{A} \\ f_{P,1} = 20\,\mathrm{kHz} & f_{P,2} = 11{,}5\,\mathrm{kHz} & f_{P,3} = 10\,\mathrm{kHz}. \end{array}$$

Die Grundschwingung wird als $u_{N,R,(1)} = \hat{U}_N \cos(\varphi_U)$ angenommen (vgl. (2.1)), die berechneten Zeitverläufe sind in **Abb. 6.5** gegeben. In **Abb. 6.6** ist weiters der Verlauf der Einhüllenden des normierten Spannungsrippels $\Delta u_{C_F,R}/u_n$ in einem Winkelintervall $\varphi_U \in (0; \pi/2)$ für die untersuchten Modulationsverfahren und Modulationsindizes $M = 0,3/0,6/0,9$ angegeben. Die Form der Einhüllenden ist für die drei Modulationsverfahren etwa gleich, jedoch muss auf die unterschiedlichen Maßstäbe hingewiesen werden, weiters wurden die Einhüllenden für unterschiedliche Pulsfrequenzen gemäß der Anpassung auf gleiche Schaltverluste berechnet.

6.1.5 Vergleich der unterschiedlichen Modulationsverfahren

Mit (6.21) erkennt man, dass mit steigender Pulsfrequenz der Effektivwert des Spannungsrippels am Eingangsfilterkondensator $\Delta U_{C_F,RST,rms}$ proportional absinkt, da mit steigender Pulsfrequenz die Größe der Trajektorien und damit der Spannungsrippel abnimmt: Eine höhere Pulsfrequenz wirkt sich also günstig auf den Oberschwingungseffektivwert aus. Abb. 6.4 zeigt, dass das symmetrische Modulationsverfahren 2 (bei dem der Freilaufzustand in der Mitte einer Pulshalbperiode liegt) bei angepassten Schaltverlusten den höchsten Oberschwingungseffektivwert aufweist, Modulationsverfahren 1 und 3 haben trotz des

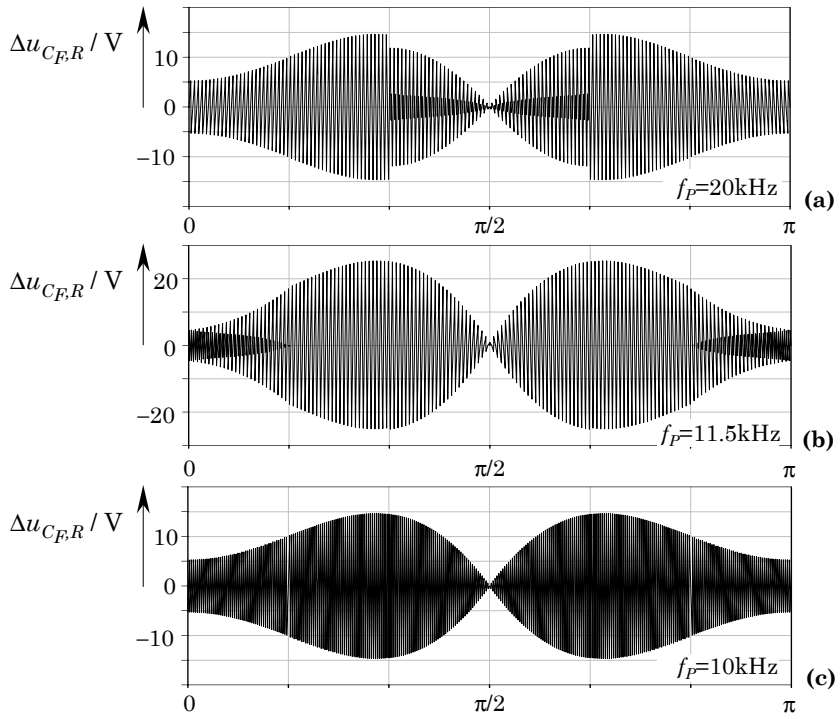


Abb. 6.5: Zeitverlauf des Spannungsrippels $\Delta u_{C_F,R}$ am Eingangsfilterkondensator in Phase R für einen Modulationsindex $M = 0,9$ für Modulationsverfahren 1: **(a)**, 2: **(b)** und 3: **(c)** innerhalb einer halben Netzperiode.

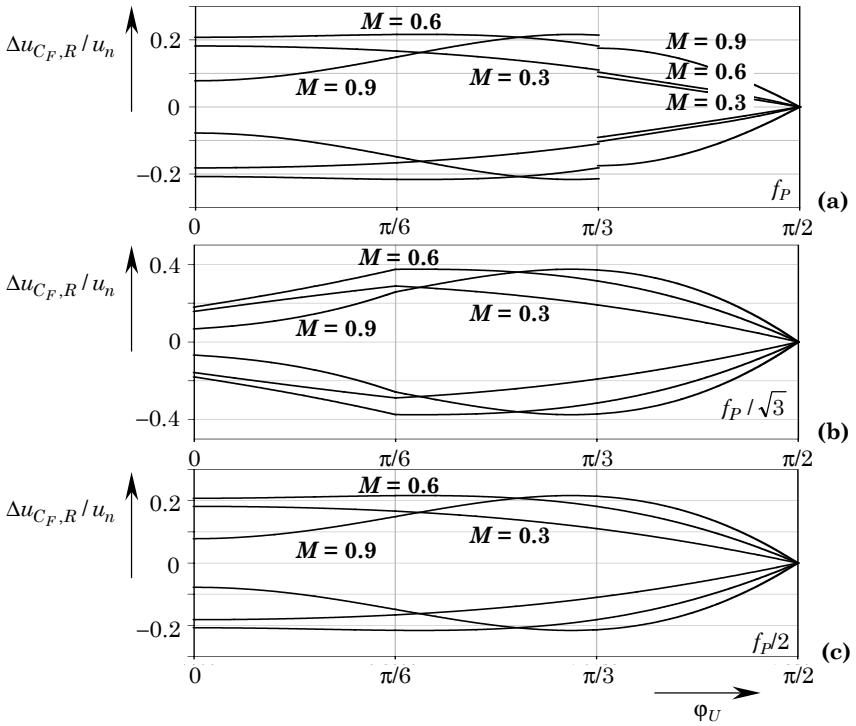


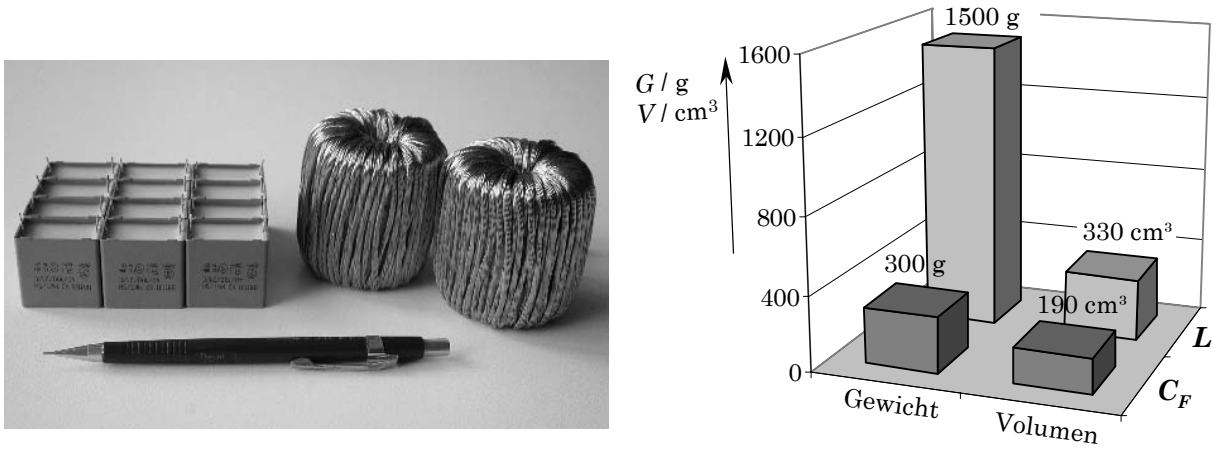
Abb. 6.6: Einhüllende des normierten Spannungsrippels $\Delta u_{C_F,R}/u_n$ am Eingangsfilterkondensator in Phase R für unterschiedliche Modulationsindizes M für Modulationsverfahren 1: **(a)**, 2: **(b)** und 3: **(c)** innerhalb einer viertel Netzperiode $\varphi_U \in (0; \pi/2)$.

Schaltfrequenzverhältnisses $f_{P,1} : f_{P,3} = 1 : 1/2$ annähernd die gleichen Werte für den Effektivwert des Spannungsrippels, da die Trajektorie des asymmetrischen Verfahrens näher am Ursprung des Koordinatensystems liegt und damit der Spannungsrippel geringer ist, wie in Abb. 6.3 zu erkennen ist. Trotzdem ist das symmetrische Modulationsverfahren 1 dem asymmetrischen Modulationsverfahren 3 vorzuziehen, da dieses bei gleichem Rippeleffektivwert eine doppelt so hohe Schaltfrequenz bei gleichen Schaltverlusten erlaubt. Dadurch werden auch die Oberschwingungen des Netzstromes zu höheren Frequenzen verschoben, was in einem geringeren Ausführungsaufwand des Eingangsfilters resultiert. Weiters ist bei Modulationsverfahren 1 keine Anpassung des Sollstromraumzeigers $\underline{i}_U^*$ wie bei Verfahren 3 notwendig, d.h. die Berechnung des Sollstromraumzeigers sowie der Einschaltdauern ist wesentlich einfacher.

6.2 Stromrippel an der Zwischenkreisinduktivität

Dieser Abschnitt beschäftigt sich mit der Bewertung des Modulationsverfahrens hinsichtlich des Stromrippels an der Zwischenkreisinduktivität, wobei sowohl die Schaltzustandssequenz der eingangsseitigen Tiefsetzstellerstufe als auch die Modulation der ausgangsseitigen Hochsetzstellerstufe berücksichtigt werden. Wie der Vergleich der Größe und des Gewichts der eingangsseitigen Filterkondensatoren und der Zwischenkreisinduktivität zeigt, könnte eine Optimierung bzw. Auswahl des Modulationsverfahrens hinsichtlich der Größen der Zwischenkreises, d.h. hinsichtlich der Spannung bzw. des Stromrippels an der Zwischenkreisinduktivität, sinnvoller sein als eine Optimierung bzw. Auswahl hinsichtlich der Größen auf der Wechselspannungsseite, d.h. hinsichtlich des Spannungsrippels an den eingangsseitigen Filterkondensatoren (vgl. Abschnitt 6.1). Damit könnte die Größe und das Gewicht der schweren Zwischenkreisinduktivität reduziert werden, wodurch das gesamte Gleichrichtersystem kompakter und die spezifische Leistung (W/kg) erhöht würde.

Gegenwärtig beträgt das Gesamtvolumen der auf zwei Induktivitäten aufgeteilten Zwischenkreisinduktivität 327 cm^3, wobei eine Induktivität einen Durchmesser von $\approx 5,9$ cm und eine Höhe von $\approx 6,0$ cm aufweist, die Eingangsfilterkondensatoren sind mit 190 cm^3 um ca. 40 % kleiner. Der Gewichtsunterschied ist wesentlich signifikanter: die beiden Zwischenkreisinduktivitäten wiegen 1500 g, das Gewicht der Filterkondensatoren beläuft sich auf 300 g. Die in der praktischen Realisierung eingesetzten Komponenten sind in **Abb. 6.7**(a) abgebildet, Abb. 6.7(b) zeigt die Verhältnisse von Größe und Gewicht.



(a) **(b)**

Abb. 6.7: Vergleich von Gewicht und Volumen der eingangsseitigen Filterkondensatoren C_F und der Zwischenkreisinduktivitäten L, die im Protoypten des Gleichrichtersystems eingesetzt sind: **(a)** Aussehen und **(b)** Gewicht und Volumen.

6.2.1 Modulation der Hochsetzstellerausgangsstufe

Das zeitliche Verhalten des Rippelstromes an der Zwischenkreisinduktivität ist sowohl vom gewählten Modulationsverfahren der Tiefsetzstellereingangsstufe als auch von der Modulation der ausgangsseitigen

Hochsetzstellerstufe abhängig, wobei für die Eingangsstufe wie im vorhergehenden Abschnitt 6.1 für die Untersuchung des Spannungsrippels an den Eingangsfilterkondensatoren die in Tab. 6.1 angegebenen Schaltzustandssequenzen herangezogen werden.

Wenn die ausgangsseitige Hochsetzstellerstufe aktiviert werden muss, vgl. Abschnitt 7.1, gibt es unterschiedliche Möglichkeiten, die Schaltfunktion des Hochsetzstellertransistors innerhalb einer Pulsperiode zu platzieren, was die Spannung an der Zwischenkreisinduktivität und damit den Zwischenkreisstromrippel beeinflusst. Der Hochsetzstellertransistor kann entweder in der Mitte oder – um eine Pulshalbperiode verschoben – am Beginn und am Ende einer Pulsperiode aktiv sein; in Verbindung mit z.B. Modulationsverfahren 1 (Tab. 6.1) bedeutet das, dass der Hochsetzstellertransistor entweder während des Freilaufzustandes der Tiefsetzstellereingangsstufe (Modulationsverfahren 1.a, **Abb. 6.8**(a)) oder während der aktiven Schaltzustände der Eingangsstufe (Modulationsverfahren 1.b, Abb. 6.8(b)) aktiv ist.

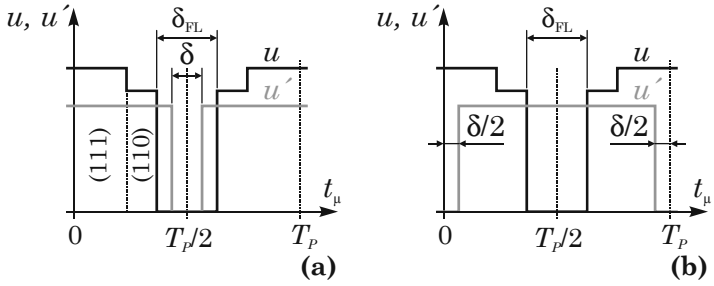


Abb. 6.8: Modulation der ausgangsseitigen Hochsetzstellerstufe. Spannung u am Ausgang der eingangsseitigen Tiefsetzstellerstufe und Spannung u' am Hochsetzstellertransistor bei Modulationsverfahren 1 der Tiefsetzstellerstufe. Der Hochsetzstellertransistor ist entweder **(a)** während des Freilaufzustandes oder **(b)** während der aktiven Schaltzustände der Eingangsstufe aktiv.

Die Auswirkung der Platzierung des aktiven Schaltzustandes der Hochsetzstellerausgangsstufe auf den Zwischenkreisstromrippel ist in **Abb. 6.9** gezeigt: in Abb. 6.9(a) ist der Hochsetzstellertransistor während des Freilaufes, in Abb. 6.9(b) während der aktiven Schaltzustände der Tiefsetzstellereingangsstufe aktiv. Der Zwischenkreisstromrippel für nicht aktiven Hochsetzsteller ist in Abb. 6.9(c) gezeigt.

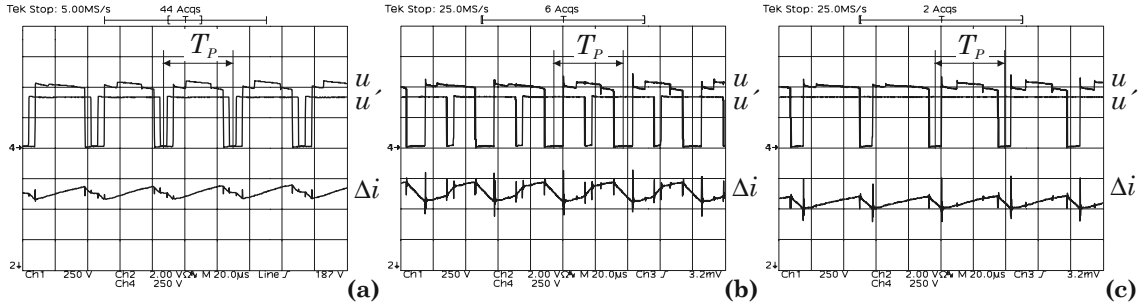


Abb. 6.9: Spannung u am Ausgang der eingangsseitigen Tiefsetzstellerstufe, Spannung u' am Hochsetzstellertransistor sowie Zwischenkreisstromrippel Δi für 2,5 kW Ausgangsleistung und 440 V Netzaußenleiterspannung bei Modulationsverfahren 1 der Tiefsetzstellerstufe. Der Hochsetzstellertransistor ist entweder während des Freilaufzustandes **(a)** oder während der aktiven Schaltzustände der Eingangsstufe **(b)** aktiv, bzw. **(c)** nicht aktiver Hochsetzsteller ($\delta = 0$). Spannungsmaßstäbe: 250 V/Div., Strommaßstab: 2 A/Div., Zeitmaßstab: 20 μs/Div..

Im Folgenden wird das zeitliche Verhalten sowie der Effektivwert des Stromrippels der Zwischenkreisinduktivität analytisch berechnet, um einen Vergleich in Abhängigkeit des Modulationsindex zu ermöglichen.

6.2.2 Analytische Berechnung des Zwischenkreisstromrippels

Der Strom in der Zwischenkreisinduktivität wird sowohl von der Spannung u am Ausgang der Tiefsetzstellereingangsstufe als auch von der Spannung u' am Hochsetzstellertransistor bestimmt, die für deaktivierte

Hochsetzstellerstufe der Ausgangsspannung U_0 des Gleichrichtersystems entspricht. Man erhält für den Rippelstrom Δi der Zwischenkreisinduktivität

$$\Delta i(t_{\mu,2}) = \frac{1}{L}\int_{t_{\mu,1}}^{t_{\mu,2}} [u(t_\mu) - u'(t_\mu)]\,\mathrm{d}t_\mu + \Delta i(t_{\mu,1}). \tag{6.33}$$

Der lokale Effektivwert des Stromrippels innerhalb einer Pulsperiode kann in Abhängigkeit der Position φ_U innerhalb der Netzperiode über

$$\begin{aligned}\Delta i^2_{rms}(\varphi_U) = \frac{1}{T_P/2}\int_{t_\mu=0}^{t_\mu=\frac{1}{2}T_P} \Delta i(t_\mu)^2 \mathrm{d}t_\mu \quad = \quad & \frac{2}{3\,T_P}\,[\,t_{\mu,1}\left(\Delta i_0^2 + \Delta i_0 \Delta i_{t_{\mu,1}} + \Delta i^2_{t_{\mu,1}}\right) + \\ & (t_{\mu,2} - t_{\mu,1})\left(\Delta i^2_{t_{\mu,1}} + \Delta i_{t_{\mu,1}}\Delta i_{t_{\mu,2}} + \Delta i^2_{t_{\mu,2}}\right) + \\ & (T_P/2 - t_{\mu,2})\left(\Delta i^2_{t_{\mu,2}} + \Delta i_{t_{\mu,2}}\Delta i_{T_P/2} + \Delta i^2_{T_P/2}\right)\Big]\end{aligned}$$

berechnet werden, wobei im Falle von Modulationsverfahren 1 gilt

$$\begin{aligned} t_{\mu,1} &= \delta_{(111)}\,T_P/2 \\ t_{\mu,2} &= (\delta_{(111)} + \delta_{(110)})\,T_P/2. \end{aligned} \tag{6.34}$$

Der globale Effektivwert des Zwischenkreisstromrippels innerhalb der Netzperiode kann dann durch Summation der lokalen Effektivwerte ermittelt werden,

$$\Delta I^2_{rms} = \frac{1}{T_N}\sum_k \Delta i^2_{rms}(\varphi_U). \tag{6.35}$$

Wenn die Pulsfrequenz f_P wesentlich höher als die Netzfrequenz ist, kann die Summation mit guter Näherung durch eine Integration ersetzt werden,

$$\Delta I^2_{rms} = \frac{1}{\varphi_{U,2} - \varphi_{U,1}}\int_{\varphi_{U,1}}^{\varphi_{U,2}} \Delta i^2_{rms}(\varphi_U)\mathrm{d}\varphi_U, \tag{6.36}$$

womit eine analytisch geschlossene Berechnung der globalen Rippelstromeffektivwerts möglich wird.

Betrachten wir z.B. Modulationsverfahren 1 bei deaktivierter Hochsetzstellerausgangsstufe, dann erhält man für den Zwischenkreisstromrippel zu den Zeitpunkten $t_{\mu,i}$ innerhalb einer Pulshalbperiode

$$\begin{aligned} \Delta i_0 &= 0, \\ \Delta i_{t_{\mu,1}} &= 1/L\left(u_{(101)} - U_0\right)\delta_{(101)}\,T_P/2, \\ \Delta i_{t_{\mu,2}} &= 1/L\left(u_{(110)} - U_0\right)\delta_{(110)}\,T_P/2 + \Delta i(t_{\mu,1}), \\ \Delta i_{T_P/2} &= 0. \end{aligned} \tag{6.37}$$

Der globale Effektivwert des Zwischenkreisstromrippels innerhalb einer Netzperiode kann nun unter Einbeziehung der relativen Einschaltdauern δ_j, der dabei auftretenden Spannungen u_j und der Gleichungen (6.34) und (6.36) sowie unter Berücksichtigung des Verhältnisses der Pulsfrequenzen für angepasste Schaltverluste (6.1) berechnet werden, die Integration (6.36) kann dabei auf ein $\frac{\pi}{6}$-breites Intervall beschränkt werden. Für Modulationsverfahren 1 erhält man für deaktivierte Hochsetzstellerausgangsstufe

$$\Delta I_{rms,(1)}/\Delta i_n = \frac{M}{8\sqrt{5\pi}}\sqrt{240\pi - M(600\sqrt{3} + 352) + M^2(45\sqrt{3} + 180\pi)}, \tag{6.38}$$

mit der Normierungsbasis

$$\Delta i_n = \frac{\hat{U}_{N,ll}}{2\sqrt{3}\,L\,f_P}. \tag{6.39}$$

Für Modulationsverfahren 2 und 3 erhält man für den Rippelstromeffektivwert

$$\begin{aligned} \Delta I_{rms,(2)}/\Delta i_n &= \frac{\sqrt{3}M}{8\sqrt{5\pi}}\sqrt{180\pi - 90\sqrt{3} - 736M + M^2(180\pi - 135\sqrt{3})}, \\ \Delta I_{rms,(3)}/\Delta i_n &= \frac{M}{4\sqrt{10\pi}}\sqrt{120\pi - 704M + 105M^2\pi}. \end{aligned} \tag{6.40}$$

Die Ergebnisse der analytischen Berechnung sind in **Abb. 6.10** in Abhängigkeit des Modulationsindex M der Tiefsetzstellereingangsstufe für deaktivierte Hochsetzstellerausgangsstufe ($\delta = 0$) angegeben. In **Abb. 6.11** sind die Ergebnisse der analytischen Berechnung in Abhängigkeit der Netzaußenleiterspannung angegeben und mit den Ergebnissen einer digitalen Simulation [46] verglichen, wobei eine exzellente Übereinstimmung vorliegt.

Die analytische Berechnung des Effektivwerts des Zwischenkreisstromrippels für Tastverhältnisse $\delta > 0$ ist äußerst komplex, da innerhalb eines $\frac{\pi}{6}$-breiten Netzintervalls mehrere Fallunterscheidungen hinsichtlich der Spannungsverhältnisse an den Klemmen der Zwischenkreisinduktivität vorgenommen werden müssen, wobei die Grenzen zwischen den zu unterscheidenden Bereichen abhängig vom Modulationsindex M sind. Wegen der einwandfreien Übereinstimmung von Simulation und analytischer Berechnung (vgl. Abb. 6.11) wird daher die äußerst komplexe Berechnung des Zwischenkreisstromrippels für aktive Hochsetzstellerausgangsstufe ($\delta > 0$) nicht durchgeführt und für die Bestimmung des Effektivwerts des Zwischenkreisstromrippels auf durch Simulation gewonnene Kurven verwiesen, die in **Abb. 6.12** angegeben sind.

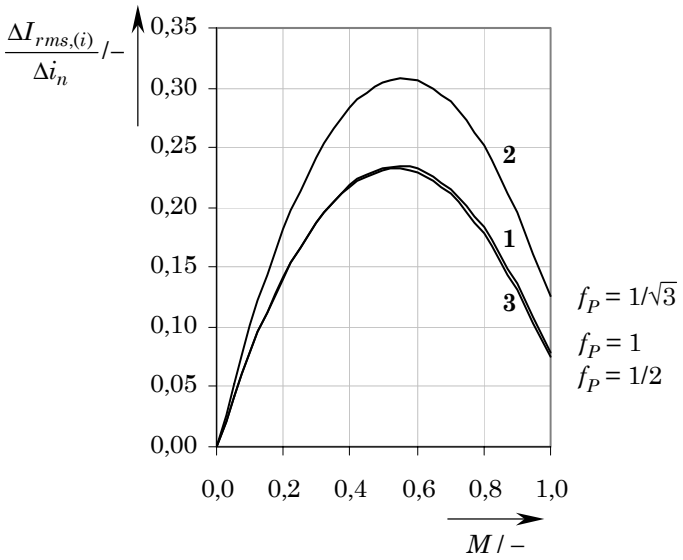


Abb. 6.10: Normierter Effektivwert des Stromzwischenkreisrippels $\Delta I_{rms,(i)}/\Delta i_n$ in Abhängigkeit des Modulationsindex M der Tiefsetzstellereingangsstufe für Modulationsverfahren 1, 2 und 3 für deaktivierte Hochsetzstellerausgangsstufe ($\delta = 0$) und angepasste Schaltfrequenz.

Der Vergleich des globalen Effektivwerts des Zwischenkreisstromrippels für die unterschiedlichen Modulationsverfahren (vgl. Abb. 6.12) zeigt, dass Modulationsverfahren 1.a im gesamten Eingangsspannungsbereich sowohl bei aktiver als auch bei deaktivierter Hochsetzstellerausgangsstufe den geringsten Effektivwert aufweist. Modulationsverfahren 3 zeigt zwar ähnliche Werte, jedoch ist die Pulsfrequenz bei Verfahren 3 nur halb so groß wie bei Verfahren 1. Ein Vergleich der Modulationsverfahren 1.a und 1.b zeigt, dass der Zwischenkreisstromrippel deutlich von der Position des Schaltzustandes des Hochsetzstellertransistors gegenüber den Schaltzuständen der Tiefsetzstellereingangsstufe abhängt. Wird der aktive Schaltzustand des Hochsetzstellertransistors während der aktiven Schaltzustände der Tiefsetzstellerstufe platziert, resultiert dies im schlechtesten Fall in einem globalen Effektivwert, der $\approx 4,5$ mal höher als bei Verfahren 1.a ist, wo der aktive Schaltzustand des Hochsetzstellers während des Freilaufzustandes der Eingangsstufe platziert wird (vgl. Abb. 6.9(a) und (b)).

6.2.3 Zeitverlauf und Einhüllende des Zwischenkreisstromrippels

Da der Effektivwert nur ein globales Bild vermittelt, werden im Folgenden der zeitliche Verlauf sowie die Einhüllende des Zwischenkreisstromrippels untersucht. Mit diesen Ergebnissen kann eine Aussage über den maximal auftretenden Strom und die daraus resultierende Beanspruchung der Bauelemente getroffen werden.

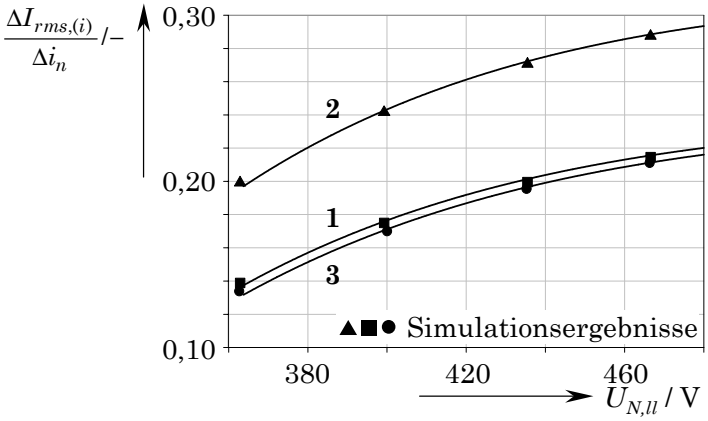


Abb. 6.11: Vergleich der Ergebnisse von Simulation (vgl. Abschnitt 6.2.3) und analytischer Berechnung des Effektivwerts des Zwischenkreisstromrippels $\Delta I_{rms,(i)}$ für die unterschiedlichen Modulationsverfahren in Abhängigkeit der Netzaußenleiterspannung $U_{N,ll}$ und $U_0 = 400$ V Ausgangsspannung für deaktivierte Hochsetzstellerausgangsstufe ($\delta = 0$) und angepasste Schaltfrequenz.

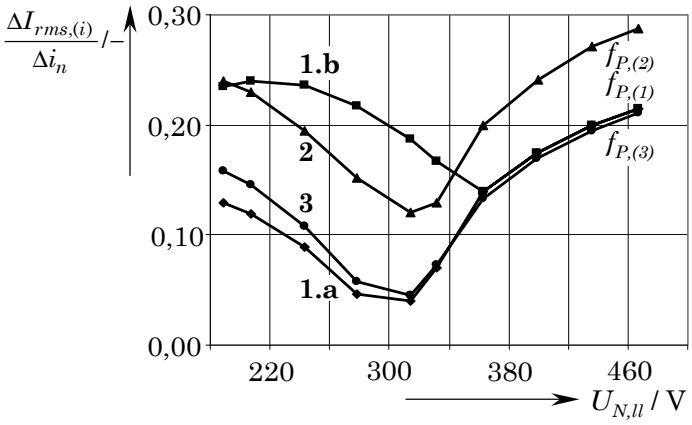


Abb. 6.12: Normierter Effektivwert des Zwischenkreisstromrippels $\Delta I_{rms,(i)}(\Delta i_n$ für die unterschiedlichen Modulationsverfahren in Abhängigkeit der Netzaußenleiterspannung $U_{N,ll}$ und $U_0 = 400$ V Ausgangsspannung für aktive ($\delta > 0$) und deaktivierte ($\delta = 0$) Hochsetzstellerausgangsstufe und angepasste Schaltfrequenz.

Mit (6.33) kann der Wert des Stromrippels für jeden Zeitpunkt einer Pulsperiode in Abhängigkeit der Position innerhalb einer Netzperiode berechnet werden, in **Abb. 6.13** ist das zeitliche Verhalten des Zwischenkreisstromrippels $\Delta i_{(i)}$ für Modulationsverfahren 1 und 2 für deaktivierte Hochsetzstellerausgangsstufe und einen Modulationsindex $M = 0,9$ sowie für angepasste Pulsfrequenzen angegeben. In **Abb. 6.14** sind die dazugehörigen Einhüllenden $\Delta i_{\max,(i)}$ des Zwischenkreisstromrippels in Abhängigkeit des Modulationsindex innerhalb eines $\frac{\pi}{6}$-breiten Netzintervalls angegeben. Der Vergleich der Abb. 6.13 und 6.14 zeigt, dass Modulationsverfahren 2 stellenweise einen geringeren Zwischenkreisstromrippel aufweist als Modulationsverfahren 1, jedoch liegt der Rippel bei Modulationsverfahren 2 in den meisten Bereichen der Netzperiode deutlich über dem bei Verfahren 1.

Für das zeitliche Verhalten des Zwischenkreisstromrippels bei Modulationsverfahren 3 wird wegen der komplexen analytischen Berechnung wieder auf Simulationsergebnisse verwiesen, diese sind gemeinsam mit Simulationsergebnissen für Modulationsverfahren 1 und 2 in **Abb. 6.15** dargestellt. Man erkennt, dass die Einhüllende des Zwischenkreisstromrippels bei Modulationsverfahren 3 etwa der bei Modulationsverfahren 1 bei $f_{P,(3)} = 2f_{P,(1)}$ entspricht, auf eine dreidimensionale Darstellung der Einhüllenden wird daher verzichtet.

Jene Belastung des Gleichrichtersystems, bei der der Übergang zwischen nicht lückendem Betrieb und lückendem Betrieb erfolgt, kann leicht mittels Abb. 6.14 ermittelt werden: Um nicht lückenden Betrieb sicherzustellen, muss der Mittelwert I des Zwischenkreisstromes während der gesamten Netzperiode über

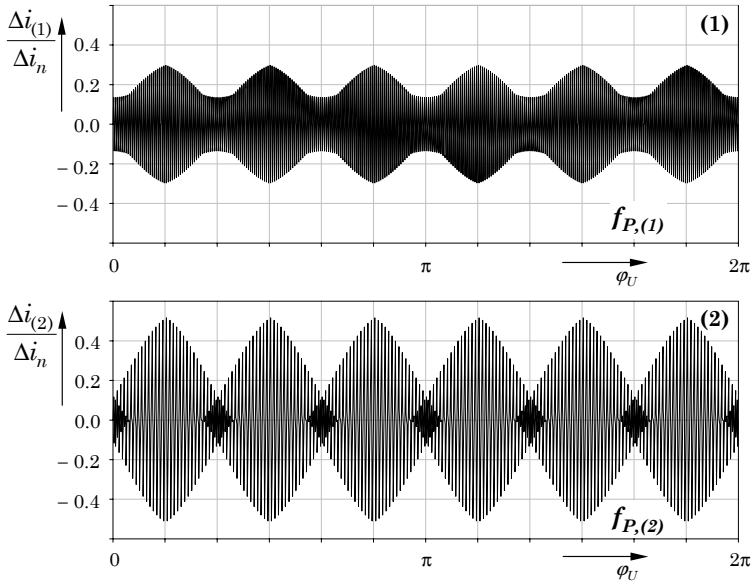


Abb. 6.13: Zeitverlauf des normierten Zwischenkreisstromrippels $\Delta i_{(i)}/\Delta i_n$ für Modulationsverfahren 1 und 2 innerhalb einer Netzperiode für einen Modulationsindex $M = 0,9$ und angepasste Pulsfrequenzen. Die Hochsetzstellerausgangsstufe ist nicht aktiv ($\delta = 0$).

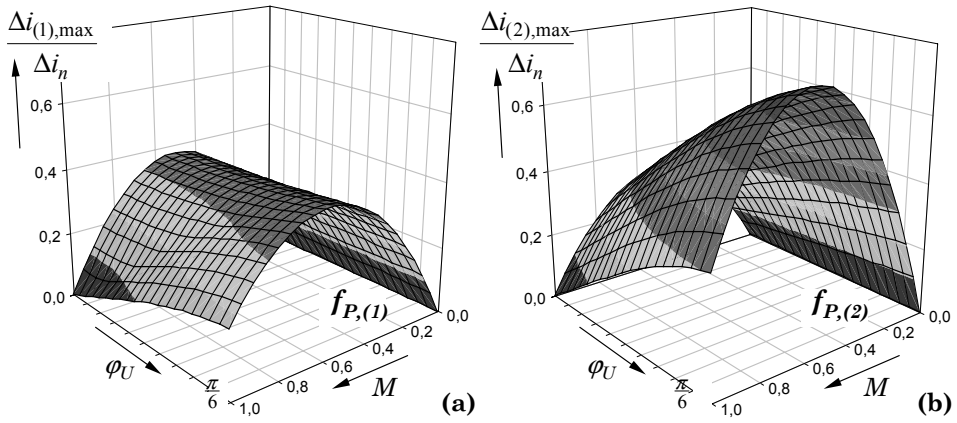


Abb. 6.14: Zeitverlauf des normierten Zwischenkreisstromrippels $\Delta i_{(i)}/\Delta i_n$ für Modulationsverfahren 1 und 2 innerhalb einer Netzperiode für einen Modulationsindex $M = 0,9$ und angepasste Pulsfrequenzen. Die Hochsetzstellerausgangsstufe ist nicht aktiv ($\delta = 0$).

der maximalen Amplitude des Zwischenkreisstromrippels $\Delta i_{(i)}$ bleiben. Wird der Hochsetzsteller aktiv, verringert sich der Zwischenkreisstromrippel bei Modulationsverfahren 1.a, 2 und 3 (vgl. Abb. 6.15), daher kann der lückende Betrieb für denselben Arbeitspunkt bei aktivem Hochsetzsteller ausgeschlossen werden.

In **Abb. 6.16** ist ein Vergleich des Verhaltens des Zwischenkreisstromrippels Δi zwischen Simulation und experimentellen Messergebnissen für $P_0 = 2,5$ kW, $U_{N,ll} = 440$ V und $U_0 = 400$ V gezeigt. Es liegt eine sehr gute Übereinstimmung von simulierten und experimentell gewonnenen Verläufen vor, weshalb die Ergebnisse aus Theorie bzw. Simulation für die Beschreibung des Verhaltens des Zwischenkreisstromes herangezogen werden können.

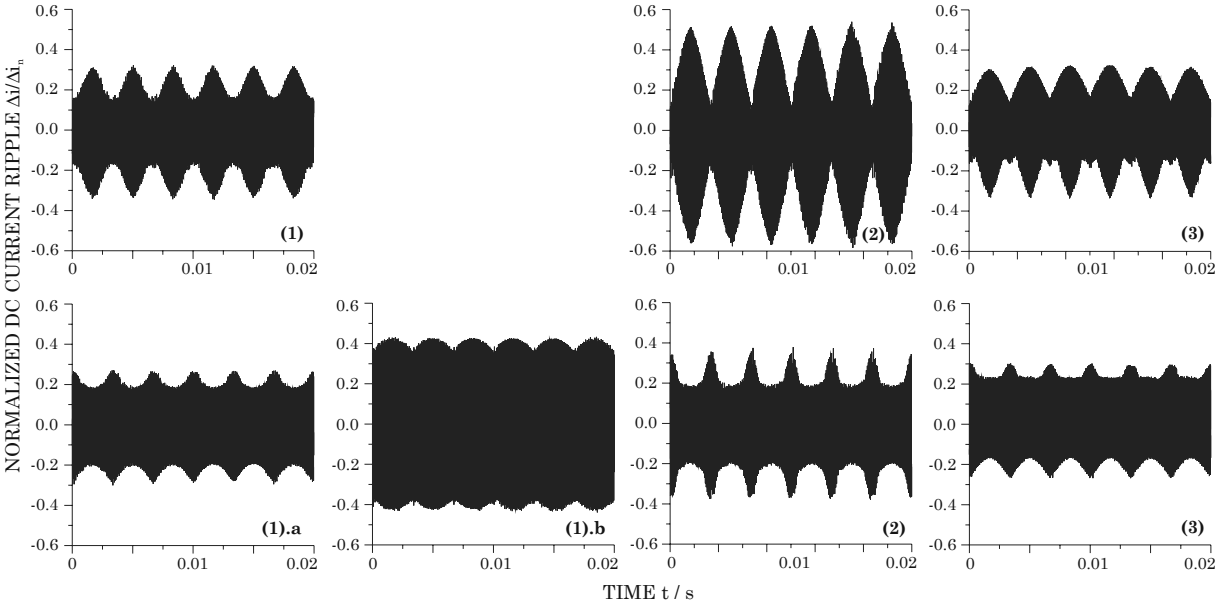


Abb. 6.15: Zeitverläufe des normierten Zwischenkreisstromrippels $\Delta i_{(i)}/\Delta i_n$ innerhalb einer Netzperiode für die unterschiedlichen Modulationsverfahren für deaktivierte Hochsetzstellerausgangsstufe ($\delta = 0$) und einen Modulationsindex $M = 0,9$ für $U_{N,ll} = 380$ V und $U_0 = 400$ V (oben) sowie für aktive Hochsetzstellerstufe ($\delta = 0,4$) und $M = 0,9$ für $U_{N,ll} = 230$ V und $U_0 = 400$ V (unten). Die Pulsfrequenzen wurden gemäß (6.1) für gleiche Schaltverluste angepasst.

6.3 Vergleich der unterschiedlichen Modulationsverfahren

Die Bewertung der unterschiedlichen Modulationsverfahren hinsichtlich ihrer Auswirkung auf die Eingangs- als auch auf die Ausgangsgrößen des Gleichrichtersystems zeigt, dass ein Modulationsverfahren existiert, das gleichzeitig einen minimalen Spannungsrippel an den Eingangsfilterkondensatoren als auch einen minimalen Rippel des Zwischenkreisstromes bei minimalen Schaltverlusten bzw. maximaler Pulsfrequenz im Vergleich mit anderen Modulationsverfahren hervorruft. Dieses optimale Modulationsverfahren ist dadurch gekennzeichnet, dass der Freilaufzustand der Tiefsetzstellereingangsstufe in der Mitte einer Pulsperiode platziert wird. Ist die Hochsetzstellerausgangsstufe aktiv, so wird das Einschaltintervall des Hochsetzstellertransistors ebenfalls in der Mitte der Pulsperiode, zentriert zum Freilaufzustand der Tiefsetzstellerstufe angeordnet.

Da durch dieses Modulationsverfahren sowohl der Spannungsrippel der Eingangsfilterkondensatoren als auch der Zwischenkreisstromrippel minimiert bzw. das Verhalten der Wechsel- und Gleichspannungsgrößen optimiert werden, gibt es keine Möglichkeit, das Verhalten der Größen auf der Ausgangsseite des Gleichrichtersystems weiter zu verbessern und gleichzeitig eine Verschlechterung des Verhaltens auf der Eingangsseite in Kauf zu nehmen. Dieser Handlungsspielraum bestünde, würden die Minima der Eingangs- und Ausgangsrippelgrößen bei unterschiedlichen Modulationsverfahren auftreten, wodurch die Zwischenkreisinduktivitäten verkleinert und im Gegenzug die relativ kleinen Eingangsfilterkondensatoren vergrößert werden könnten. Die einzige Möglichkeit der Verringerung der Größe der Zwischenkreisinduktivitäten besteht in der Reduktion ihrer Induktivität, was jedoch in einem größeren Zwischenkreisstromrippel und einer höheren Sensitivität des Zwischenkreisstromes bei gestörten Eingangsspannungen resultiert. Weiters wird bei Reduktion der Induktivität der Wert der Belastung, bei der der Übergang zwischen nicht lückendem und lückendem Betrieb auftritt, zu größeren Werten hin verschoben. Dieser Effekt könnte jedoch durch zusätzliche Aktivierung der Hochsetzstellerausgangsstufe aufgehoben werden, wodurch jedoch Schalt- und Leitverluste des gesamten Gleichrichtersystems ansteigen. Eine weitere Möglichkeit der Reduktion der Baugröße der Induktivität könnte durch eine Vormagnetisierung des Kerns in Form eines Permanentmagneten geschehen, wodurch allerdings zusätzliche Wirbelstromverluste entstehen. Auch könnte eine Modulierung der Pulsfrequenz der Tiefsetzstellereingangstufe mit sechsfacher Netzfrequenz in der Art überlegt werden, dass in Gebieten hohen Zwischenkreisstromrippels (z.B. bei

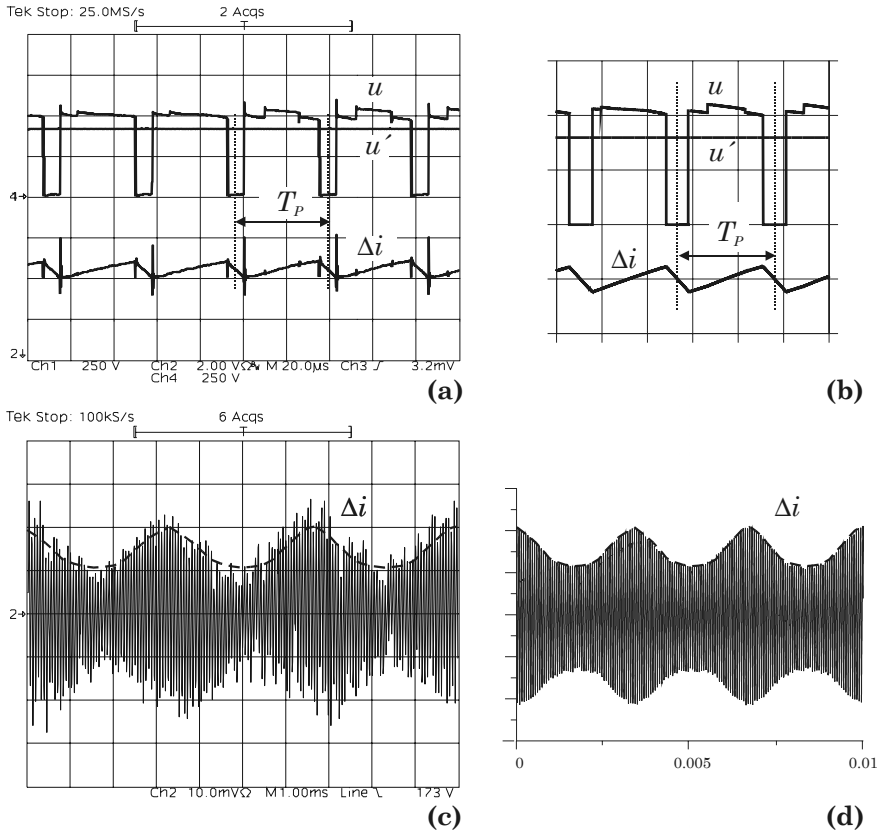


Abb. 6.16: Experimentelle Ergebnisse **(a), (c)** und dazugehörige Simulationsergebnisse **(b), (d)** für deaktivierte Hochsetzstellerausgangsstufe: Spannung u der Tiefsetzstellereingangsstufe, Spannung $u' = U_0$ am Hochsetzstellertransistor und Zwischenkreisstromrippel Δi. Lokales Zeitverhalten (a), (b) und globales Zeitverhalten innerhalb einer halben Netzperiode (c), (d). Maßstäbe: u, u': 250 V/Div., Δi: 2 A/Div., Zeitmaßstab: (a), (b): 20 μs/Div., (c), (d): 1 ms/Div.

$\varphi_U = \frac{\pi}{6}$, vgl. Abb. 6.13) durch Anhebung der Pulsfrequenz der Zwischenkreisstromrippel lokal verringert wird.

Kapitel 7

Regelung des Gleichrichtersystems

Die Regelung eines dreiphasigen Gleichrichtersystems soll einerseits unter symmetrischen Netzbedingungen in einem weiten Eingangsspannungsbereich eine konstante Ausgangsspannung sowie andererseits sinusförmige, in Phase zur Netzspannung liegende Netzströme und damit einen konstanten Zwischenkreisstrom sicherstellen. Weiters wird auf Grund der geforderten hohen Zuverlässigkeit von Gleichrichtersystemen etwa im Einsatz als Telekommunikationsstromversorgungen von der Regelung verlangt, dass auch im Falle eines Fehlers am Netz, d.h. bei einem stark unsymmetrischen speisenden Netz, der Betrieb des Gleichrichtersystems aufrecht erhalten bleibt und weiterhin Netzströme fließen, die proportional zur Netzspannung sind.

Für konventionelle dreiphasige, *hochsetzstellerbasierte* pulsweitenmodulierte Gleichrichtersysteme wurde in [47] eine Regelstruktur vorgestellt, die einen Betrieb für unsymmetrische Netzspannungen sicherstellt. Der Betrieb eines Drei-Phasen/Drei-Level (dt. = ?) *hochsetzstellerbasierten* PWM Gleichrichtersystems (VIENNA Rectifier I) wurde in [48] in einem weiten Eingangsspannungsbereich bei Ausfall eine Netzphase untersucht. Dort ist die Erkennung des Phasenausfalls notwendig und in Folge muss eine Umschaltung auf eine andere Regelstruktur vorgenommen werden. In [49] und [50] wird eine Regelstruktur für den VIENNA Rectifier I vorgestellt und experimentell untersucht, die für eine beliebige Netzunsymmetrie sowie unterschiedliche Netzfehlerzustände ohne Umschaltung der Regelstruktur einen sicheren Betrieb gewährleistet, in [51] wird das Verhalten eines hochsetzstellerbasierten Δ-Gleichrichters für stark unsymmetrische Netzbedingungen untersucht.

In der Literatur ist keine Regelstruktur für ein *tiefsetzstellerbasiertes* Gleichrichtersystem zu finden, die annähernd die gewünschten Eigenschaften zeigt. Das folgende Kapitel beschäftigt sich daher mit der Entwicklung einer den Anforderungen genügenden Regelstruktur für das dreiphasige Gleichrichtersystem mit eingangsseitiger Drei-Schalter Tiefsetzstellerstufe und integrierter Hochsetzstellerausgangsstufe sowie deren Bewertung mittels Simulation und experimenteller Analyse. Die betrachteten Netzfehlerzustände sind dabei die Netzunsymmetrie, d.h. die Netzspannungen weisen unterschiedliche Amplituden auf bzw. weicht deren Phasenverschiebung von 120° ab, der Ausfall einer Netzphase durch z.B. Ausfall einer Zuleitungssicherung, ein Erdschluss, d.h. eine Verbindung zum Netzsternpunkt, sowie ein zusätzlicher Phasenkurzschluss während des Ausfalls einer Phase.

7.1 Theoretische Überlegungen

7.1.1 Grundlegendes

Um ein ohmsches Netzverhalten des Gleichrichtersystems zu erhalten, müssen Netzströme $i_{N,i}$, $i = R, S, T$, bzw. Grundschwingungen $i_{U,(1),i}$ der diskontinuierlichen Gleichrichtereingangsströme geformt werden, die proportional zu – d.h. in Phase mit – den dazugehörigen Netzphasenspannungen $u_{N,i}$ sind. D.h. das Gleichrichtersystem muss eine symmetrische, dreiphasige Anordnung ohmscher Widerstände nachbilden, wobei G der Leitwert einer Phase ist, wenn die drei Widerstände in Sternschaltung angeordnet sind,

$$i_{N,i} = u_{N,i} \cdot G \approx i_{U,(1),i} = u_{C_F,i} \cdot G. \tag{7.1}$$

Der Blindstrom $i_{C_F,i}$ der Eingangsfilterkondensatoren ist dabei vernachlässigt, d.h. es wird $i_{N,i} \approx i_{U,(1),i}$ angenommen. Weiters wird der Spannungsabfall an den Netzfilterinduktivitäten L_F vernachlässigt, d.h $u_{N,i} \approx u_{C_F,i}$, wobei diese Übereinstimmung nur gilt, wenn die Netzphasenspannungen kein Nullsystem enthalten.

In diesem Kapitel werden Größen, die während einer (oder mehrerer) Netzperioden konstant bleiben, mit Großbuchstaben bezeichnet (z.B. G), lokale Mittelwerte (innerhalb einer Pulsperiode) von diskontinuierlichen Größen werden mit einem Überstrich versehen (z.B. $\overline{u}$) und die Momentanwerte von kontinuierlichen Größen mit Kleinbuchstaben bezeichnet (z.B. u_N). Dasselbe gilt auch für Sollgrößen, die immer einen kontinuierlichen Wert aufweisen (z.B. $u^* = \overline{u}^*$). Weiters werden pulsfrequente Rippelkomponenten vernachlässigt (z.B. $u_{C_F,i} = u_{C_F,(1),i}$).

Für *symmetrische* Netzbedingungen wurde der Modulationsindex M in Abschnitt 2.5 als

$$M = \frac{\hat{I}_N}{I} = \frac{\sqrt{2}}{\sqrt{3}} \cdot \frac{U}{U_{N,ll}}, \qquad M \in (0;1) \tag{7.2}$$

definiert, wobei dort von global konstanten Strom- und Spannungswerten ausgegangen wurde, wodurch sich auch ein konstanter Modulationsindex für ein symmetrisches Netz ergibt. Der Zwischenkreisstrom – und damit der lokale Mittelwert der Tiefsetzstellerausgangsspannung – kann aber auch ein zeitlich variierendes Verhalten zeigen, z.B. wenn die Tiefsetzstellereingangsstufe ständig an ihrer Aussteuergrenze zwischen $M = 1$ und $M = 2/\sqrt{3}$ (vgl. Abb. 2.6) arbeitet, vgl. **Abb. 7.1**. In diesem Fall weisen der Zwischenkreisstrom sowie die Tiefsetzstellerausgangsspannung u.a. eine 6. Harmonische auf. Die Wahl eines konstanten Zwischenkreisstromes ($i = \text{const.} = I$), der mit einer konstanten Ausgangsspannung der Tiefsetzstellerstufe ($\overline{u} = \text{const.} = U$) bei symmetrischen Netzbedingungen verknüpft ist, ist jedoch vorteilhaft, da dieser auch von einer Zwischenkreisstromregelung geringer Bandbreite sehr genau eingestellt werden kann (vgl. auch Abschnitt 7.1.3.B). Um dies zu erreichen, arbeitet die Tiefsetzstellereingangsstufe mit einem konstanten Modulationsindex, der maximal $M = 1$ sein kann.

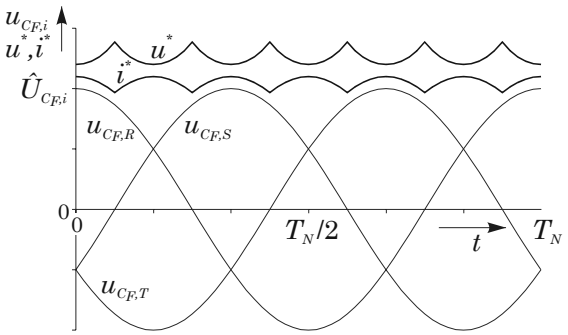


Abb. 7.1: Verlauf der Sollwerte des Zwischenkreisstromes i^* und der Ausgangsspannung der Tiefsetzstellerstufe u^* bei symmetrischen Eingangsspannungen $u_{C_F,i}$ und bei ständiger maximaler Aussteuerung zwischen $M = 1$ und $M = 2/\sqrt{3}$ des Tiefsetzstellers innerhalb einer Netzperiode.

In einem realen System ist der für die Berechnung des Modulationsindex notwendige Effektivwert der Außenleiterspannung $U_{N,ll}$ nicht verfügbar, deshalb wird $U_{N,ll}$ aus den Spannungen an den Eingangsfilterkondensatoren $u_{C_F,i}$ berechnet, die gegen einen künstlichen Sternpunkt N' gemessen werden, wobei auch ein eventuell auftretendes Nullsystem eliminiert wird, vgl. Anhang A.3,

$$U_{N,ll} = \frac{\sqrt{3}}{\sqrt{2}} \cdot \hat{U}_N \quad \text{mit} \quad \hat{U}_N = \sqrt{\frac{2}{3}\left(u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2\right)}. \tag{7.3}$$

Im Fall von *unsymmetrischen* Netzbedingungen werden die Phasenspannungen $u_{C_F,i}$ *lokal* – d.h. in jedem Augenblick – als symmetrisches Spannungssystem interpretiert (was zulässig ist, da kein Nullsystem vorhanden ist). Dadurch erreicht man, dass (7.2) in jedem Fall für die Definition des Modulationsindex herangezogen werden kann. Damit kann der maximale lokale Mittelwert $\overline{u}_{\max}$ der Tiefsetzstellerausgangsspannung als

$$\overline{u}_{\max} = \frac{\sqrt{3}}{\sqrt{2}} \cdot M_{\max} \cdot \sqrt{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \tag{7.4}$$

definiert werden, wobei $M_{\max}$ der maximale Modulationsindex der Tiefsetzstellerstufe ist. Die formale Größe $\overline{u}_{\max}$ wird dann für die Entscheidung herangezogen, ob die Hochsetzstellerausgangsstufe aktiviert werden muss oder nicht: für Ausgangsspannungen $U_0 < \overline{u}_{\max}$ arbeitet die Eingangsstufe bei einem Modulationsindex $M < M_{\max}$ und die Hochsetzstellerstufe ist nicht aktiv, d.h. das Tastverhältnis δ der Hochsetzstellerstufe ist $\delta = 0$. Um eine Ausgangsspannung $U_0 > \overline{u}_{\max}$ zu erreichen, muss die Hochsetzstellerstufe aktiviert werden, d.h. $\delta > 0$, vgl. Abschnitt 7.1.3.B.

7.1.2 Berechnung der Einschaltdauern und des Zwischenkreisstromsollwerts

Die relativen Einschaltdauern δ_j der Schaltzustände der Tiefsetzstellereingangsstufe werden wie in Abschnitt 2.5 beschrieben berechnet, die wichtigsten Zusammenhänge, die die Grundlagen für die Berechnung der Sollwerte darstellen, sind im Folgenden für Sektor 1 der Netzperiode (vgl. (2.8)) angegeben. Die Gleichrichtereingangsströme $i_{U,i}$ innerhalb einer Pulshalbperiode berechnen sich gemäß

$$\begin{aligned} \overline{i}_{U,R} &= (\delta_{(101)} + \delta_{(110)}) \cdot i, \\ \overline{i}_{U,S} &= -\,\delta_{(110)} \cdot i, \\ \overline{i}_{U,T} &= -\,\delta_{(101)} \cdot i, \end{aligned} \tag{7.5}$$

der lokale Mittelwert der Ausgangsspannung der Tiefsetzstellereingangsstufe berechnet sich aus den Spannungszeitflächen, die an den Ausgang des Tiefsetzstellers geschaltet werden,

$$\overline{u} = \delta_{(101)} \left(u_{C_F,R} - u_{C_F,T}\right) + \delta_{(110)} \left(u_{C_F,R} - u_{C_F,S}\right). \tag{7.6}$$

Voraussetzung für die weiteren Berechnungen ist das Gleichgewicht zwischen Eingangs- und Ausgangsleistung der Eingangsstufe (bzw. des gesamten Gleichrichtersystems), d.h. die Verluste werden vernachlässigt, vgl. Abb. 7.2,

$$p_{in} = \sum_i i_{N,i}^2 \cdot \frac{1}{G} = \sum_i u_{C_F,i}^2 \cdot G = \overline{u} \cdot i = p_{out}. \tag{7.7}$$

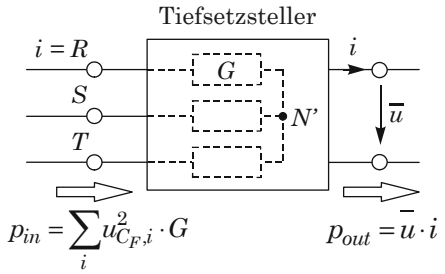


Abb. 7.2: Ersatzschaltbild der Tiefsetzstellereingangsstufe des dreiphasigen Gleichrichtersystems zur Verdeutlichung des Leistungsgleichgewichts.

Mit (7.5) und (7.6) kann für das Verhältnis von Tiefsetzstellerausgangsspannung $\overline{u}$ und Zwischenkreisstrom i folgender Zusammenhang angegeben werden (vgl. Anhang L.1),

$$\frac{\overline{u}}{i} = \frac{2}{G} \cdot (\delta_{(101)}^2 + \delta_{(101)}\delta_{(110)} + \delta_{(110)}^2). \tag{7.8}$$

Die Zusammenhänge (7.1), (7.5) und (7.8) können in einem Gleichungssystem zusammengefasst werden,

$$\overline{u} = \frac{2}{G} \cdot (\delta_{(101)}^2 + \delta_{(101)}\delta_{(110)} + \delta_{(110)}^2) \cdot i, \tag{7.9}$$

$$\overline{i}_{U,R} = u_{C_F,R} \cdot G = (\delta_{(101)} + \delta_{(110)}) \cdot i, \tag{7.10}$$

$$\overline{i}_{U,T} = u_{C_F,T} \cdot G = -\,\delta_{(101)} \cdot i, \tag{7.11}$$

wobei folgende Größen bekannt sind: die Spannungen $u_{C_F,i}$ an den Eingangsfilterkondensatoren werden gegen den künstlichen Sternpunkt N' gemessen, die Ausgangsspannung $\overline{u}$ der Tiefsetzstellerstufe wird

vom Zwischenkreisstromregler und der Eingangsleitwert G vom Ausgangsspannungsregler vorgegeben (vgl. Abschnitt 7.2). Die drei unbekannten Größen sind die beiden relativen Einschaltdauern $\delta_{(101)}$ und $\delta_{(110)}$ sowie der Zwischenkreisstrom i, die in Abhängigkeit von den vorliegenden Netzphasenspannungen ermittelt werden müssen.

7.1.3 Berechnung der Sollwerte

Basierend auf dem Gleichungssystem (7.9)–(7.11) kann die Berechnung der für die Regelung notwendigen Sollwertgrößen erfolgen. Die relativen Einschaltdauern δ_j der Tiefsetzstellereingangsstufe sowie der Zwischenkreisstrom i, der als Sollwert i^* verwendet wird, können analytisch berechnet werden (vgl. Anhang L.1). In Sektor 1 erhält man

$$\delta_{(101)} = -\frac{u^*}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,T}, \tag{7.12}$$

$$\delta_{(110)} = -\frac{u^*}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,S}, \tag{7.13}$$

$$i^* = \frac{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2}{u_0} \cdot G^*. \tag{7.14}$$

Der Zwischenkreisstromsollwert wird hier unter Verwendung der Ausgangsspannung u_0, die relativen Einschaltdauern mit dem Sollwert der Tiefsetzstellerausgangsspannung u^* berechnet, was durch die gewählte Regelstruktur bedingt ist (vgl. Abschnitt 7.2). Der Sollwert des Eingangsleitwerts G^* ergibt sich mit (7.7) zu

$$G^* = \frac{P_{lim}^*}{\sum_i U_{C_F,i}^2}, \tag{7.15}$$

mit dem limitierten Sollwert der Ausgangsleistung P_{lim}^* und der Summe der Quadrate der Spitzenwerte der Spannungen an den Eingangsfilterkondensatoren,

$$\sum_i U_{C_F,i}^2 = \frac{1}{2}\left(\hat{U}_{C_F,R}^2 + \hat{U}_{C_F,S}^2 + \hat{U}_{C_F,T}^2\right). \tag{7.16}$$

Es muss betont werden, dass der Sollwert des Eingangsleitwerts G^* einen konstanten Wert über eine bzw. mehrere Netzperioden aufweist, während sich der Sollwert des Zwischenkreisstromes i^* während einer Netzperiode für unsymmetrische Netzspannungen bzw. im Fehlerfalle niederfrequent ändert.

Folgende zwei Fälle müssen für die Sollwertberechnung unterschieden werden, die in den folgenden Abschnitten näher behandelt werden:

- Die Tiefsetzstellereingangsstufe arbeitet unter dem Modulationslimit, d.h. der Spannungssollwert u^* kann allein durch die Tiefsetzstellerstufe eingestellt werden ($u^* \leq \overline{u}_{\max}$ bzw. $M \leq M_{\max}$). In diesem Fall ist die Hochsetzstellerausgangsstufe nicht aktiv, d.h. $\delta = 0$, vgl. Abschnitt 7.1.3.A.

- Die Tiefsetzstellereingangsstufe arbeitet an ihrem Modulationslimit ($M = M_{\max}$), d.h. die Ausgangsspannung des Tiefsetzstellers ist auf $\overline{u}_{\max}$ limitiert. Für die Berechnung der relativen Einschaltdauern und des Zwischenkreisstromsollwerts muss daher der Sollwert u^* ebenfalls auf $\overline{u}_{\max}$ limitiert werden. Weiters muss, um einen Ausgangsspannungssollwert $U_0^* > \overline{u}_{\max}$ zu erreichen, die Hochsetzstellerausgangsstufe aktiviert werden, d.h. $\delta > 0$, vgl. Abschnitt 7.1.3.B.

7.1.3.A Deaktivierte Hochsetzstellerausgangsstufe

Solange die Tiefsetzstellereingangsstufe unter dem Modulationslimit arbeitet, d.h. $u^* \leq \overline{u}_{\max}$ bzw. $M \leq M_{\max}$, werden (7.12), (7.13) und (7.14) für die Berechnung der relativen Einschaltdauern bzw. des Zwischenkreisstromsollwerts herangezogen.

7.1.3.B Aktive Hochsetzstellerausgangsstufe

Arbeitet die Tiefsetzstellereingangsstufe an ihrem Modulationslimit, d.h. $u^* > \overline{u}_{\max}$, gibt es zwei Möglichkeiten, den Modulationsindex zu begrenzen:

1. Der Modulationsindex ist innerhalb der Netzperiode auf einen *konstanten* Wert beschränkt, z.B. $M = 1$. Für symmetrische Netzspannungen resultiert dies in einer während einer Netzperiode konstanten Ausgangsspannung der Tiefsetzstellereingangsstufe und daher in einem konstanten Zwischenkreisstrom.

2. Der Modulationsindex wird auf seinem *maximal möglichen* Wert gehalten, d.h. er variiert mit sechsfacher Netzfrequenz zwischen $M = 1$ und $M = 2/\sqrt{3}$, was in einer zeitlich veränderlichen Ausgangsspannung der Tiefsetzstellereingangsstufe und folglich in einem variablen Zwischenkreisstrom – auch bei symmetrischem Netz – resultiert, vgl. Abb. 7.1.

Beide Fälle werden im Folgenden näher untersucht und die relativen Einschaltdauern sowie der Zwischenkreisstromsollwert bestimmt.

1. Konstantes Limit des Modulationsindex

Die Berechnung der relativen Einschaltdauern und des Zwischenkreisstromsollwerts entspricht jener bei deaktivierter Hochsetzstellerausgangsstufe, vgl. (7.12)–(7.14), mit dem Unterschied, dass der Sollwert der Ausgangsspannung der Tiefsetzstellereingangsstufe u^* auf deren maximalen Wert $\overline{u}_{\max}$, vgl. (7.4), limitiert ist,

$$\delta_{(101)} = -\frac{\overline{u}_{\max}}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,T}, \tag{7.17}$$

$$\delta_{(110)} = -\frac{\overline{u}_{\max}}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,S}, \tag{7.18}$$

$$i^* = \frac{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2}{\overline{u}_{\max}} \cdot G^*. \tag{7.19}$$

Die Gleichungen für die relativen Einschaltdauern sind in Sektor 1, jene für den Zwischenkreisstrom in der gesamten Netzperiode gültig, der Verlauf der Größen innerhalb Sektor 1 der Netzperiode ist in **Abb. 7.3**(a) angegeben. Das Limit des Modulationsindex kann z.B. auf $M_{\max} = 1$ gesetzt werden, soll jedoch, wie in [13] beschrieben, eine aktive Dämpfung des Eingangsfilters vorgesehen werden, muss das Limit auf z.B. $M_{\max} = 0,9$ abgesenkt werden, um einen Spielraum für die Regelung vorzugeben.

2. Maximales Limit des Modulationsindex

In diesem Fall wird die Dauer des Freilaufzustandes δ_{FL} auf Null gesetzt, d.h. $\delta_{(101)} + \delta_{(110)} = 1$. Damit erhält man für die Dauer der beiden aktiven Schaltzustände der Tiefsetzstellereingangsstufe sowie für den Zwischenkreisstromsollwert in Sektor 1 die folgenden Abhängigkeiten (vgl. Anhang L.2),

$$\delta_{(101)} = -\frac{u_{C_F,T}}{u_{C_F,R}}, \tag{7.20}$$

$$\delta_{(110)} = -\frac{u_{C_F,S}}{u_{C_F,R}}, \tag{7.21}$$

$$i^* = \max\{|u_{C_F,i}|\} \cdot G^*. \tag{7.22}$$

Die Gleichungen für die relativen Einschaltdauern sind wieder nur in Sektor 1, jene für den Zwischenkreisstrom in der gesamten Netzperiode gültig, der Verlauf der Größen innerhalb Sektor 1 der Netzperiode ist in Abb. 7.3(b) dargestellt.

Anmerkung: Im Folgenden wird jenes Verfahren, das ein konstantes Limit des Modulationsindex vorgibt, der weiteren Untersuchung zu Grunde gelegt, da hier für symmetrische Netzspannungen – und dies stellt den hauptsächlich auftretenden Betriebsfall dar – ein konstanter Sollwert des Zwischenkreisstromes vorgegeben wird, und damit dieser Fall aus regelungstechnischer Sicht unkomplizierter zu handhaben ist: auch von einer Regelung mit geringer Bandbreite kann der konstante Sollwert genau eingestellt werden. Es muss jedoch angemerkt werden, dass das zweite Verfahren, bei dem ein maximales Limit des

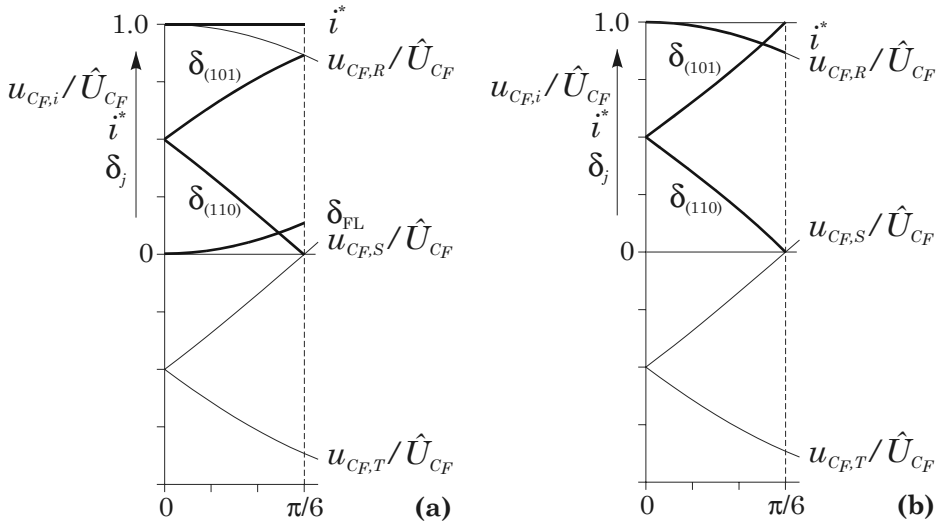


Abb. 7.3: Relative Einschaltdauern $\delta_{(101)}$, $\delta_{(110)}$ und δ_{FL} und Sollwert des Zwischenkreisstromes i^* sowie normierte Spannungen an den Eingangsfilterkondensatoren $u_{C_F,i}T/\hat{U}_{C_F}$ in Sektor 1 für **(a)** ein konstantes Limit von $M_{\max} = 1$ und **(b)** ein maximales Limit des Modulationsindex.

Modulationsindex vorgegeben wird, Vorteile bzgl. der Schaltverluste aufweist, da hier für aktive Hochsetzstellerausgangsstufe kein Freilaufzustand auftritt und somit die Schaltverluste beim Übergang von einem aktiven Schaltzustand zum Freilaufzustand (und umgekehrt) wegfallen. Des weiteren könnte die Einfachheit der Formeln (7.20)–(7.22) für den Einsatz des zweiten Verfahrens sprechen. Bei einer Absetzung der Formeln in einem digitalen Signalprozessor spielt dies jedoch keine Rolle.

7.2 Entwurf einer Regelstruktur für die Beherrschung von Fehlerfällen

Da die Hauptaufgabe von Stromversorgungen die Bereitstellung einer möglichst konstanten Ausgangsspannung ist, und da die Regelung der Ausgangsgrößen und der Eingangsgrößen auf Grund des fehlenden Zwischenspeichers voneinander nicht unabhängig sind, soll hier auf konstante Ausgangsspannung geregelt werden. So wird auch im Fall niederfrequenter Oberschwingungen im Netz eine konstante Ausgangsleistung sichergestellt (gleichzeitig wird in Kauf genommen, dass der Netzstrom ebenfalls niederfrequente Harmonische aufweist [38]). Die grundlegende Struktur der Regelung besteht daher aus einer überlagerten Regelung der Ausgangsspannung U_0 des Gleichrichtersystems sowie einem unterlagerten Zwischenkreisstromregler. Weitere, in die Regelstruktur einzubettende Aufgaben sind:

- Die Limitierung der Ausgangsleistung, um eine Überlastung des Gleichrichtersystems zu verhindern,
- die Limitierung des Zwischenkreisstromsollwerts im Fall eines auftretenden Fehlers, um den höchstzulässigen Wert, d.h. die Nennwerte der Bauelemente nicht zu überschreiten,
- die Integration der Ansteuerung der Hochsetzstellerausgangsstufe für die Ablöse zwischen dem alleinigen Betrieb des Hochsetzstellers und dem Betrieb beider Gleichrichterstufen.

In **Abb. 7.4** ist die Regelstruktur dargestellt, die einen zuverlässigen Betrieb auch bei Auftreten eines Fehlers am Netz garantiert, und die sowohl ohmsches Netzverhalten als auch Leistungsfaktor Eins sicherstellt.

Die Regelgrößen, d.h. die relativen Einschaltdauern δ_j und δ der Leistungstransistoren der Tief- bzw. Hochsetzstellerstufe, werden folgendermaßen berechnet:

- Die Spannungen an den Eingangsfilterkondensatoren werden gegen einen künstlichen Sternpunkt N' gemessen, wodurch ein Nullsystem eliminiert wird, das im Fall eines Netzfehlers auftreten kann.
- Der Ausgang des Ausgangsspannungsreglers, der durch einen PI-Regler realisiert ist (Verstärkungen k_{PU} und k_{IU}), wird gemäß (7.7) als benötigte Ausgangsleistung p^* interpretiert. Um niederfrequente

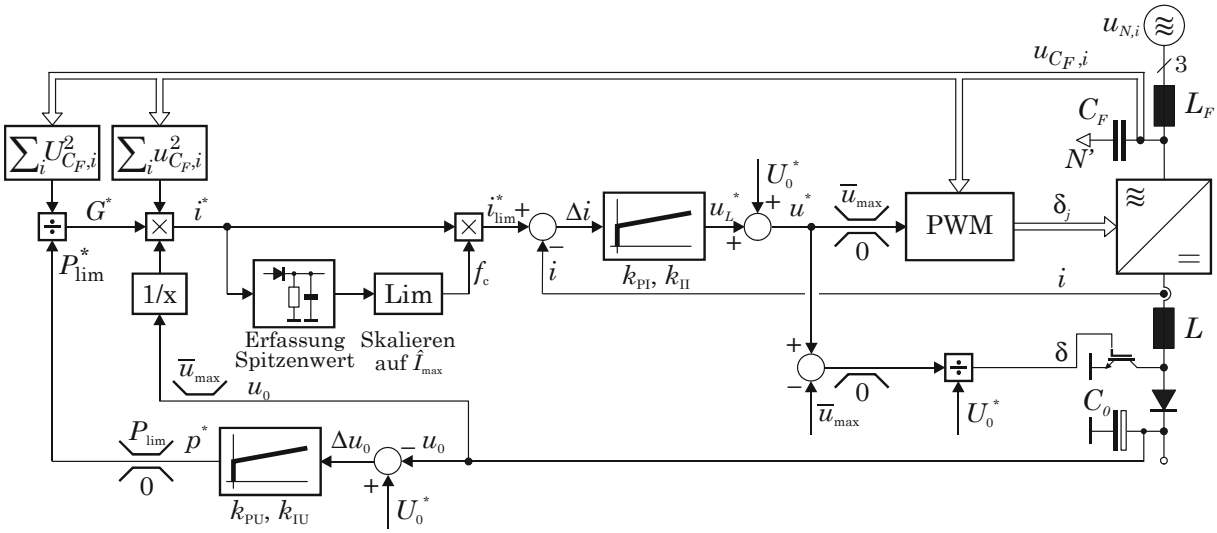


Abb. 7.4: Reglerstruktur, die sowohl zuverlässigen Betrieb bei Auftreten eines Netzfehlers als auch ohmsches Netzverhalten und Leistungsfaktor Eins sicherstellt.

Harmonische zu unterdrücken, die im Fall eines Netzfehlers auftreten können, wird der Ausgangsspannungsregler auf eine niedrige Knickfrequenz von typ. 5 Hz ausgelegt. Der Ausgangsleistungssollwert p^* ist auf die Nennleistung P_{lim} des Gleichrichtersystems limitiert, um eine Überlastung zu vermeiden.

- Der Sollwert des Eingangsleitwerts G^* wird gemäß (7.15) aus dem limitierten Ausgangsleistungssollwert P^*_{lim} und der Summe der Quadrate der Effektivwerte der Eingangsfilterkondensatorspannungen $\sum_i U^2_{C_F,i}$ berechnet. Dieser Wert zeigt konstantes Verhalten über eine Netzperiode.

- Der Sollwert des Zwischenkreisstromes i^* wird mit

$$i^* = \begin{cases} \frac{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}{u_0} \cdot G^* & \text{für } u_0 \leq \overline{u}_{\max} \\ \frac{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}{\overline{u}_{\max}} \cdot G^* & \text{für } u_0 > \overline{u}_{\max} \end{cases} \tag{7.23}$$

berechnet, wobei die Fallunterscheidung durch die Begrenzung der Ausgangsspannung u_0 auf den Maximalwert der Ausgangsspannung des Tiefsetzstellers $\overline{u}_{\max}$ realisiert ist. Der Zwischenkreisstromsollwert zeigt im Fall eines Netzfehlers ein nicht konstantes Verhalten über eine Netzperiode.

- Um sicherzustellen, dass die Strombelastung der Leistungshalbleiter den maximal zulässigen Wert nicht übersteigt und um eine Sättigung bzw. eine Überhitzung der Zwischenkreisinduktivität zu vermeiden, wird der Spitzenwert des Zwischenkreisstromsollwerts $\hat{i}^*$ auf den Maximalwert $\hat{I}_{\max}$ limitiert. Dieser Maximalwert ist durch die Dimensionierung des Gleichrichtersystems gegeben und beträgt in diesem Fall $\approx$ 24 A, vgl. Abschnitt 4.1.4.B. Falls $\hat{i}^*$ das zulässige Limit überschreitet, wird der Sollwert i^* in seinem gesamten Verlauf innerhalb einer Netzperiode mittels eines Korrekturfaktors f_c herunter skaliert,

$$f_c = \begin{cases} 1 & \text{für} \quad \hat{i}^* \leq \hat{I}_{\max} \\ \hat{I}_{\max}/\hat{i}^* & \text{für} \quad \hat{i}^* > \hat{I}_{\max} \end{cases}, \tag{7.24}$$

man erhält damit den limitierten Zwischenkreisstromsollwert i^*_{lim}.

- Der Ausgang des Zwischenkreisstromreglers, der durch einen PI-Regler realisiert ist (Verstärkungen k_{PI} und k_{II}), gibt die Spannung u^*_L an der Zwischenkreisinduktivität vor, wodurch sich nach Vorsteuerung mit dem Ausgangsspannungssollwert U^*_0 der Sollwert der Ausgangsspannung u^* der Tiefsetzstellereingangsstufe ergibt.

- Die relativen Einschaltdauern der Tiefsetzstellereingangsstufe werden sowohl für deaktivierte als auch für aktive Hochsetzstellerausgangsstufe unter Einbeziehung von (7.12) und (7.13) berechnet, wobei der Spannungssollwert u^* nach oben auf die maximale Ausgangsspannung $\overline{u}_{\max}$ der Tiefsetzstellerstufe und nach unten auf Null begrenzt wird. Voraussetzung dafür ist ein konstantes Limit des Modulationsindex M, vgl. Abschnitt 7.1.3.B, Punkt 1.

- An der festgelegten Grenze des Modulationsindex, d.h. für $u^* > \overline{u}_{\max}$, kann der Sollwert der Spannung u_L^* an der Zwischenkreisinduktivität nicht mehr durch die Tiefsetzstellerstufe alleine generiert werden. Die Hochsetzstellerausgangsstufe muss daher aktiviert werden, um das Potential auf der rechten Seite der Zwischenkreisinduktivität weiter abzusenken, d.h. um einen lokalen Mittelwert $\overline{u}'$ der Spannung am Hochsetzstellertransistor zu erreichen, der kleiner als die Ausgangsspannung ist, $\overline{u}' < u_0$, wobei für nicht lückenden Betrieb gilt

$$\overline{u}' = (1 - \delta)\, u_0. \tag{7.25}$$

  Für die Spannung an der Zwischenkreisinduktivität gilt allgemein

$$u_L^* = \overline{u}_{\max} - \overline{u}', \tag{7.26}$$

  wodurch man für die relative Einschaltdauer δ des Hochsetzstellertransistors folgenden Zusammenhang erhält,

$$\delta = 1 - \frac{\overline{u}_{\max} - u_L^*}{U_0^*}. \tag{7.27}$$

  Für die Berechnung von δ wurde dabei wegen der vorhandenen Ausgangsspannungsregelung $u_0 = U_0^*$ angenommen. Mit $U_0^* + u_L^* = u^*$ erhält man die in der Regelung (vgl. Abb. 7.4) abgesetzte Formel

$$\delta = \frac{u^* - \overline{u}_{\max}}{U_0^*}. \tag{7.28}$$

  Durch die Limitierung des Terms $u^* - \overline{u}_{\max}$ auf Werte größer Null wird sichergestellt, dass der Hochsetzsteller nur dann aktiv wird, wenn der Ausgangsspannungssollwert u^* der Tiefsetzstellerstufe größer als die Spannung $\overline{u}_{\max}$ ist. Andernfalls wird $\delta = 0$ ausgegeben.

Anmerkung: Alle angegebenen Gleichungen – außer jene für die Berechnung der relativen Einschaltdauern (diese gelten nur in Sektor 1 und 12) – sind in der gesamten Netzperiode gültig. Die Berechnung für die restlichen Sektoren erfolgt basierend auf den Angaben in Tab. A.7, alle Formeln finden sich in Anhang L.3.

Die Funktion der vorgestellten Regelstruktur soll im Folgenden durch Simulation und experimentelle Analyse verifiziert werden, wobei das Verhalten im symmetrischen Netz als auch bei verschiedenen Netzfehlerzuständen untersucht wird, vgl. **Abb. 7.5**. Es werden dabei folgenden Netzzustände angenommen:

1. *Symmetrische Netzspannungen:* bei symmetrischem Netz (vgl. Abb. 7.5(a)) weisen sowohl die Netzspannungen $u_{N,i}$ (gemessen gegen den Netzsternpunkt N) als auch die Spannungen $u_{C_F,i}$ an den Eingangsfilterkondensatoren (gemessen gegen ein künstlichen Sternpunkt N', der in diesem Fall deckungsgleich mit dem Netzsternpunkt ist) gleiche Amplituden und eine Phasenverschiebung von 120° auf.

2. *Unsymmetrische Netzspannungen:* es wird der Fall angenommen, dass die Netzspannung in Phase R einen um 50 % geringeren Wert als im symmetrischen Fall aufweist, die Spannungen $u_{N,S}$ und $u_{N,T}$ behalten ihren ursprünglichen Wert bei. Dies resultiert in folgenden (nullsystemfreien) Spannungen an den Eingangsfilterkondensatoren: $|u_{C_F,R}| = 0,666 \cdot \hat{U}_{C_F,sym}$, $|u_{C_F,S}| = |u_{C_F,T}| = 0,928 \cdot \hat{U}_{C_F,sym}$, wobei $\hat{U}_{C_F,sym}$ der Spitzenwert der Spannung unter symmetrischen Bedingungen ist. Der Winkel zwischen den Spannungen der Phasen R und S sowie zwischen T und R beträgt $\varphi_{RS} = \varphi_{TR} = 115,5°$, zwischen den Phasen S und T $\varphi_{ST} = 129,0°$, vgl. Abb. 7.5(b).

3. *Phasenausfall:* der Ausfall einer Phase kann z.B. durch Auslösen einer Sicherung erfolgen, es wird hier der Fall angenommen, dass Phase T ausfällt, vgl. Abb. 7.5(c). Das Gleichrichtersystem wird nun nur mehr von zwei Phasen gespeist. Die Spannungen an den Filterkondensatoren sind in diesem Fall gleich groß, $|u_{C_F,R}| = |u_{C_F,S}|$ und weisen eine Phasenverschiebung von 180° gegeneinander auf, die Spannung $u_{C_F,T}$ ist Null.

4. *Klemmenkurzschluss bei Phasenausfall:* es wird angenommen, dass während des Ausfalls von Phase T ein Kurzschluss zwischen Phase S und Phase T auftritt, vgl. Abb. 7.5(d). Für die Bereitstellung der Ausgangsleistung sind wieder nur zwei Phasen verfügbar. Die Phasen S und T des Gleichrichtersystems arbeiten nun parallel, die zugehörigen Spannungen sind identisch, die Spannung in Phase R weist den doppelten Betrag und eine Phasenverschiebung von 180° gegenüber $u_{C_F,S}$ und $u_{C_F,T}$ auf.

5. *Erdschluss bei Phasenausfall:* während des Ausfalls der Sicherung in Phase T tritt zusätzlich ein Erdschluss in dieser Phase auf, d.h. es gibt eine Verbindung von Phase T zum Netzsternpunkt N, vgl. Abb. 7.5(e). Es handelt sich hierbei wieder um einen zweiphasigen Betriebsfall. Die Spannungen an den Eingangsfilterkondensatoren der Phasen R und S haben gleiche Beträge.

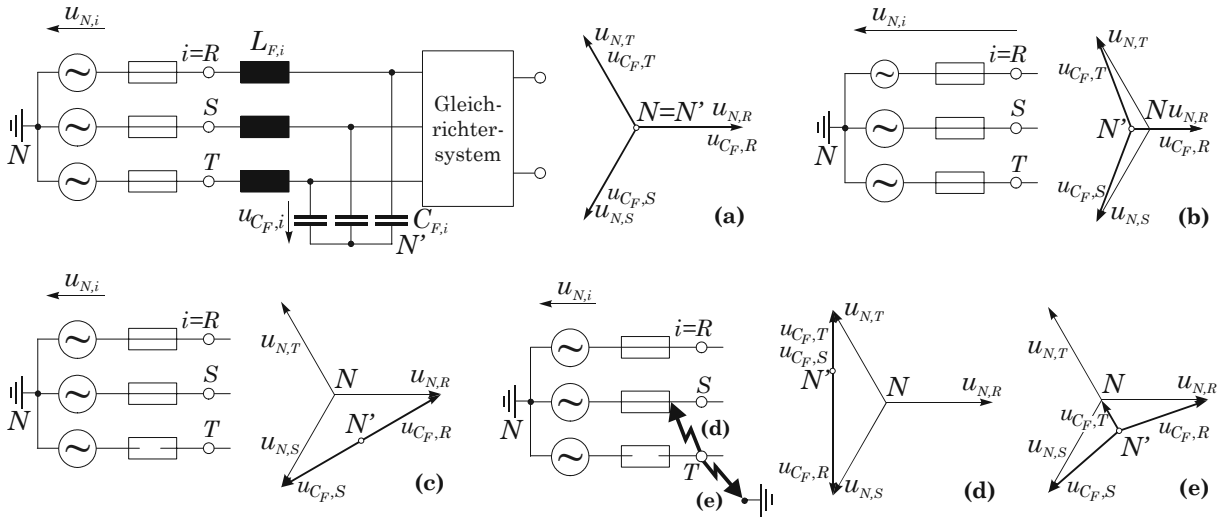


Abb. 7.5: Netzzustände und dazugehörige Zeigerdiagramme der Netzspannungen $u_{N,i}$ und der Spannungen an den Eingangsfilterkondensatoren $u_{C_F,i}$. **(a)**: Symmetrische Netzspannungen, **(b)**: Unsymmetrische Netzspannungen: $u_{N,R}$ ist um 50% kleiner als im symmetrischen Fall. **(c)**-**(e)**: Zweiphasiger Betrieb, **(c)**: Phasenausfall von Phase T, **(d)**: Kurzschluss zwischen Phasen S und T bei Ausfall von Phase T und **(e)**: Erdschluss von Phase T bei gleichzeitigem Ausfall dieser Phase.

7.3 Simulationsergebnisse

Dieser Abschnitt zeigt Simulationsergebnisse des Verhaltens des Gleichrichtersystems mit der in Abschnitt 7.2 vorgestellten Regelung bei unterschiedlichen Netzzuständen im stationären Fall. Es wurden dabei folgende Betriebsparameter angenommen:

$$\begin{array}{lll} U_{N,ll} = 480\,\mathrm{V} & U_0^* = 400\,\mathrm{V} & R_0 = 55\,\Omega \\ f_N = 50\,\mathrm{Hz} & L_F = 200\,\mu\mathrm{H} & L = 2\times 1\,\mathrm{mH} \\ f_P = 20\,\mathrm{kHz} & C_F = 4\,\mu\mathrm{F} & C_0 = 750\,\mu\mathrm{F}, \end{array}$$

der Ausgangswiderstand wurde so gewählt, dass die geforderte Ausgangsleistung auch im zweiphasigen Betriebsfall bereitgestellt werden kann bzw. dass es zu keiner Begrenzung des Zwischenkreisstromes kommt. Die Simulation wurde für ein konstantes Limit des Modulationsindex $M_{\max} = 1$ durchgeführt, vgl. Abschnitt 7.1.3.B, Punkt 1.

7.3.1 Symmetrische Netzspannungen

Bei symmetrischen Netzspannungen sind auch die Netzströme $i_{N,i}$ symmetrisch, der lokale Mittelwert I des Zwischenkreisstromes sowie die Ausgangsspannung u_0 sind konstant. Im gewählten Betriebszustand ist die Hochsetzstellerausgangsstufe nicht aktiv, $\delta = 0$, das Verhalten der relativen Einschaltdauern

$\delta_{Akt,1}$, $\delta_{Akt,2}$ und δ_{FL} der aktiven Schaltzustände bzw. des Freilaufzustandes ist in allen 12 Sektoren der Netzperiode identisch, vgl. **Abb. 7.6**(a).

7.3.2 Unsymmetrische Netzspannungen

Auch im Fall einer Netzunsymmetrie (vgl. Abb. 7.5(b)) zeigen die Netzströme ein rein ohmsches Verhalten, sie sind proportional zu und in Phase mit den zugehörigen Spannungen an den Eingangsfilterkondensatoren und nullsystemfrei, da es zwischen dem Gleichrichtersystem und dem Netzsternpunkt keine Verbindung gibt, vgl. Abb. 7.6(b). Der Zwischenkreisstrom ist proportional zur Summe der Quadrate der Spannungen an den Eingangsfilterkondensatoren, vgl. (7.23), d.h. er besitzt u.a. eine 100 Hz Komponente. Auf Grund des nicht konstanten Zwischenkreisstromes I und der relativ geringen Ausgangskapazität C_0 weist die Ausgangsspannung ebenfalls eine niederfrequente Oberschwingung von 100 Hz auf, im vorliegenden Fall variiert sie zwischen $\pm 1,8$ % ihres globalen Mittelwerts. In Abhängigkeit der momentan maximal erreichbaren Ausgangsspannung der Tiefsetzstellereingangsstufe gibt es Bereiche, in denen die Hochsetzstellerstufe aktiv bzw. nicht aktiv ist, vgl. (7.28). Da ein konstantes Limit des Modulationsindex M gewählt wurde, gibt es in beiden Bereichen einen Freilaufzustand $\delta_{FL} \geq 0$ der Tiefsetzstellerstufe.

7.3.3 Phasenausfall

Bei Phasenausfall in Phase T ist die Spannung $u_{C_F,T}$ am Eingangsfilterkondensator gleich Null, die beiden anderen Spannungen sind gleich groß und um 180° phasenverschoben, das Gleiche gilt auch für die Netzströme, vgl. Abb. 7.6(c). Der Zwischenkreisstrom I wird zweimal in jeder Netzperiode gleich Null, daher weist die Ausgangsspannung einen größeren niederfrequenten Anteil von $\pm 4,1$ % auf. In jenen Bereichen, wo die Hochsetzstellerstufe aktiv ist, sind die relativen Einschaltdauern der Tiefsetzstellerstufe konstant, der Strom wird durch die Hochsetzstellerstufe moduliert. Jener aktive Schaltzustand, bei dem Phase T an der Stromführung beteiligt wäre, bleibt während der gesamten Netzperiode gleich Null, vgl. Anhang L.4.

7.3.4 Kurzschluss bei Phasenausfall

Der Netzstrom der vom Netz getrennten Phase T weist den Wert Null auf, die Ströme der anderen beiden Phasen – gemessen netzseitig *vor* dem Kurzschlusspunkt – sind gleich groß und um 180° phasenverschoben. Der Zwischenkreisstrom weist dasselbe Verhalten wie bei Phasenausfall auf, der niederfrequente Anteil in der Ausgangsspannung hat daher ebenfalls den Wert von $\pm 4,1$ %. In jenen Bereichen, wo die Hochsetzstellerstufe aktiv ist, sind die relativen Einschaltdauern der Tiefsetzstellerstufe ebenfalls konstant, der Strom wird durch die Hochsetzstellerstufe moduliert. Allerdings weisen hier beide aktive Schaltzustände den gleichen Wert auf, vgl. Anhang L.5. Das Verhalten des Gleichrichtereingangsstromes in den Phasen S und T wird in Abschnitt 7.4.1.D beschrieben.

7.3.5 Erdschluss bei Phasenausfall

Die Netzphasenströme sind auch hier proportional zu den Spannungen an den Eingangsfilterkondensatoren, der Zwischenkreisstrom hat in diesem Fehlerfall einen etwas kleineren niederfrequenten Anteil im Vergleich zu den vorhergehenden Fehlerfällen, daher ist auch der niederfrequente Ausgangsspannungsrippel geringer und weist einen Wert von $\pm 4,0$ % auf.

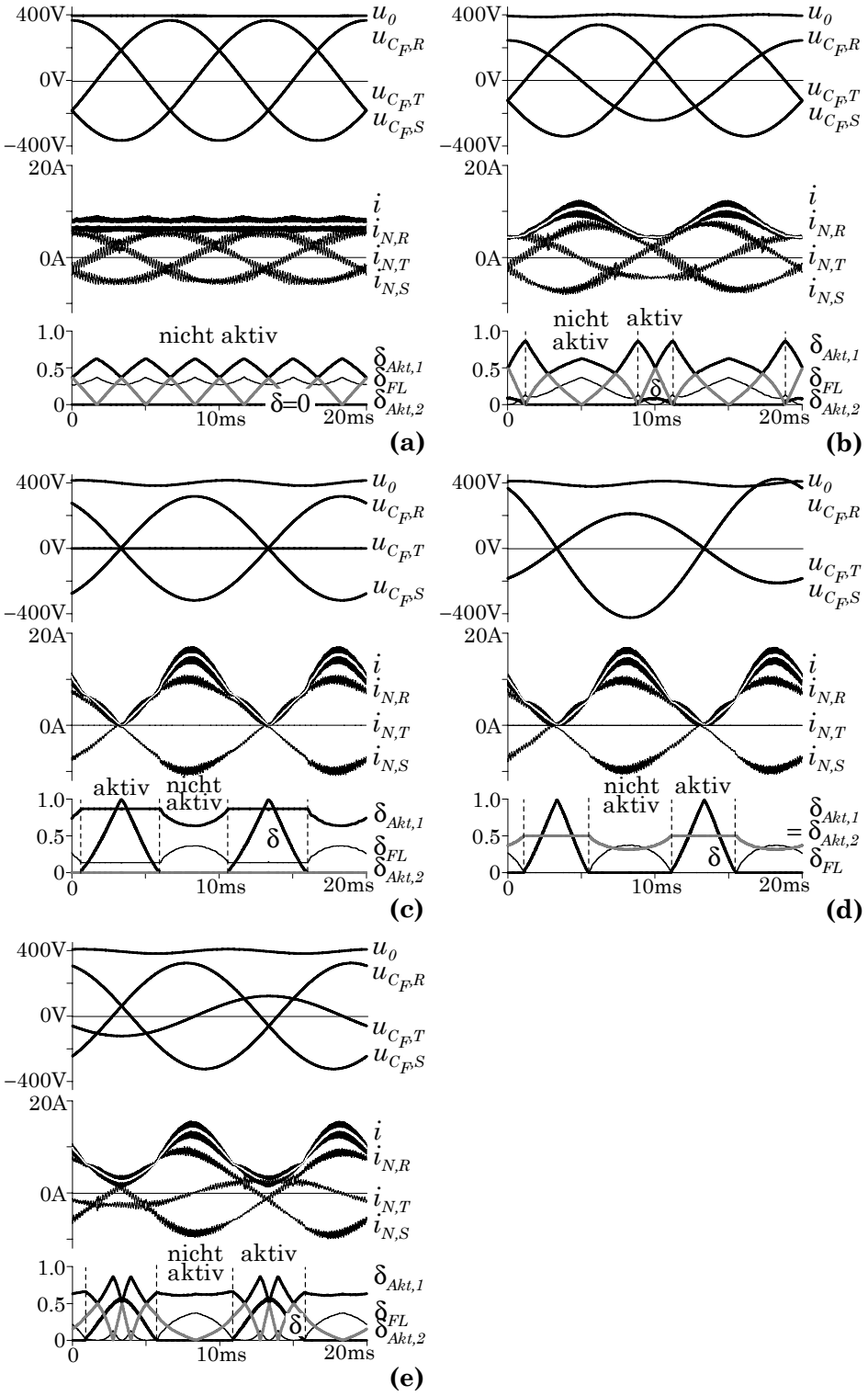


Abb. 7.6: Ergebnisse der digitalen Simulation für die unterschiedlichen Netzzustände (vgl. Abb. 7.5). **(a)**: Symmetrische Netzspannungen, **(b)**: Unsymmetrische Netzspannungen, **(c)**: Ausfall von Phase T, **(d)**: Kurzschluss zwischen Phasen T und S, **(e)**: Erdschluss von Phase T. Zeitverlauf der Spannungen $u_{C_F,i}$ an den Eingangsfilterkondensatoren und der Ausgangsspannung u_0 des Gleichrichtersystems (oben), der Netzströme $i_{N,i}$, des Zwischenkreisstromes i und seines lokalen Mittelwerts I (weiß) (Mitte) sowie der relativen Einschaltdauern der beiden aktiven Schaltzustände δ_{Akt1} (schwarz, fett), δ_{Akt2} (grau, fett) und des Freilaufzustandes δ_{FL} (schwarz, dünn) der Tiefsetzstellereingangsstufe sowie der relativen Einschaltdauer δ des Transistors der Hochsetzstellerausgangsstufe (unten). „Aktiv“ and „nicht aktiv“ beziehen sich auf die Hochsetzstellerausgangsstufe.

7.4 Experimentelle Analyse der Regelung

Für die experimentelle Analyse wurde das in Abschnitt 7.2 vorgestellte Regelkonzept in ein Signalprozessorprogramm implementiert, vgl. Anhang K, und das transiente Verhalten beim Übergang zwischen unterschiedlichen Netzzuständen als auch das stationäre Verhalten des Gleichrichtersystems in verschiedenen Fehlerfällen untersucht. Weiters wurden die charakteristischen Kenngrößen wie Leistungsfaktor, Wirkungsgrad und Total Harmonic Distortion der Netzphasenströme bei symmetrischem und unsymmetrischem Netz aufgenommen.

7.4.1 Verhalten im unsymmetrischen Netz

7.4.1.A Übergang zwischen unterschiedlichen Netzzuständen

Die experimentelle Untersuchung zur Analyse des Regelverhaltens wurde für eine Netzspannung von $U_{N,ll} = 330$ V, eine Ausgangsspannung $U_0 = 400$ V und eine Ausgangsleistung $P_0 = 2,2$ kW vorgenommen.

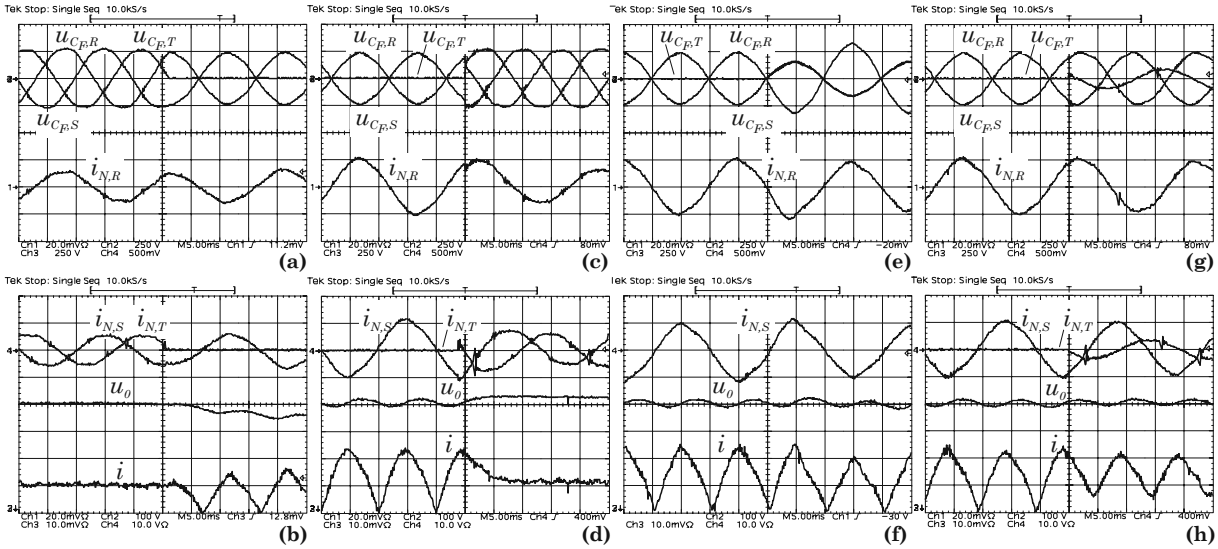


Abb. 7.7: Experimentelle Ergebnisse für unterschiedliche Netzzustände: **(a), (b)**: Ausfall von Phase T, **(c), (d)**: Rückkehr der Phase T (Rückkehr zum symmetrischen Netz), **(e), (f)**: Kurzschluss zwischen den Phasen S und T und **(g), (h)**: Kurzschluss zum Netzsternpunkt während des Ausfalls von Phase T. Betriebsparameter: 330 V Netzaußenleiterspannung, 400 V Ausgangsspannung und 2,2 kW Ausgangsleistung. (a), (c), (e), (g): Zeitverläufe der Spannungen $u_{C_F,i}$ an den Eingangsfilterkondensatoren und des Netzstromes $i_{N,R}$, (b), (d), (f), (h): Zeitverläufe der Netzströme $i_{N,S}$, $i_{N,T}$, der Ausgangsspannung u_0 und des Zwischenkreisstromes i. Spannungsmaßstäbe: $u_{C_F,i}$: 250 V/div, u_0: 100 V/div, Strommaßstäbe: $i_{N,i}$: 10 A/div, i: 5 A/div, Zeitmaßstab: 5 ms/Div.

In **Abb. 7.7** ist das Verhalten bei Ausfall der Phase T (vgl. Abb. 7.7(a), (b)) und bei Wiederkehr dieser Phase (vgl. Abb. 7.7(c), (d)) sowie das Verhalten beim Übergang von Phasenausfall zu einem Kurzschluss zwischen zwei Phasen (vgl. Abb. 7.7(e), (f)) und beim Übergang von Phasenausfall zu einem Kurzschluss zum Netzsternpunkt (vgl. Abb. 7.7(g), (h)) gegeben. Es sind jeweils die Spannungen $u_{C_F,i}$ an den Eingangsfilterkondensatoren, die Netzphasenströme $i_{N,i}$, die Ausgangsspannung u_0 und der Zwischenkreisstrom i gezeigt, der Wechsel von einem Zustand in einen anderen erfolgt jeweils (etwa) in der Mitte des Oszillogramms. Man erkennt, dass die Netzphasenströme zu jedem Zeitpunkt proportional zu den Eingangsspannungen sind, d.h. das Gleichrichtersystem verhält sich wie ein dreiphasiger ohmscher Widerstand. Das zeitliche Verhalten der Eingangs- und Ausgangsgrößen bei einer Netzunsymmetrie ist in **Abb. 7.8** angegeben.

Anmerkung: Die Abweichung der Spannungen von einem rein sinusförmigen Verlauf wird nicht durch das Gleichrichtersystem verursacht, sondern ist auch im Leerlauf vorhanden. Die Störung wird durch PCs, Drucker und andere Geräte verursacht, die mit einphasigen Gleichrichtern mit kapazitiver Glättung ausgestattet sind, und die in großer Zahl an das Netz der Technischen Universität Wien angeschlossen

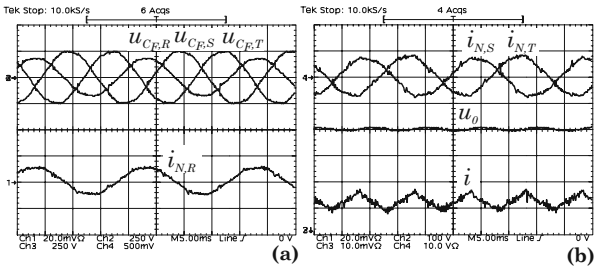


Abb. 7.8: Experimentelle Ergebnisse für Netzunsymmetrie, wobei die Netzphasenspannung $u_{N,R}$ um 50% kleiner ist als bei symmetrischen Bedingungen: **(a)**: Zeitverlauf der Spannungen $u_{C_F,i}$ an den Eingangsfilterkondensatoren und Netzphasenstrom $i_{N,R}$, **(b)**: Netzphasenströme $i_{N,S}$, $i_{N,T}$, Ausgangsspannung u_0 und Zwischenkreisstrom i. Betriebsparameter, Spannungs- und Strommaßstäbe wie in Abb. 7.7, Zeitmaßstab: 5 ms/div.

sind. Durch die kapazitive Glättung kommt es zu einem hohen Nachladestrom im Spannungsmaximum und damit zu einer Abplattung der Netzphasenspannung, die durch eine 5. Harmonische ausgedrückt werden kann. Diese 5. Harmonische tritt auch in den Außenleiterspannungen auf und ruft dort den hier sichtbaren, dreiecksähnlichen Verlauf hervor.

7.4.1.B Verhalten der Ausgangsspannung

In Abb. 7.7 erkennt man, dass keinerlei Überspannungs- und Überstromspitzen oder Oszillationen beim Übergang von einem Netzzustand in einen anderen auftreten. Es passiert nur ein geringer Einbruch bzw. eine geringe Anhebung der Ausgangsspannung im Fall eines Phasenausfalls (vgl. **Abb. 7.9**(a)) bzw. bei Rückkehr der Phase Abb. 7.9(b). Im Fall eines Phasenausfalls beträgt der Einbruch u_- der Ausgangsspannung etwa 60 V, bei Rückkehr der Phase gibt es eine Anhebung u_+ der Spannung um 20 V bei 330 V Außenleiterspannung und 2,2 kW Ausgangsleistung. In dem Maße, wie die Ausgangsspannung ansteigt, steigen auch der Zwischenkreisstrom und damit die Netzströme an.

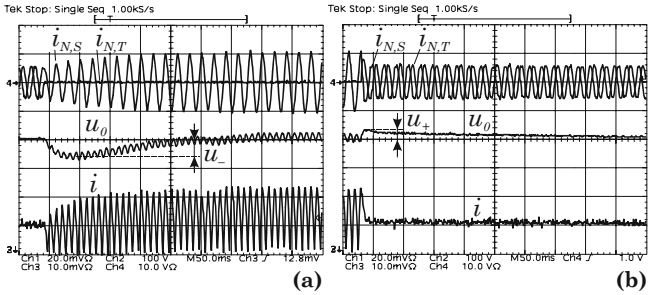


Abb. 7.9: Zeitverlauf der Ausgangsspannung bei Phasenausfall **(a)** und bei Rückkehr **(b)** der Phase T. Betriebsparameter und Spannungs- und Strommaßstäbe wie bei Abb. 7.7, Zeitmaßstab: 50 ms/Div.

Im Falle eines Netzfehlers zeigt die Ausgangsspannung einen niederfrequenten Rippel, der hauptsächlich aus einer 100 Hz Komponente besteht und aus der Pulsation des Zwischenkreisstromes und der relativ geringen Ausgangskapazität von 750 μF resultiert. In **Abb. 7.10** ist die Größe der Rippelkomponente für die unterschiedlichen behandelten Netzfehlerzustände und für verschiedene Werte der Ausgangsleistung angegeben, $\Delta U_{0,r}$ ist dabei die Amplitude der niederfrequenten Komponente ΔU_0 (vgl. Abb. 7.9(a)) bezogen auf den Nennwert der Ausgangsspannung, d.h. $\Delta U_{0,r} = \Delta U_0/400$ V. Man erkennt, dass der Ausgangsspannungsrippel eine lineare Abhängigkeit von der Ausgangsleistung zeigt und dass er für Phasenausfall und Phasenkurzschluss bei Phasenausfall (fast) dieselben Werte aufweist, was dadurch begründet ist, dass das Gleichrichtersystem in beiden Fällen von einem Zweiphasensystem gespeist wird. Im Falle eines Kurzschlusses zum Netzsternpunkt bei Ausfall einer Phase ist der Ausgangsspannungsrippel um etwa 15 % kleiner als in den vorher erwähnten Fällen, da der Zwischenkreisstrom hier einen anderen Verlauf zeigt und nicht zwei Mal in jeder Netzperiode zu Null wird. Der geringste Rippel der Ausgangsspannung tritt im Falle einer Netzunsymmetrie auf, da es hier einen geringeren Anteil an pulsierender Leistung

gibt, der Rippel ist jedoch abhängig von der Größe der Unsymmetrie.

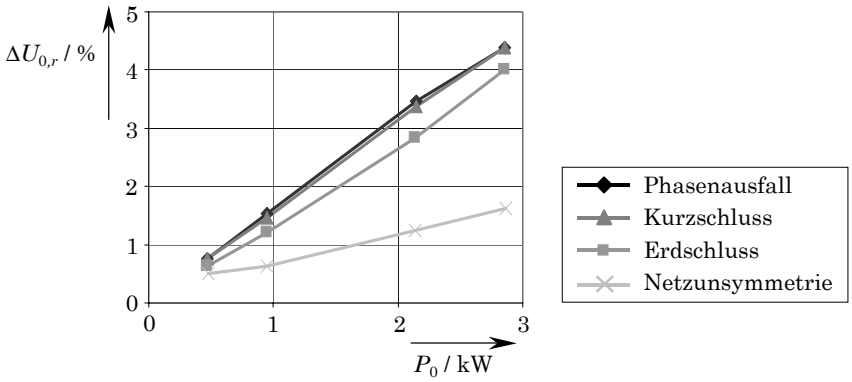


Abb. 7.10: Normierter Rippel der Ausgangsspannung $\Delta U_{0,r}$ in Abhängigkeit der Ausgangsleistung P_0 bei unterschiedlichen Netzfehlerzuständen für einen Ausgangsspannungsmittelwert von $U_0 = 400$ V.

7.4.1.C Limitierung des Zwischenkreisstromes

Im Fall eines Phasenausfalls (und auch bei gleichzeitigem Kurzschluss zweier Phasen) steht nur mehr eine Außenleiterspannung für die Bereitstellung der Ausgangsleistung zur Verfügung, d.h. es liegt ein zweiphasiger Betrieb vor. Aus diesem Grund kann nur eine limitierte Ausgangsleistung erreicht werden, die um den Faktor $\sqrt{3}$ geringer ist als im dreiphasigen Betrieb[1], $P_{\max,2\sim} = \sqrt{3}P_{\max,3\sim}$. Die Limitierung auf diesen maximal zulässigen Leistungswert wird durch die Limitierung des Zwischenkreisstromsollwerts realisiert, vgl. (7.24) und Abb. 7.4. Der maximal zulässige Wert des Zwischenkreisstromes ist 24 A, auf Grund des überlagerten Zwischenkreisstromrippels wird das Limit auf 22 A gesetzt. In **Abb. 7.11** ist der Zeitverlauf des Netzphasenstromes $i_{N,R}$, des Zwischenkreisstromes i und der Ausgangsspannung u_0 bei einem Ausfall der Phase R und gleichzeitiger Aktivierung der Limitierung des Zwischenkreisstromes gegeben. Der Übergang des binären Signals $s_{L,DC}$ von „0“ auf „1“ zeigt den Zeitpunkt des Beginns der Limitierung an. Man erkennt, dass durch die Limitierung des Zwischenkreisstromes auch die Ausgangsspannung limitiert wird, d.h. der Nennwert von 400 V wird nicht mehr erreicht, womit in diesem Betriebsfall auch die Ausgangsleistung beschränkt ist.

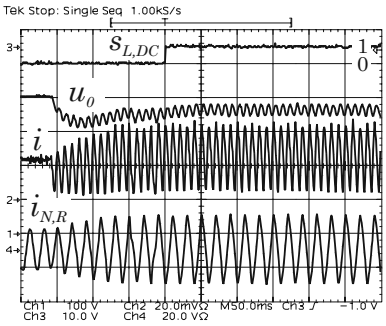


Abb. 7.11: Limitierung des Zwischenkreisstromes auf 22 A während des Ausfalls von Phase T. Limitierungssignal $s_{L,DC}$, Ausgangsspannung u_0, Zwischenkreisstrom i und Netzphasenstrom $i_{N,R}$. Betriebsparameter: Lastwiderstand 73 Ω, Außenleiterspannung 208 V_{rms}. Spannungsmaßstab: u_0: 100 V/Div., Strommaßstäbe: i: 10 A/Div., $i_{N,R}$: 20 A/Div., Zeitmaßstab: 50 ms/Div.

[1] Dreiphasiger Betrieb: $P_{\max,3\sim} = 3U_N I_N$. Zweiphasiger Betrieb: $P_{\max,3\sim} = 2U_{N,2\sim}I_N = 2\frac{\sqrt{3}}{2}U_N I_N = \sqrt{3}U_N I_N$. Die Phasenspannung im zweiphasigen Betrieb entspricht der halben Außenleiterspannung.

7.4.1.D Aufteilung der Gleichrichtereingangsströme bei Kurzschluss zweier Phasen und gleichzeitigem Phasenausfall

Eine nähere Untersuchung der Gleichrichtereingangsströme (das sind die Ströme in den Filterinduktivitäten) während eines Kurzschlusses zweier Phasen (z.B. Phasen S und T) bei Phasenausfall (von z.B. Phase T, vgl. Abb. 7.5(d)) zeigt eine ungleiche Aufteilung des Netzphasenstromes $i_{N,S}$ auf die am Kurzschluss beteiligten Phasen S und T. D.h. die Ströme i_S und i_T durch die entsprechenden Filterinduktivitäten L_F (vgl. Abb. 7.5(a)) zeigen kein sinusförmiges Verhalten, vgl. **Abb. 7.12**. Der Grund dafür liegt darin, dass der Pfad der Gleichrichtereingangsströme $i_{U,i}$ durch die Schaltzustände der Gleichrichtereingangsstufe gegeben ist, wobei die Wahl der Schaltzustände von der aktuellen Position innerhalb des Netzintervalls abhängig ist. Der aktuelle Sektor wird in Abhängigkeit von den Spannungen an den Eingangsfilterkondensatoren gewählt, im Fall eines Kurzschlusses gilt $u_{C_F,S} = u_{C_F,T}$, d.h. wir befinden uns an der Grenze zwischen zwei Sektoren. Durch Unsymmetrien bzw. Offsets in der Signalverarbeitung bei Operationsverstärkern, Widerständen, ADCs, etc.) kann daher bei der Sektorerkennung ein Kippen zwischen zwei benachbarten Sektoren vorkommen, wodurch die Aufteilung des Netzstromes $i_{N,S}$ auf die beiden Gleichrichtereingangsströme i_S und i_T beeinflusst wird. Allerdings muss festgehalten werden, dass durch diesen Effekt das ohmsche Verhalten des Gleichrichtersystems am Netz überhaupt nicht beeinflusst wird, da der resultierende Netzstrom $i_{N,S} = i_S + i_T$ sinusförmig und in Phase mit der dazugehörigen Netzspannung ist. Allerdings kann es zu einer geringfügigen Reduktion des Wirkungsgrades kommen, da quadratisch mit dem Strom ansteigende Verluste bei ungleicher Stromaufteilung höher sind als bei gleichmäßiger Verteilung. Tatsache ist jedoch, dass der Betrieb während eines Kurzschlusses zweier Phasen bei gleichzeitigem Ausfall einer Phase kein Dauerbetriebszustand ist, weshalb die Reduktion des Wirkungsgrades akzeptiert werden kann.

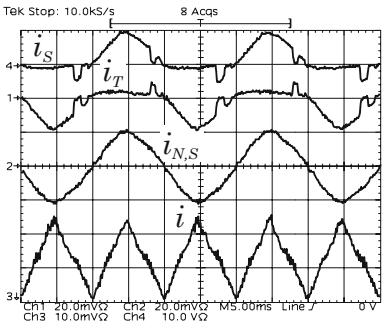


Abb. 7.12: Stromaufteilung zwischen den Phasen S und T (dargestellt durch die Ströme i_S, i_T) während eines Kurzschlusses der Phasen S und T bei Ausfall der Phase T (vgl. Abb. 7.5(d)) und resultierender Netzphasenstrom $i_{N,S} = i_S + i_T$. Strommaßstäbe: i_S, i_T, $i_{N,S}$: 10 A/Div., i: 5 A/Div., Zeitmaßstab: 5 ms/Div.

7.4.2 Charakteristische Kenngrössen

In diesem Abschnitt werden verschiedene Kenngrößen, die das Verhalten des Gleichrichtersystems beschreiben, d.h. Leistungsfaktor PF, Wirkungsgrad η und Total Harmonic Distortion der Netzströme THD, für symmetrisches Netz und für die untersuchten Fehlerzustände untersucht. Es werden dabei unterschiedliche Netzspannungen $U_{N,ll} = (208; 330; 450)$ V, die den unteren, den mittleren und den oberen Eingangsspannungsbereich repräsentieren, sowie verschiedene Ausgangsleistungen $P_0 = (0,5; 1; 2; 3)$ kW und eine Ausgangsspannung von 400 V angenommen. Die Kenngrößen bei $P_0 > 3$ kW wurden nur für symmetrisches Netz untersucht, da für diese Betriebspunkte im Fehlerfall wegen der Limitierung des Zwischenkreisstromes und damit der Ausgangsleistung keine Werte aufgenommen werden können. Auf Grund der implementierten Zwischenkreisstrombegrenzung zum Schutz des Gleichrichtersystems (vgl. Abschnitt 7.4.1.C) und der Resonanz zwischen Eingangsfilter und versorgendem Spartransformator konnte auch der Betriebspunkt von 3 kW bei $U_{N,ll} = 208$ V nicht erreicht werden.

7.4.2.A Leistungsfaktor

Der Leistungsfaktor PF des Gleichrichtersystems berechnet sich gemäß

$$PF = \frac{P}{S} = \frac{\frac{1}{T_N}\sum_i \int_0^{T_N} u_{N,i}\, i_{N,i}\, dt}{\sqrt{\frac{1}{T_N}\int_0^{T_N} u_{N,i}^2\, \mathrm{d}t}\sqrt{\frac{1}{T_N}\int_0^{T_N} i_{N,i}^2\, \mathrm{d}t}}, \tag{7.29}$$

und ist in **Abb. 7.13** dargestellt, die Messung erfolgte mit einem Leistungs-Analysemessgerät [53]. Bei geringer Ausgangsleistung und hoher Netzspannung weist der Leistungsfaktor niedrigere Werte auf als bei hoher Ausgangsleistung und niedriger Netzspannung. Der Grund dafür liegt beim Verhältnis zwischen dem Netzstrom und dem Blindstrom des Eingangsfilters, das bei geringer Ausgangsleistung bzw. hoher Netzspannung höher ist als bei hoher Ausgangsleistung bzw. niedriger Netzspannung, was direkten Einfluss auf den Leistungsfaktor nimmt. In **Abb. 7.14** ist der Netzphasenstrom in Phase R bei leerlaufendem Gleichrichtersystem gezeigt, der für diesen Betriebsfall dem Strom des Eingangsfilters entspricht, die Phasenverschiebung zwischen Strom und Spannung beträgt $\varphi_N \approx \pi/2$. Im Falle eines Fehlers, der zweiphasigen Betrieb bzw. eine höhere Belastung zweier Phasen zur Folge hat, erhöht sich der Leistungsfaktor gegenüber seinem Wert für symmetrisches Netz speziell im Bereich kleiner Ausgangsleistung, da der prozentuelle Wert des kapazitiven Filterstromes geringer wird. Der im Vergleich zu den anderen Messpunkten geringe Leistungsfaktor bei einer Netzaußenleiterspannung von $U_{N,ll} = 208$ V und bei ansteigender Ausgangsleistung $P_0 \geq 1$ kW im Fall eines Fehlerzustandes erklärt sich dadurch, dass es zu einer Resonanz zwischen Eingangsfilter und dem das Gleichrichtersystem speisenden dreiphasigen Spartransformator kommt. Allgemein lässt sich sagen, dass der Leistungsfaktor für Leistungen $P_0 \geq 2$ kW zwischen $PF = 0,992$ und 0,998 liegt.

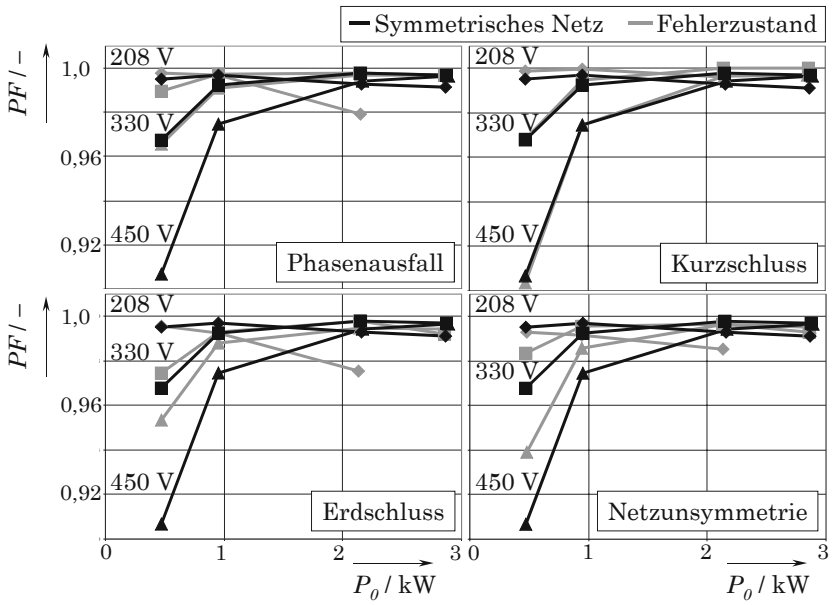


Abb. 7.13: Leistungsfaktor PF des Gleichrichtersystems für symmetrisches Netz und für die untersuchten Fehlerzustände bei unterschiedlichen Außenleiterspannungen $U_{N,ll} = (208; 330; 450)$ V in Abhängigkeit der Ausgangsleistung P_0.

7.4.2.B Wirkungsgrad

Der im oberen Teil der **Abb. 7.15** gezeigte Wirkungsgrad berücksichtigt das Verhältnis von Ausgangsleistung zu Eingangsleistung,

$$\eta = \frac{P_0}{P_{in}} = \frac{U_0\, I_0}{\frac{1}{T_N}\sum_i \int_0^{T_N} u_{N,i}\, i_{N,i}\, dt}, \tag{7.30}$$

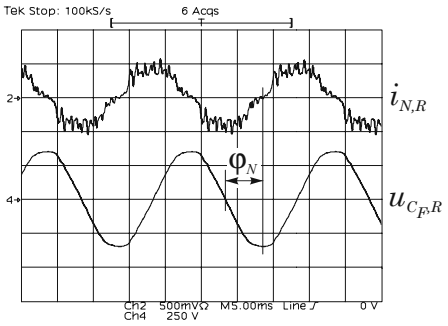


Abb. 7.14: Verhalten des Netzphasenstromes $i_{N,R}$ und der dazugehörigen Spannung $u_{C_F,R}$ am Eingangsfilterkondensator für leerlaufendes, deaktiviertes Gleichrichtersystem. Strommaßstab: 0,5 A/Div., Spannungsmaßstab: 250 V/Div., Zeitmaßstab: 5 ms/Div.

wobei die Eingangsleistung mit einem Leistungs-Analysemessgerät [53] und die Ausgangsleistung mittels Multimetern gemessen wurde. Die Leistung der Lüfter, die Ansteuerleistung der Leistungstransistoren sowie die Versorgung des Signalprozessors samt dazugehöriger Peripherie wurden hier nicht berücksichtigt. Im Falle eines Fehlerzustandes wird der Wirkungsgrad in allen Betriebspunkten reduziert, wobei die Reduktion bei geringer Netzspannung größer ausfällt als im Bereich hoher Netzspannung. Die Begründung liegt wieder bei dem höheren Strom, der im unteren Eingangsspannungsbereich höhere Leit- und Schaltverluste in den Leistungshalbleitern bzw. höhere Verluste in den passiven Komponenten hervorruft.

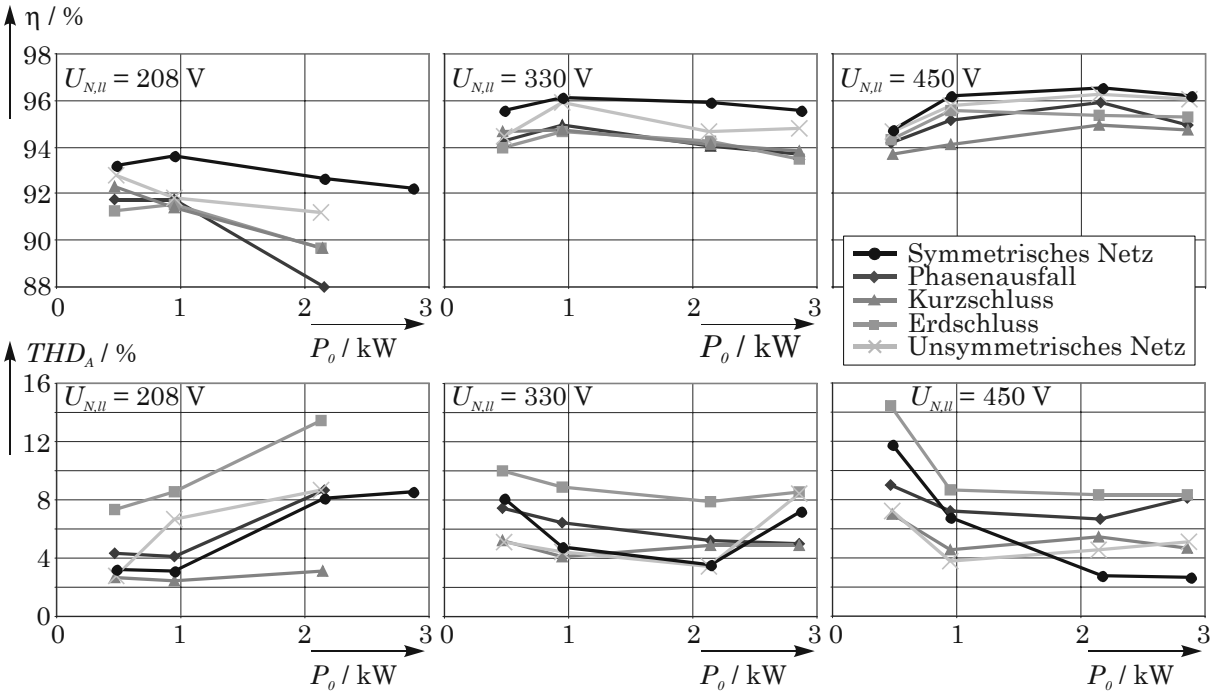


Abb. 7.15: Wirkungsgrad η des Gleichrichtersystems und Total Harmonic Distortion THD_A der Netzphasenströme für symmetrisches Netz und für die untersuchten Fehlerzustände bei unterschiedlichen Außenleiterspannungen $U_{N,ll} = (208; 330; 450)$ V in Abhängigkeit der Ausgangsleistung P_0.

7.4.2.C Total Harmonic Distortion der Netzphasenströme

Die Total Harmonic Distortion eines Netzphasenstromes $THD_{A,i}$, $i = R, S, T$, wird vom verwendeten Leistungs-Analysemessgerät [53] folgendermaßen berechnet

$$
\begin{aligned}
THD_{A,i} &= \frac{\sqrt{I_{N,i}^2 - I_{N,(1),i}^2}}{I_{N,(1),i}} \cdot 100\% \qquad \forall THD_{A,i} > 6\%, \\
THD_{A,i} &= \frac{\sqrt{\sum_{n\neq 1} I_{N,(n),i}^2}}{I_{N,(1),i}} \cdot 100\% \qquad \forall THD_{A,i} < 6\%.
\end{aligned}
\tag{7.31}
$$

Im unteren Teil der Abb. 7.15 ist der Verlauf des arithmetischen Mittelwerts THD_A der Total Harmonic Distortion der einzelnen Netzphasenströme zu sehen, bei kleinen Werten des Netzstromes und bei kleiner Eingangsleistung weist die Total Harmonic Distortion vergleichsweise größere Werte auf, was durch das Eingangsfilter begründet ist, das in diesen Betriebspunkten prozentuell mehr Stromoberschwingungen aus dem Netz anzieht. Für steigende Ausgangsleistung ist die Total Harmonic Distortion annähernd konstant, ausgenommen im Bereich kleiner Eingangsspannung, wo wiederum die Ursache in der Resonanz zwischen Eingangsfilter und versorgendem Spartransformator zu suchen ist. Anmerkung: im Leerlauf beträgt die Total Harmonic Distortion der Netzphasenspannungen $\approx (2,0 \ldots 2,3)$ %.

7.4.2.D Kenngrößen im Normalbetrieb

In **Abb. 7.16** sind die Kenngrößen für den Betrieb an symmetrischem Netz im gesamten Leistungsbereich dargestellt, wobei der Betriebspunkt bei $U_{N,ll} = 208$ V und Nennleistung nicht untersucht wurde, da mit dem zur Verfügung stehenden Lastwiderstand nur ein Betriebspunkt von $P_0 \approx 5,2$ kW eingestellt werden konnte und bei diesem die Überstrombegrenzung bereits anspricht. In Abb. 7.16(a) erkennt man, dass sich der Leistungsfaktor für Ausgangsleistungen $P_0 > 2$ kW in einem Bereich zwischen $PF = 0,99$ und $PF = 0,998$ bewegt, nur für kleine Eingangsspannungen sinkt dieser mit steigender Ausgangsleistung ab, da es mit steigendem Eingangsstrom zu Resonanzen zwischen Eingangsfilter und speisendem Spartransformator kommt, vgl. Abschnitt 7.4.2.A. Der Wirkungsgrad liegt im oberen Ausgangsleistungsbereich typisch zwischen $\eta \approx 94,5$ % und $\eta \approx 96,0$ %, vgl. Abb. 7.16(b), die Ausnahme bilden wieder die Werte bei kleiner Eingangsspannung, da hier die größten Ströme fließen, wodurch die Verlustanteile z.T. quadratisch zunehmen. In Abb. 7.16(c) ist der Verlauf der Total Harmonic Distortion gezeigt, die starke Zunahme im oberen Leistungsbereich ist erneut auf die Resonanz zwischen Eingangsfilter und Spartransformator zurückzuführen. Um ein aussagekräftigeres Bild vom Verhalten der Total Harmonic Distortion zu erhalten, müssten die Messungen an einer Netznachbildung – realisiert durch z.B. einen analogen Schaltverstärker – wiederholt werden.

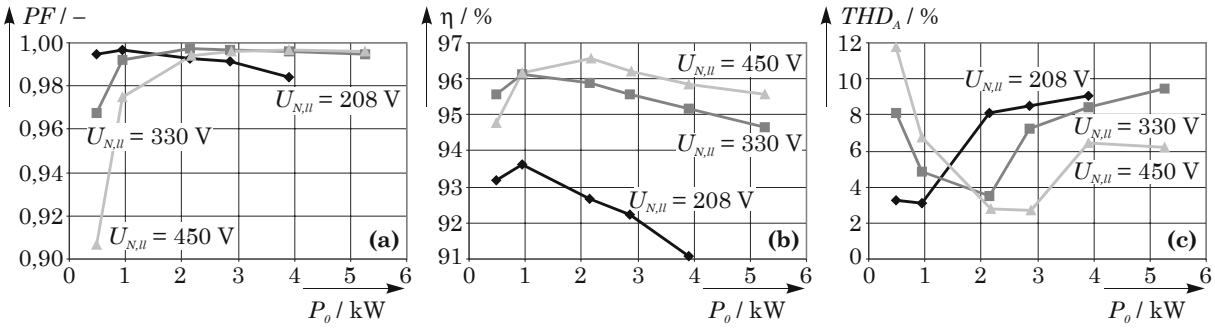


Abb. 7.16: Verlauf von **(a)** Leistungsfaktor PF, **(b)** Wirkungsgrad η und **(c)** Total Harmonic Distortion THD_A der Netzphasenströme für symmetrisches Netz bei unterschiedlichen Außenleiterspannungen $U_{N,ll} = (208; 330; 450)$ V in Abhängigkeit der Ausgangsleistung P_0.

7.5 Bewertung des Regelkonzepts und mögliche Verbesserungen

Das vorgestellte Regelkonzept weist eine einfache Struktur auf: es besteht aus einer äußeren Regelschleife für die Ausgangsspannung, die den Sollwert des Zwischenkreisstromes setzt, und einer unterlagerten Zwischenkreisstromregelung, die die Einschaltdauern für die Tiefsetzstellereingangsstufe sowie für die

Hochsetzstellerausgangsstufe vorgibt. Durch die Limitierung des Sollwerts der Ausgangsspannung an der Tiefsetzstellerstufe, der Limitierung der Ausgangsleistung sowie des maximalen Zwischenkreisstromes wird sichergestellt, dass die Nennwerte des Gleichrichtersystems nicht überschritten werden.

Wie die experimentellen Untersuchungen zeigen, verhält sich das Gleichrichtersystem sowohl bei symmetrischen Netzbedingungen als auch in den untersuchten Fehlerfällen im stark unsymmetrischen Netz wie ein dreiphasiger ohmscher Widerstand, die Netzphasenströme zeigen in allen Betriebsfällen einen sinusförmigen Verlauf bzw. sind proportional zur Netzphasenspannung. Beim Übergang von einer Netzbedingung zu einer anderen treten keine Überspannungen, Überströme oder Schwingungen auf und weiters gibt es keine große Abweichung von Leistungsfaktor, Wirkungsgrad sowie Total Harmonic Distortion der Netzphasenströme für den Betrieb im symmetrischen bzw. im stark unsymmetrischen Netz. Ein großer Vorteil ist, dass keine Umschaltung der Regelstruktur für die Beherrschung eines Fehlerfalles notwendig ist.

Die hier angestellten Überlegungen gelten nur für nicht lückenden Betrieb, bei geringer Ausgangsleistung gelangt man in den Bereich des lückenden Betriebs. Um diesen Betriebsfall zu vermeiden, bei dem die vorgestellte Regelstruktur versagt, da die vom Regler vorgegebenen Sollwerte nicht mehr eingestellt werden können, könnte man den Zwischenkreisstrom solange erhöhen, bis wieder nicht lückender Betrieb vorliegt. Dadurch würde allerdings auch die Ausgangsleistung ansteigen. Um dies zu verhindern und um die geforderte Ausgangsleistung einzustellen, müsste die Hochsetzstellerstufe aktiviert bzw. der Aussteuergrad δ der Hochsetzstellerausgangsstufe erhöht werden. In Verbindung dazu müsste nun der Aussteuergrad M der Tiefsetzstellereingangsstufe zurückgenommen werden, wodurch man eine Gleichstromkomponente erhält, die über Tiefsetzstellerstufe, Zwischenkreisinduktivität und Hochsetzstellertransistor zirkuliert. Diese zirkulierende Komponente ermöglicht einerseits den Betrieb im nicht lückenden Betrieb und beeinflusst andererseits nicht die Ausgangsleistung. Es werden lediglich zusätzliche Verluste durch den zirkulierenden Stromanteil hervorgerufen.

Kapitel 8

Parallelschaltung von zwei Gleichrichtersystemen

Um eine höhere Ausgangsleistung als die Nennleistung des betrachteten Gleichrichtersystems von 5 kW zu erreichen, gibt es grundsätzlich zwei Möglichkeiten: einerseits kann ein Gleichrichtersystem mit entsprechend höherer Nennleistung entwickelt werden, oder die höhere Ausgangsleistung kann durch Parallelschaltung von zwei oder mehreren Gleichrichtersystemen mit 5 kW Nennleistung erreicht werden. Die Parallelschaltung von z. B. zwei Gleichrichtersystemen zu einem Gesamtsystem mit 10 kW Ausgangsleistung zeigt dabei gegenüber einem Einzelsystem mit dieser Nennleistung die folgenden Vorteile, wenn die beiden parallel geschalteten Systeme phasenversetzt angesteuert werden:

- Die Eingangsströme zeigen einen kontinuierlicheren Verlauf.
- Oberschwingungen mit Pulsfrequenz f_P werden aufgehoben, die erste hochfrequente Stromoberschwingung tritt erst bei doppelter Pulsfrequenz $2\,f_P$ auf.
- Die Grenzfrequenz des Eingangsfilters kann dadurch zu höheren Frequenzen geschoben werden, wodurch die Baugröße des Filters reduziert werden kann.
- Dies resultiert weiters in einer höheren Dynamik der Ausgangsspannungsregelung.
- Die Zuverlässigkeit bei Parallelschaltung ist zudem höher, da bei Ausfall eines Systems die Möglichkeit besteht, reduzierte Leistung liefern zu können.

Werden zwei (oder mehrere) Gleichrichtersysteme parallel geschaltet, so muss eine Möglichkeit zur Symmetrierung der Zwischenkreisströme gegeben werden, um die Überlastung eines Systems zu vermeiden. In der Literatur wurden unterschiedliche Strategien für die Parallelschaltung von dreiphasigen, tiefsetzstellerbasierten pulsweitenmodulierten Gleichrichtersystemen aufgezeigt, wobei die Gleichrichtermodule phasenversetzt angesteuert werden, um die Oberschwingungen des Eingangsstromes bzw. die Größe des Eingangsfilters zu reduzieren. Die Parallelschaltung von zwei Drei-Phasen Drei-Schalter Gleichrichtersystemen wird in [54] und [55] behandelt, jedoch wird in diesen Publikationen kein Regelkonzept für die aktive Symmetrierung des Zwischenkreisstromes vorgestellt. Ein aktives Symmetrieren des Zwischenkreisstromes von parallel geschalteten tiefsetzstellerbasierten Gleichrichtersystemen wird nur in [56] behandelt. Dort ist die Modellbildung und Regelung von einer Regelstruktur für einen dreiphasigen hochsetzstellerbasierten Gleichrichter abgeleitet, wobei das Nullsystem auf der Wechselspannungsseite des Gleichrichtersystems gemessen wird (vgl. [57]). Wie jedoch eine nähere Analyse dieses Verfahrens zeigt, gibt es keinen direkten Zusammenhang zwischen dem wechselspannungsseitigen Strom-Nullsystem und einer Unsymmetrie der Zwischenkreisströme. D. h. *unterschiedliche* Fälle einer Unsymmetrie auf der Gleichstromseite – die unterschiedliche Reglereingriffe zur Symmetrierung verlangen – zeigen sich in *gleichen* Stromnullsystemen, vgl. Abschnitt 8.1.4.A.

Hier wird daher ein neues, auf der Raumzeigerrechnung basierendes Regelkonzept für die Parallelschaltung von n tiefsetzstellerbasierten Gleichrichtersystemen vorgestellt, das das Auftreten von $(2n-1)$ unabhängigen Strömen berücksichtigt. Die am Gleichrichtereingang zur Verfügung stehenden Raumzeiger

werden hinsichtlich ihrer Redundanz bzgl. der Schaltzustände untersucht und mögliche Modulationsverfahren für die Parallelschaltung von zwei Gleichrichtersystemen werden untersucht und mit Hilfe digitaler Simulation verglichen. Weiters werden die bei Parallelschaltung auftretenden unabhängigen Ströme und Möglichkeiten zur aktiven Symmetrierung der Zwischenkreisströme untersucht. Außerdem werden drei Regelstrukturen vorgestellt und verglichen, digitale Simulation und experimentelle Ergebnisse bestätigen die Funktion der gewählten Regelung im praktischen Einsatz.

8.1 Theoretische Überlegungen

Für die Parallelschaltung von zwei Drei-Phasen Drei-Schalter tiefsetzstellerbasierten Gleichrichtersystemen mit Hochsetzstellerausgangsstufe gibt es zwei Möglichkeiten der Verschaltung:

- Die Gleichrichtersysteme werden an den Ausgangsklemmen miteinander verbunden, d. h. jedes Gleichrichtersystem besitzt eine Hochsetzstellerausgangsstufe, vgl. **Abb. 8.1**(a).
- Die Gleichrichtersysteme haben eine gemeinsame Hochsetzstellerausgangsstufe und werden an der Ausgangsseite der Tiefsetzstellerstufe miteinander verbunden, vgl. Abb. 8.1(b).

Hier wird nur auf die Parallelschaltung der Tiefsetzstellereingangsstufen eingegangen, um einerseits die Überlegungen generell anwendbar zu halten, andererseits muss eine Lösung für die aktive Symmetrierung der Zwischenkreisströme gefunden werden, wenn die Hochsetzstellerausgangsstufe nicht aktiv ist, d.h für hohe Eingangsspannungen $U_{N,ll} \geq 327$ V bei einer Ausgangsspannung von 400 V, vgl. (4.1). Wird für jedes Gleichrichtersystem eine Hochsetzstellerstufe vorgesehen, so erhält man einen weiteren Freiheitsgrad für die Symmetrierung der Zwischenkreisströme. Die den folgenden Überlegungen zugrunde gelegte Schaltungsstruktur und die verwendeten Bezeichnungen sind in **Abb. 8.2** gezeigt.

8.1.1 Raumzeigermodulation

Wie beim Betrieb des einzelnen Pulsgleichrichtersystems ist auch für die Parallelschaltung von zwei (oder mehreren) Gleichrichtersystemen ohmsches Netzverhalten erwünscht und es gelten die gleichen Annahmen und Voraussetzungen wie in Abschnitt 2.2 angeführt. In diesem Abschnitt werden die Raumzeiger des Eingangsstromes, die bei der Parallelschaltung von zwei Gleichrichtersystemen zur Verfügung stehen, bestimmt und bezüglich ihrer Redundanz analysiert.

Die bei Parallelschaltung zweier Gleichrichtersysteme zur Verfügung stehenden Raumzeiger des Gleichrichtereingangsstromes erhält man durch Summenbildung der Eingangsstromraumzeiger eines Gleichrichtersystems. Betrachtet man Netzintervall 1 ($u_{N,R} > u_{N,S} > u_{N,T}$), so erhält man ausgehend von drei strombildenden Raumzeigern (vgl. Abb. 2.5) die in **Tab. 8.1** angegebenen Stromraumzeiger, die in **Abb. 8.3** dargestellt sind (vgl. auch Abb. 2 in [58]).

*	$\underline{i}_{U,A} = \frac{2}{\sqrt{3}} I \mathrm{e}^{-\jmath\pi/6}$		$\underline{i}_{U,E} = \frac{4}{\sqrt{3}} I \mathrm{e}^{+\jmath\pi/6}$
	$\underline{i}_{U,B} = \frac{4}{\sqrt{3}} I \mathrm{e}^{-\jmath\pi/6}$	*	$\underline{i}_{U,F} = 2\, I \mathrm{e}^{+\jmath\pi/3}$
*	$\underline{i}_{U,C} = 2\, I$	*	$\underline{i}_{U,G} = \frac{2}{\sqrt{3}} I \mathrm{e}^{+\jmath\pi/2}$
*	$\underline{i}_{U,D} = \frac{2}{\sqrt{3}} I \mathrm{e}^{+\jmath\pi/6}$		$\underline{i}_{U,H} = \frac{4}{\sqrt{3}} I \mathrm{e}^{+\jmath\pi/2}$

Tab. 8.1: Raumzeiger des Gleichrichtereingangsstromes für die Parallelschaltung von zwei Systemen für $\varphi_U \in (0; \pi/3)$. Redundante Raumzeiger sind mit einem Stern (*) markiert.

Die angegebenen Stromraumzeiger weisen (abgesehen vom Nullvektor) drei unterschiedliche Längen auf, d. h. das Gleichrichtersystem entspricht nun einem Drei-Level-System (Drei-Punkt-System?). Stromraumzeiger, die durch unterschiedliche Schaltzustandskombinationen beider Systeme erreicht werden können, sind mit einem Stern markiert. Damit kann durch unterschiedliche Eingangsströme $i_{U,i,1}$ und $i_{U,i,2}$ der beiden Gleichrichtersysteme 1 und 2 der gleiche Stromraumzeiger $\underline{i}_U$ an der Eingangsseite geformt werden. Dies wird an der Bildung von Stromraumzeiger $\underline{i}_{U,D}$ (vgl. Tab. 8.1) im Folgenden verdeutlicht.

Der Stromraumzeiger $\underline{i}_{U,D}$ kann durch zwei unterschiedliche Strategien gebildet werden:

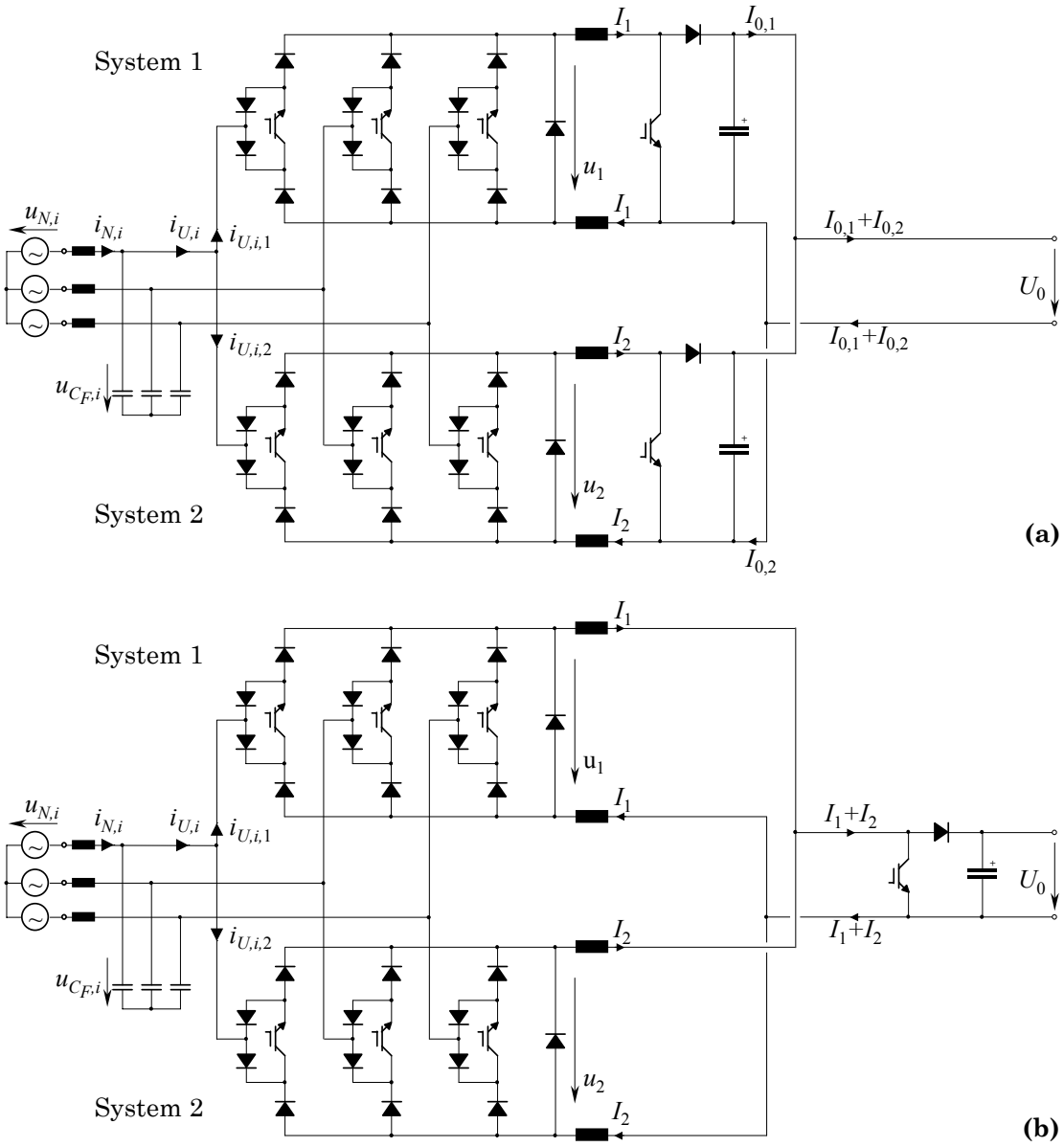


Abb. 8.1: Möglichkeiten zur Parallelschaltung von zwei Gleichrichtersystemen mit Tiefsetzstellereingangsstufe und hochsetzstellerbasierter Ausgangsstufe. **(a)** Parallelschaltung an den Ausgangsklemmen, **(b)** Parallelschaltung am Ausgang der Tiefsetzstellerstufe mit gemeinsamer Hochsetzstellerausgangsstufe.

Strategie 1: Ein System befindet sich in einem aktiven Schaltzustand (ein Stromraumzeiger $\underline{i}_{U,k} \neq 0$, $k = 1, 2$, wird am Eingang des Systems erzeugt) und das andere System befindet sich im Freilaufzustand, z. B.

$$\begin{aligned} j_1 &= (101) \qquad \underline{i}_{U,(101),1} = \frac{2}{\sqrt{3}}\, I_I\, \mathrm{e}^{+\jmath\pi/6} \\ j_2 &= (100) \qquad \underline{i}_{U,(100),2} = 0, \end{aligned} \tag{8.1}$$

oder
Strategie 2: Beide Systeme 1 und 2 befinden sich in einem aktiven Schaltzustand,

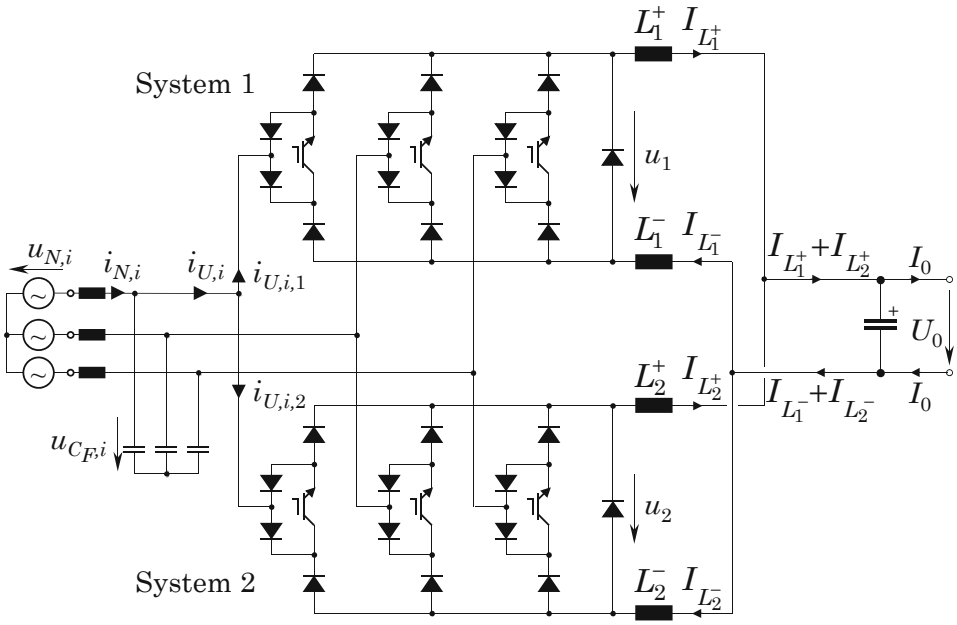


Abb. 8.2: Parallelschaltung der Tiefsetzstellereingangsstufen von zwei Drei-Phasen Drei-Schalter Gleichrichtersystemen.

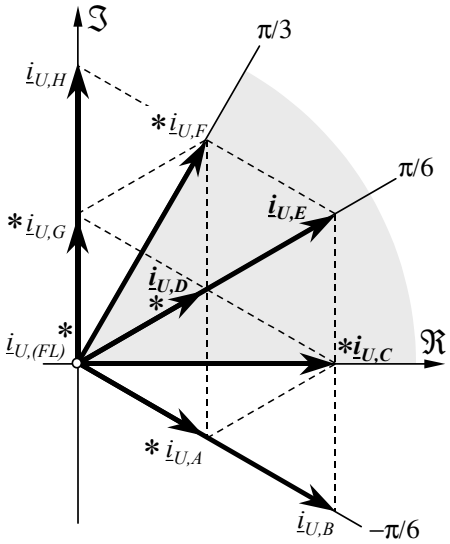


Abb. 8.3: Im Winkelintervall $\varphi_U \in (0; \frac{\pi}{3})$ zur Bildung des Eingangsstromes verfügbaren Stromraumzeiger $i_{U,j}$. Redundante Raumzeiger sind mit einem Stern (*) markiert.

$$
\begin{aligned}
j_1 &= (110) \qquad \underline{i}_{U,(110),1} = \frac{2}{\sqrt{3}}\, I_1\, \mathrm{e}^{-\jmath\pi/6} \\
j_2 &= (011) \qquad \underline{i}_{U,(011),2} = \frac{2}{\sqrt{3}}\, \jmath\, I_2.
\end{aligned}
\tag{8.2}
$$

Wenn $I_1 = I_2 = I$ angenommen wird (was für symmetrische Zwischenkreisströme zutrifft), wird in beiden Fällen der Stromraumzeiger

$$
\underline{i}_{U,\binom{j_1}{j_2}} = \underline{i}_{U,j_1} + \underline{i}_{U,j_2} = \frac{2}{\sqrt{3}}\, I\, \mathrm{e}^{+\jmath\pi/6} = \underline{i}_{U,D} \tag{8.3}
$$

am Eingang der Parallelschaltung geformt. D. h. der Eingangsstromraumzeiger $\underline{i}_{U,D}$ kann durch folgende Schaltzustände erzeugt werden,

$$\begin{pmatrix} j_1 \\ j_2 \end{pmatrix} = \begin{pmatrix} 111 \\ 100 \end{pmatrix} \text{ oder } \begin{pmatrix} 111 \\ 010 \end{pmatrix} \text{ oder } \begin{pmatrix} 111 \\ 001 \end{pmatrix} \text{ oder } \begin{pmatrix} 110 \\ 011 \end{pmatrix}. \tag{8.4}$$

Außerdem können die Schaltzustände j_1 und j_2 ausgetauscht werden.

Es ist zu beachten, dass während des Freilaufzustandes ein Leistungstransistor geschlossen sein *muss*, d. h. der Zustand $j = (000)$ darf nicht als Freilauf verwendet werden, um Überspannungsspitzen an den Zwischenkreisinduktivitäten zu vermeiden. Auf Grund des Zwischenkreisstromrippels sind die Momentanstromwerte in der positiven und negativen Zwischenkreisstromschiene nicht gleich (vgl. Abschnitt 8.2.1), beim Übergang von einem aktiven Schaltzustand (z. B. $j = (110)$) in den Freilaufzustand $j = (000)$ ist die erste Kirchhoff-Regel (Knotenregel) am Verbindungspunkt von Kathode bzw. Anode der Freilaufdiode zum Zwischenkreis nicht erfüllt, was in einer Überspannungsspitze an den Zwischenkreisinduktivitäten resultiert, die wieder gleiche Stromwerte im Zwischenkreis erzwingt. Um dies zu vermeiden, muss ein Leistungstransistor während des Freilaufzustandes im geschlossenen Zustand verbleiben.

Ein weiterer wichtiger Punkt für die Realisierung der Parallelschaltung und der Herstellung von redundanten Schaltzuständen ist die Aufteilung der Zwischenkreisinduktivität auf die positive und negative Schiene des Zwischenkreises. Dies wird bei der Betrachtung von z. B. Schaltzustand $j = \binom{110}{111}$ deutlich: befinden sich nur in den positiven Schienen Zwischenkreisinduktivitäten, so fließt der Ausgangsstrom nicht wie gewünscht zu gleichen Teilen über die Phase S von System 1 und die Phase T von System 2 zurück ins Netz (vgl. **Abb. 8.4**(a)), da die Systemteilströme in der negativen Zwischenkreisschiene nicht eingeprägt sind, sondern der gesamte Ausgangsstrom $I_1 + I_2$ fließt über System 2 zum tiefsten Potential – zu Phase T – zurück ins Netz, vgl. Abb. 8.4(b). Dies würde dem Schaltzustand $j = \binom{111}{111}$ entsprechen. Es wäre daher nicht möglich, den Stromraumzeiger $\underline{i}_{U,C}$ einzustellen, sondern man würde auch bei Schaltzustand $j = \binom{110}{111}$ den Raumzeiger $\underline{i}_{U,E}$ erhalten.

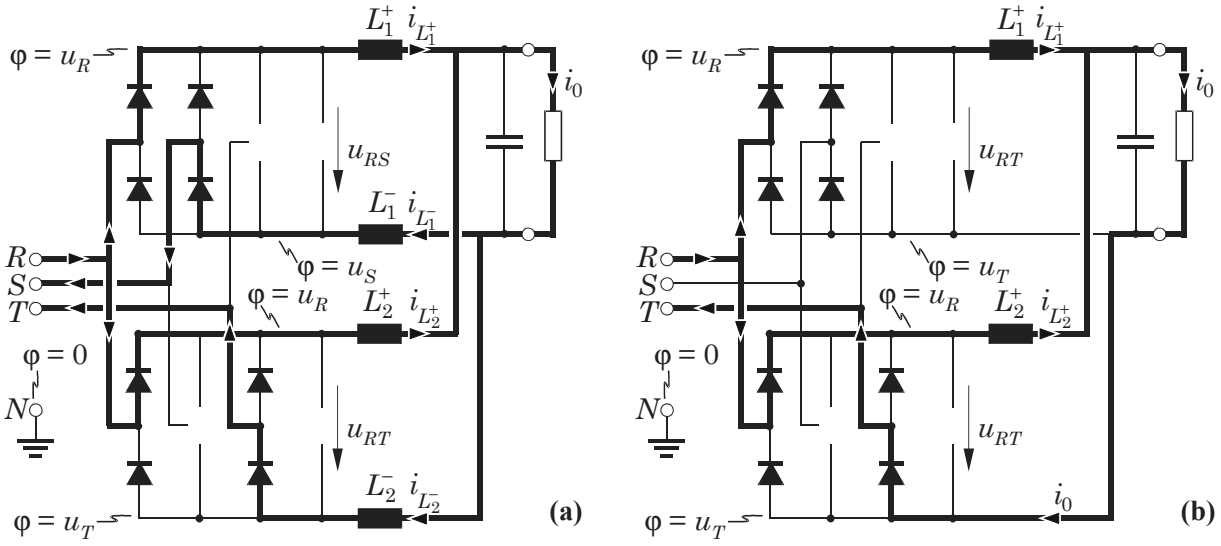


Abb. 8.4: Notwendigkeit der Aufteilung der Zwischenkreisinduktivitäten auf positive und negative Zwischenkreisschienen bei der Parallelschaltung von zwei Gleichrichtersystemen.

8.1.2 Einfluss der Schaltzustände auf die Stromänderung

Die in Tab. 8.1 zusammengefassten Schaltzustände sind zwar bezüglich der Bildung des Eingangsstromraumzeigers redundant, jedoch weisen sie unterschiedliche Änderungsraten $\mathrm{d}i_L/\mathrm{d}t$ des Stromes in den Zwischenkreisinduktivitäten $L_{12}^{\pm}$ auf, da abhängig vom Schaltzustand der Tiefsetzstellereingangsstufe unterschiedliche Spannungen an die Eingangsseiten der Zwischenkreisinduktivitäten geschaltet werden. In **Abb. 8.5** sind die Strompfade aller redundanten Schaltzustände des Stromraumzeigers $\underline{i}_{U,D}$ (vgl. (8.4))

und die Potentiale φ_i bezüglich eines fiktiven Sternpunkts N angegeben. Damit können die Stromänderungsraten $\mathrm{d}i_L/\mathrm{d}t$ an den Zwischenkreisinduktivitäten $L_{12}^{\pm}$ in Abhängigkeit von den Netzaußenleiterspannungen $u_{N,RT}$, $u_{N,RS}$ und $u_{N,ST}$ sowie von der Ausgangsspannung U_0 berechnet werden (vgl. Anhang M),

$$\frac{\mathrm{d}}{\mathrm{d}t}\begin{pmatrix} i_{L_1^+} \\ i_{L_1^-} \\ i_{L_2^+} \\ i_{L_2^-} \end{pmatrix} = \frac{1}{4L}\mathbf{D}_{\binom{j_1}{j_2}} \cdot \begin{pmatrix} u_{RT} \\ u_{RS} \\ u_{ST} \\ U_0 \end{pmatrix}, \tag{8.5}$$

$$\mathbf{D}_{\binom{111}{100}} = \begin{pmatrix} 1 & 0 & 0 & -2 \\ 3 & 0 & 0 & -2 \\ 1 & 0 & 0 & -2 \\ -1 & 0 & 0 & -2 \end{pmatrix} \begin{matrix} \leftarrow \\ \\ \leftarrow \\ \\ \end{matrix}, \tag{8.6}$$

$$\mathbf{D}_{\binom{111}{010}} = \begin{pmatrix} 1 & -2 & 0 & -2 \\ -1 & 2 & 0 & -2 \\ 1 & 2 & 0 & -2 \\ 3 & -2 & 0 & -2 \end{pmatrix}, \tag{8.7}$$

$$\mathbf{D}_{\binom{111}{001}} = \begin{pmatrix} 3 & 0 & 0 & -2 \\ 1 & 0 & 0 & -2 \\ -1 & 0 & 0 & -2 \\ 1 & 0 & 0 & -2 \end{pmatrix} \begin{matrix} \\ \leftarrow \\ \\ \leftarrow \end{matrix}, \tag{8.8}$$

$$\mathbf{D}_{\binom{110}{011}} = \begin{pmatrix} 0 & 3 & 1 & -2 \\ 0 & 1 & -1 & -2 \\ 0 & -1 & 1 & -2 \\ 0 & 1 & 3 & -2 \end{pmatrix}. \tag{8.9}$$

Man erkennt in (8.6) – (8.9), dass es für unterschiedliche Schaltzustände, die alle zu einem Eingangsstromraumzeiger $\underline{i}_D$ führen, unterschiedliche Änderungsraten des Zwischenkreisstromes gibt. D. h. dass die Symmetrierung der Zwischenkreisstromwerte über diese redundanten Schaltzustände erfolgen kann. Durch die direkte Parallelschaltung zweier Zwischenkreisinduktivitäten (z. B. von L_1^+ und L_2^+ für Schaltzustand $j = \binom{111}{100}$, vgl. Abb. M.1) kommt es zu gleichen Stromänderungsraten, die in (8.6) und (8.8) mit Pfeilen ($\leftarrow$) markiert sind. In einem experimentellen Aufbau werden die tatsächlichen Stromänderungsraten jedoch auf Grund von parasitären Induktivitäten in den Strompfaden (geringfügig) unterschiedliche Werte aufweisen.

8.1.3 Entwicklung eines Modulationsverfahrens

Es gibt zwei Möglichkeiten, ein Modulationsverfahren zu entwickeln, das

- die Möglichkeit der Symmetrierung der Zwischenkreisströme bietet,
- einen phasenversetzten Betrieb der Gleichrichtersysteme erlaubt und damit
- einen minimalen Rippel der Eingangsströme bzw. der Spannungen an den Eingangsfilterkondensatoren aufweist (dazu dürfen nur Stromraumzeiger, die in unmittelbarer Nachbarschaft zum Sollstromraumzeiger liegen, in die Schaltzustandssequenz einbezogen werden).

Erstens können die Schaltzustände der Parallelschaltung frei innerhalb einer Puls(halb)periode angeordnet werden, sodass die obigen Anforderungen erfüllt werden. Dafür gibt es eine Vielzahl von Möglichkeiten, in [58] wurde diese Strategie verwendet, um den Zwischenkreisstrom für eine langsam schaltende Hochleistungs-Stromversorgung zu symmetrieren. Alternativ dazu kann die Schaltzustandssequenz eines einzelnen Pulsgleichrichtersystems als Basis für das Modulationsverfahren der Parallelschaltung verwendet werden, wobei die Schaltzustandssequenz des zweiten Pulsgleichrichtersystems um eine viertel oder eine halbe Pulsperiode gegenüber der Schaltzustandssequenz des ersten Systems verschoben wird.

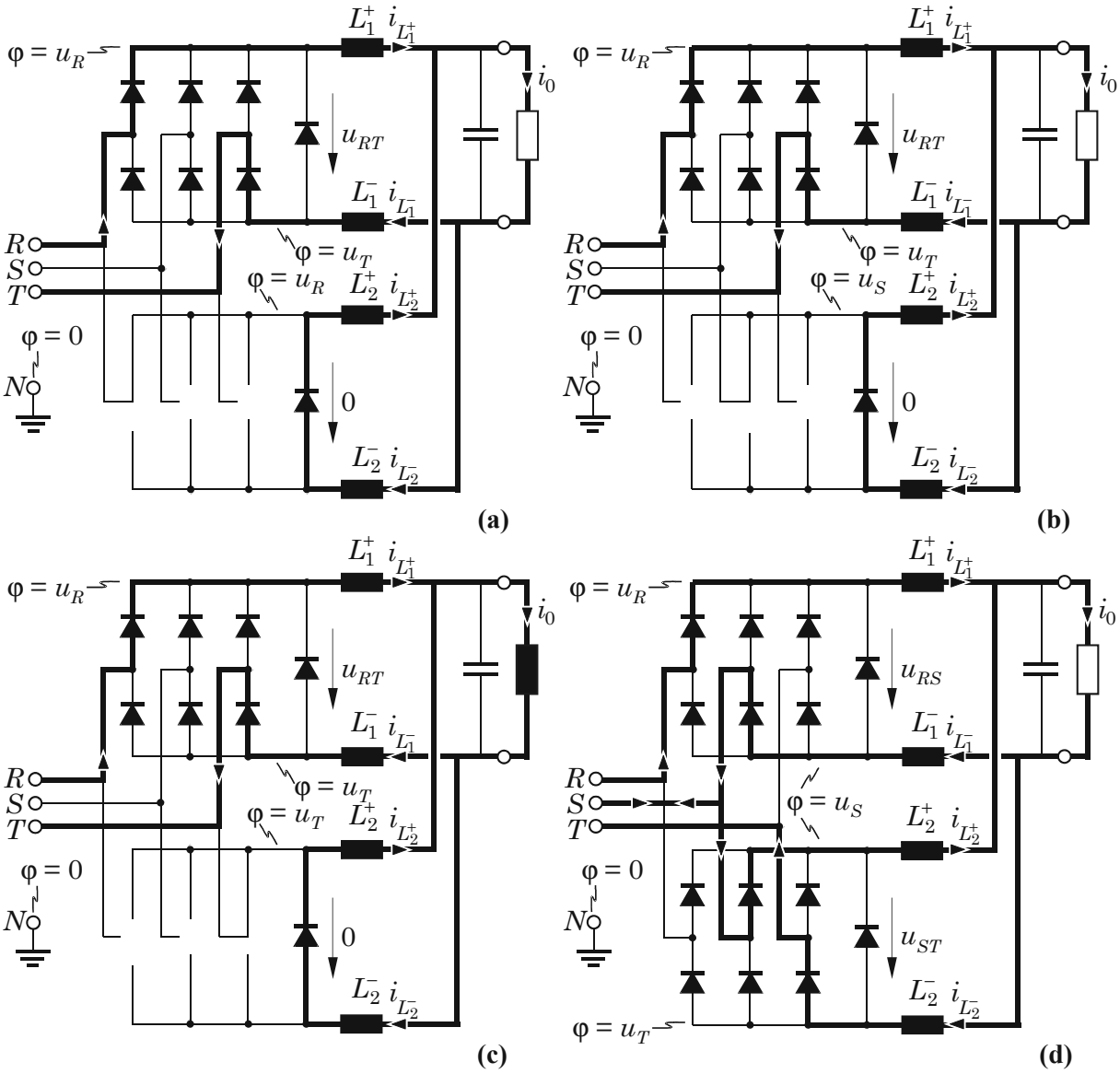


Abb. 8.5: Schaltzustände, die bezüglich der Bildung des Eingangsstromraumzeigers redundant sind, **(a)**: $j = \binom{111}{100}$, **(b)**: $j = \binom{111}{010}$, **(c)**: $j = \binom{111}{001}$ und **(d)**: $j = \binom{110}{011}$. Die Strompfade sind mittels dicker Linien gekennzeichnet, aus Gründen der Übersichtlichkeit sind nur die Leistungsdioden jener Brückenzweige gezeigt, deren Leistungstransistoren im geschlossenen Zustand sind; die Leistungstransistoren selbst sind nicht dargestellt. Die die Stromänderungsraten in den Zwischenkreisinduktivitäten beeinflussenden Potentiale φ_i sind bezüglich eines fiktiven Sternpunkts N angegeben, weiters sind die Ausgangsspannungen der Tiefsetzstellereingangsstufen u_1 und u_2 angegeben.

Hier wurde das Modulationsverfahren anhand der zweiten Methode entwickelt, wobei zwei unterschiedliche Modulationsverfahren als Basis herangezogen wurden. In Modulationsverfahren 1 liegt der Freilaufzustand am Ende einer Pulshalbperiode,

$$\Big|_{t_\mu=0}\ (111)\ (110)\ FL\ \Big|_{t_\mu=T_P/2}, \tag{8.10}$$

während in Modulationsverfahren 2 der Freilaufzustand zwischen den aktiven Schaltzuständen in der Mitte einer Pulshalbperiode platziert ist (vgl. Tab. 3.1),

$$\Big|_{t_\mu=0}\ (111)\ FL\ (110)\ \Big|_{t_\mu=T_P/2}. \tag{8.11}$$

In **Abb. 8.6** wird ein Modulationsverfahren für ein Gleichrichtersystem ausgehend von Modulationsverfahren 1 in Abb. 8.6(a) entwickelt, indem dieses entweder symmetrisch (vgl. Abb. 8.6(b)) oder asymmetrisch (vgl. Abb. 8.6(c)) zur Mitte der Pulsperiode angeordnet wird. Dabei gibt es weiters die Wahl zwischen zwei möglichen Freilaufzuständen $j = (010)$ und $j = (100)$: Es kann entweder der Leistungstransistor jener Phase, die die betragsmäßig *größte* Spannung aufweist (das ist Phase R in Intervall 1), während eines Netzintervalls im geschlossenen Zustand belassen werden [59], d. h. Freilaufzustand $j_{FL} = (100)$ wird in Intervall 1 verwendet. Oder der Leistungstransistor jener Phase, die die betragsmäßig *kleinste* Spannung aufweist (das ist Phase S in Intervall 1), verbleibt während eines Netzintervalls im geschlossenen Zustand, d. h. Freilaufzustand $j_{FL} = (010)$ wird in Intervall 1 verwendet[1]. Das Modulationsverfahren für ein zweites, parallel geschaltetes Gleichrichtersystem kann nun durch Phasenverschiebung der Schaltzustandssequenz um die Hälfte (vgl. Abb. 8.6(d)) oder ein Viertel (vgl. Abb. 8.6(e)) einer Pulsperiode erreicht werden.

Die acht in Abb. 8.6(b)–(d) angegebenen Modulationsverfahren wurden in einer digitalen Simulation implementiert [46] und hinsichtlich der eingangs erwähnten Anforderungen verglichen. Es wurde dabei kein Algorithmus für die Symmetrierung der Zwischenkreisströme vorgesehen, um die Eigenstabilität der Zwischenkreisstromaufteilung beurteilen zu können. Weiters wurde das Eingangsfilter weggelassen, um sich auf das Wesentliche zu beschränken und um unerwünschte Effekte zu unterbinden. Die Simulation wurde für folgende Parameter durchgeführt:

$$\begin{array}{ll} L_{12}^{\pm} = 1\,\mathrm{mH}, & U_N = 235\,\mathrm{V} \\ U_0 = 400\,\mathrm{V} & I_0 = 25\,\mathrm{A} \\ f_N = 50\,\mathrm{Hz} & f_P = 25\,\mathrm{kHz}, \end{array}$$

gezeigt werden die Ergebnisse für das Modulationsverfahren 1 (8.10) mit dem Freilaufzustand $j = (010)$ in symmetrischer Anordnung

$$\Big|_{t_\mu=0}\ (111)\ (110)\ (\mathit{010})\ \Big|_{t_\mu=T_P/2}\ (\mathit{010})\ (110)\ (111)\ \Big|_{t_\mu=T_P} \tag{8.12}$$

[1] Bei Verwendung des Freilaufzustandes $j_{FL} = (001)$ in Intervall 1 ist es nicht möglich, den Leistungstransistor eines Brückenzweiges während dieses Intervalls im geschlossenen Zustand zu lassen.

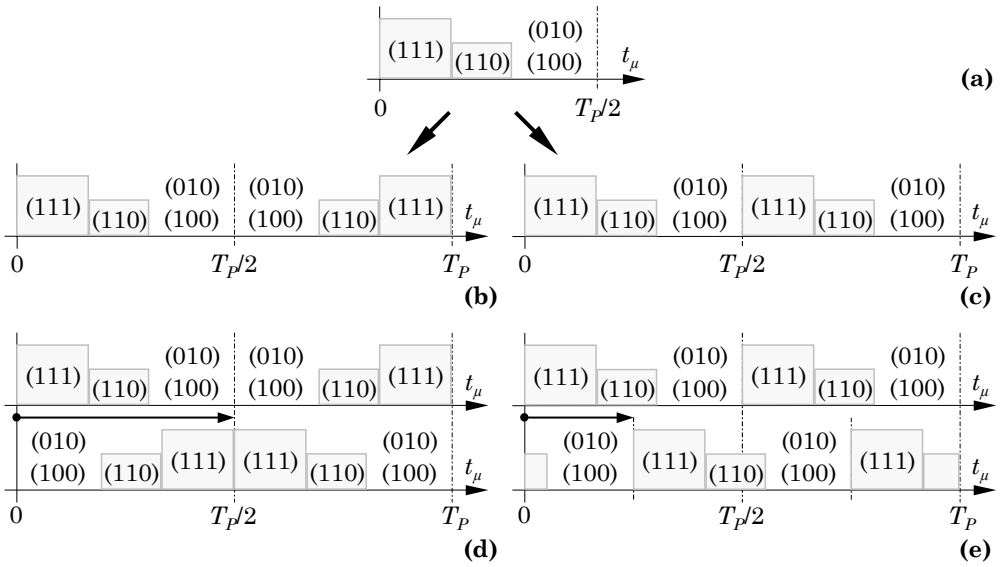


Abb. 8.6: Entwicklung von Modulationsverfahren (gezeigt für eine Pulsperiode) für die Parallelschaltung von zwei Gleichrichtersystem **(a)** ausgehend von Modulationsverfahren 1 (8.10) eines Gleichrichtersystems für eine Pulshalbperiode in Intervall 1 der Netzperiode. Das Modulationsverfahren für eine ganze Pulsperiode ergibt sich durch **(b)** symmetrische Anordnung oder **(c)** asymmetrische Anordnung zur Mitte der Pulsperiode. Die Modulationsverfahren für das zweite Gleichrichtersystem erhält man durch **(d), (e)** Phasenverschiebung, wobei die Phasenverschiebung durch einen Pfeil gekennzeichnet ist. t_μ ist die lokal innerhalb einer Pulsperiode gezählte Zeit.

und in asymmetrischer Anordnung

$$\Big|_{t_\mu=0}\ (111)\ (110)\ (\mathit{010})\ \Big|_{t_\mu=T_P/2}\ (111)\ (110)\ (\mathit{010})\ \Big|_{t_\mu=T_P} \tag{8.13}$$

sowie mit dem Freilaufzustand $j = (100)$ in symmetrischer Anordnung

$$\Big|_{t_\mu=0}\ (111)\ (110)\ (\mathit{100})\ \Big|_{t_\mu=T_P/2}\ (\mathit{100})\ (110)\ (111)\ \Big|_{t_\mu=T_P} \tag{8.14}$$

und in asymmetrischer Anordnung

$$\Big|_{t_\mu=0}\ (111)\ (110)\ (\mathit{100})\ \Big|_{t_\mu=T_P/2}\ (111)\ (110)\ (\mathit{100})\ \Big|_{t_\mu=T_P}. \tag{8.15}$$

Weiters werden Ergebnisse für das Modulationsverfahren 2 (8.11) mit dem Freilaufzustand $j = (010)$ in symmetrischer Anordnung

$$\Big|_{t_\mu=0}\ (111)\ (\mathit{010})\ (110)\ \Big|_{t_\mu=T_P/2}\ (110)\ (\mathit{010})\ (111)\ \Big|_{t_\mu=T_P} \tag{8.16}$$

und in asymmetrischer Anordnung

$$\Big|_{t_\mu=0}\ (111)\ (\mathit{010})\ (110)\ \Big|_{t_\mu=T_P/2}\ (111)\ (\mathit{010})\ (110)\ \Big|_{t_\mu=T_P} \tag{8.17}$$

sowie mit dem Freilaufzustand $j = (100)$ in symmetrischer Anordnung

$$\Big|_{t_\mu=0}\ (111)\ (\mathit{100})\ (110)\ \Big|_{t_\mu=T_P/2}\ (110)\ (\mathit{100})\ (111)\ \Big|_{t_\mu=T_P} \tag{8.18}$$

und in asymmetrischer Anordnung

$$\Big|_{t_\mu=0}\ (111)\ (\mathit{100})\ (110)\ \Big|_{t_\mu=T_P/2}\ (111)\ (\mathit{100})\ (110)\ \Big|_{t_\mu=T_P} \tag{8.19}$$

gezeigt. Der Freilaufzustand ist zwecks besserer Lesbarkeit kursiv gesetzt.

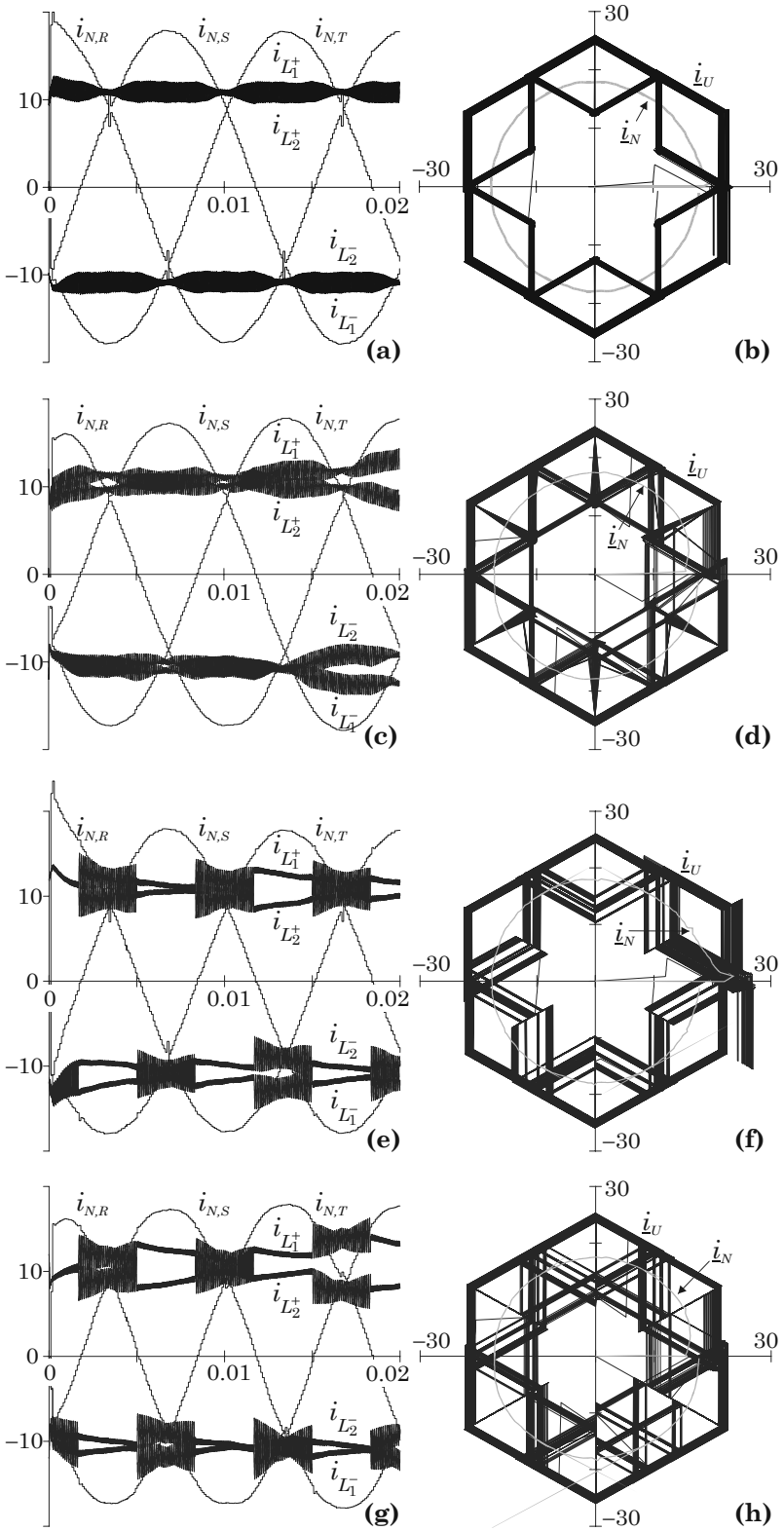


Abb. 8.7: Simulationsergebnisse für Modulationsverfahren 1; **(a), (c), (e), (g)** Zeitverläufe der Netzphasenströme $i_{N,i}$ und der Zwischenkreisströme $i_{L_{12}^{\pm}}$, sowie **(b), (d), (f), (h)** der Trajektorien des Raumzeigers des Gesamtgleichrichtereingangsstromes $\underline{i}_U$ und des Netzstromraumzeigers $\underline{i}_N$ mit Freilaufzustand $j = (010)$ in Intervall 1 **(a), (b)** in symmetrischer Anordnung (8.12) und **(c), (d)** in asymmetrischer Anordnung (8.13) sowie mit Freilaufzustand $j = (100)$ in Intervall 1 **(e), (f)** in symmetrischer Anordnung (8.14) und **(g), (h)** in asymmetrischer Anordnung (8.15).

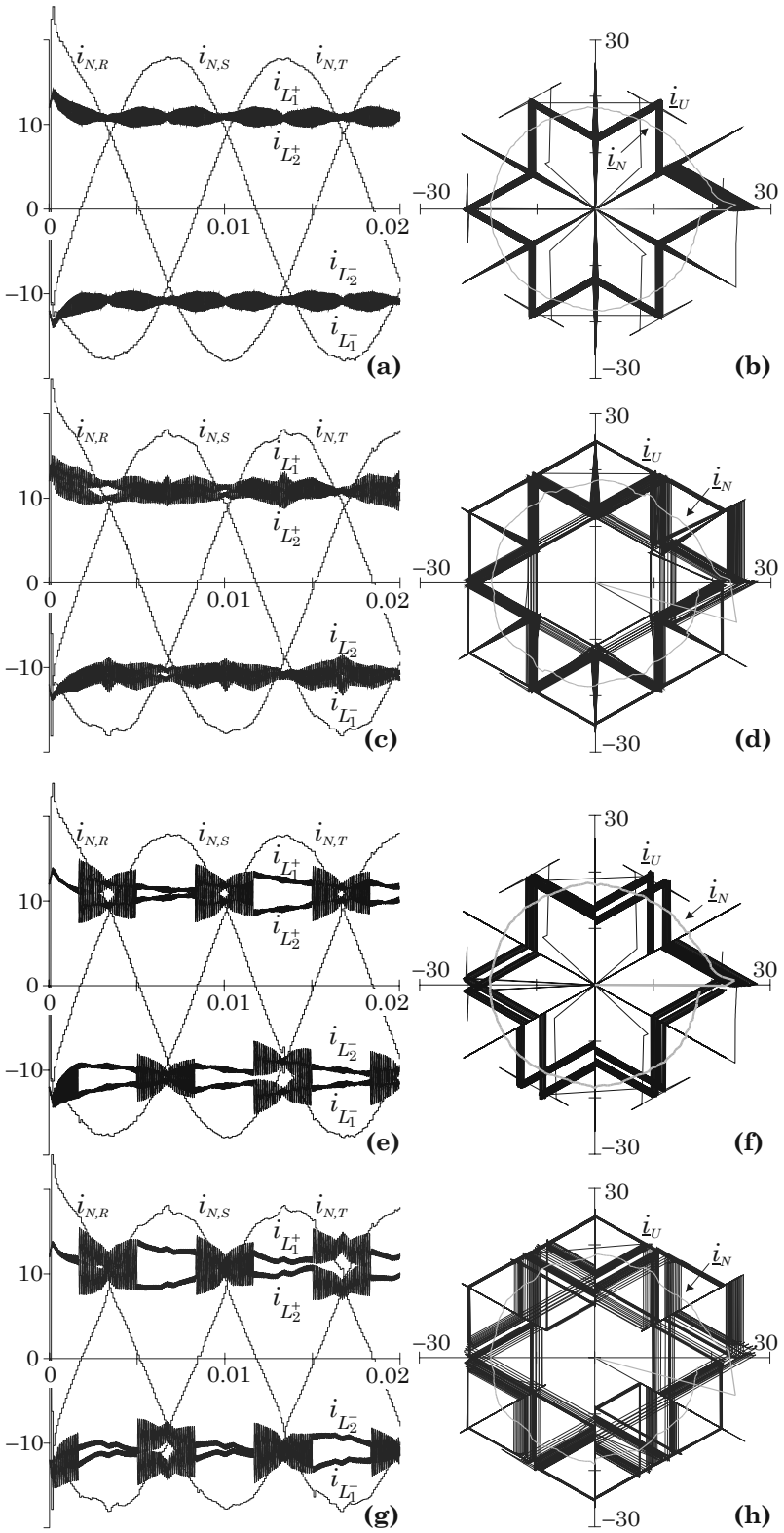


Abb. 8.8: Simulationsergebnisse für Modulationsverfahren 2; **(a), (c), (e), (g)** Zeitverläufe der Netzphasenströme $i_{N,i}$ und der Zwischenkreisströme $i_{L_{12}^{\pm}}$, sowie **(b), (d), (f), (h)** der Trajektorien des Raumzeigers des Gesamtgleichrichtereingangsstromes $\underline{i}_U$ und des Netzstromraumzeigers $\underline{i}_N$ mit Freilaufzustand $j = (010)$ in Intervall 1 **(a), (b)** in symmetrischer Anordnung (8.16) und **(c), (d)** in asymmetrischer Anordnung (8.17) sowie mit Freilaufzustand $j = (100)$ in Intervall 1 **(e), (f)** in symmetrischer Anordnung (8.18) und **(g), (h)** in asymmetrischer Anordnung (8.19).

Man erkennt, dass die Anordnung der Schaltzustände innerhalb einer Pulsperiode zwar keinen Einfluss auf die Netzphasenströme $i_{N,i}$ hat, der Verlauf des Zwischenkreisstromes weist jedoch ein stark unterschiedliches Verhalten auf. Wird der Leistungstransistor jener Phase, die die betragsmäßig größte Spannung aufweist, während eines Netzintervalls im geschlossenen Zustand belassen, so resultiert dies – unabhängig davon, ob eine symmetrische oder eine asymmetrische Anordnung der Schaltzustände gewählt wird – in einem global gesehen nicht konstanten lokalen (d. h. innerhalb einer Pulsperiode ermittelten) Mittelwert des Zwischenkreisstromes. Der sinusförmige Verlauf der Netzphasenströme bleibt davon jedoch unbeeinflusst. Bei diesem Verfahren kommt es jedoch zu einer Reduktion des Stromrippels in jenen Zwischenkreisinduktivitäten, die mit der Phase verbunden sind, deren Leistungstransistor für ein $\frac{\pi}{3}$-breites Netzintervall im eingeschalteten Zustand gehalten wird, allerdings steigt der Stromrippel im darauffolgenden $\frac{\pi}{3}$-breiten Intervall (vgl. Abb. 8.7(e), (g) und Abb. 8.8(e), (g)).

Weiters kann aus den Simulationsergebnissen eine Aussage über die Eigenstabilität der Stromaufteilung auf die parallel geschalteten Gleichrichtersysteme getroffen werden: es ist zu sehen, dass für Modulationsverfahren 1 in asymmetrischer Anordnung – unabhängig von der Wahl des Freilaufzustandes – die Zwischenkreisströme schon nach einer Netzperiode deutlich unterschiedliche Werte aufweisen (vgl. Abb. 8.7(c), (g)), eine Fortsetzung der Simulation zeigt, dass es zu keiner neuerlichen Annäherung und damit Stabilisierung kommt.

Neben einer Aussage über den Rippel des Zwischenkreisstromes lässt sich auch über den Rippel des Netzstromes eine Aussage treffen: In den Abb. 8.8(b) und (f) erkennt man, dass die Trajektorie des Raumzeigers des Gleichrichtereingangsstromes $\underline{i}_U$ Verbindungen zum Ursprung des Koordinatensystems aufweist. D. h. dass der Freilaufzustand in die resultierende Schaltzustandssequenz der Parallelschaltung mit einbezogen wird, womit deutlich wird, dass in diesem Fall nicht der kleinstmögliche Wert des Stromrippels des Netzstromes erreicht wird. Die übrigen Verbindungen in den Trajektorien besagen lediglich, in welcher Reihenfolge die Schaltzustände des Gleichrichtersystems abgearbeitet werden.

Auf Grund dieser Vergleiche und unter Berücksichtigung der bei den unterschiedlichen Modulationsverfahren auftretenden Schaltverlusten (vgl. Abschnitt 3.2) sowie des Verhaltens der Rippelkomponenten an den Eingangsfilterkondensatoren (vgl. Abschnitt 6.1) und an den Zwischenkreisinduktivitäten (vgl. Abschnitt 6.2) wird Modulationsverfahren 1 in symmetrischer Anordnung für die weiteren Untersuchungen an der Parallelschaltung ausgewählt. Es verbleibt dabei der Leistungstransistor jener Phase, die die betragsmäßig kleinste Spannung aufweist, während eines Netzintervalls im eingeschalteten Zustand, vgl. (8.12).

Anmerkung: Weiters wurden die Modulationsverfahren (8.10) und (8.11) unter Einbeziehung beider Freilaufzustände so in die digitale Simulation implementiert, dass für das erste Gleichrichtersystem ein asymmetrisches Modulationsverfahren und für das zweite System dasselbe, jedoch in umgekehrter Reihenfolge ablaufende, asymmetrische Modulationsverfahren verwendet wurde (dies entspricht einer Verschneidung der Modulationsfunktionen mit zwei Sägezahnfunktionen, die Rücken an Rücken liegen) [59]. Dieses Verfahren bringt gegenüber dem gewählten Verfahren keine entscheidenden Vorteile, nachteilig wirken sich die hohen Schaltverluste bei angepassten Rippelkomponenten (vgl. Kapitel 6) sowie die teilweise Tendenz zum Auseinanderlaufen der Zwischenkreisströme aus.

In **Abb. 8.9** sind die Pulsmuster für die Parallelschaltung von zwei Gleichrichtersystemen unter Verwendung des ausgewählten Modulationsverfahrens (8.12) innerhalb von drei Pulsperioden in Netzintervall 1 für die am Beginn dieses Abschnittes angegebenen Betriebsparameter gezeigt. Man erkennt, dass der Nullstromraumzeiger $\underline{i}_U = 0$ nicht in die Schaltzustandssequenz einbezogen wird, d. h. es befinden sich nicht beide Systeme gleichzeitig im Freilaufzustand, wodurch der Rippel des Netzstromes möglichst gering gehalten wird. **Abbildungen 8.10**(a) und (b) zeigen die Stromraumzeiger für den Betrieb eines einzelnen Gleichrichtersystems in Intervall 1 und den dazugehörigen Zeitverlauf des diskontinuierlichen Gleichrichtereingangsstromes $\underline{i}_{U,R,1}$ in Phase R sowie dessen Grundschwingung $i_{U,R,1,(1)}$. Die für eine Parallelschaltung von zwei Gleichrichtersystemen resultierenden Stromraumzeiger sind in Abb. 8.10(c) gegeben, wobei nur die drei in unmittelbarer Umgebung des Sollstromraumzeigers liegenden Raumzeiger in die Schaltzustandssequenz einbezogen werden. Die verwendeten Raumzeiger weisen – abgesehen vom Nullstromraumzeiger – drei unterschiedliche Längen auf, die aus den drei unterschiedlichen Werten des diskreten Gleichrichtereingangsstromes von 0, I und $2I$ resultieren. Der gesamte Gleichrichtereingangsstrom zeigt daher fünf unterschiedliche Niveaus, was in Abb. 8.10(d) an Hand des Zeitverlaufs des Gesamtstromes in Phase R deutlich gemacht wird.

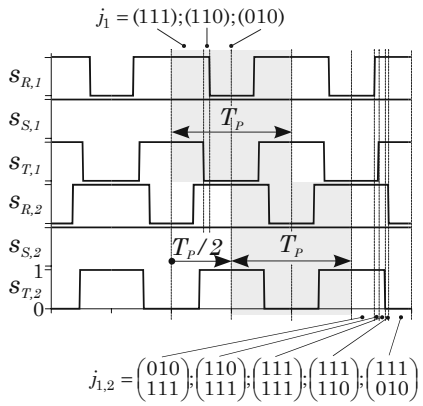


Abb. 8.9: Schaltsignale für die Parallelschaltung von zwei Gleichrichtersystemen innerhalb dreier Pulsperioden in Netzintervall 1 unter Verwendung von Modulationsverfahren 1 (8.12). Das Modulationsverfahren für System 2 entsteht durch Phasenverschiebung des Pulsmusters von System 1 um eine halbe Pulsperiode. j_1 bezeichnet die Schaltzustände von System 1, $j_{1,2}$ die resultierenden Schaltzustände für die Parallelschaltung.

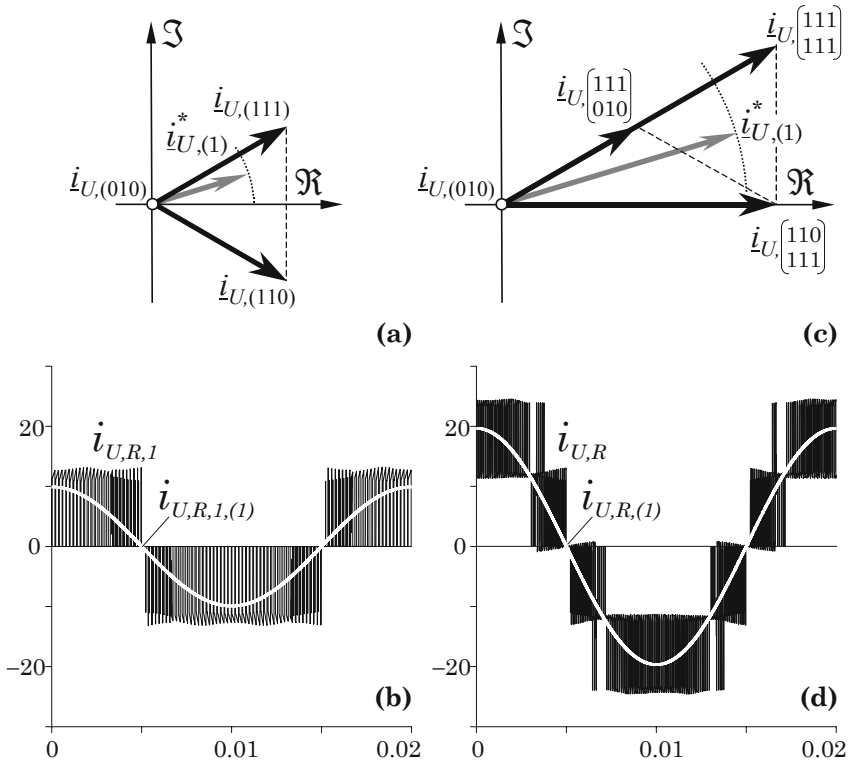


Abb. 8.10: Stromraumzeiger und Zeitverlauf des diskontinuierlichen Gleichrichtereingangsstromes in Phase R **(a), (b)** für den Einzelbetrieb eines Gleichrichtersystems und **(c), (d)** für Parallelbetrieb von zwei Systemen. Weiters sind der Sollstromraumzeiger $\underline{i}^*_{U,(1)}$ in der komplexen Ebene und die Grundschwingung $i_{U,R,(1)}$ gegeben.

8.1.4 Symmetrierung des Zwischenkreisstromes

Um eine gleichmäßige Aufteilung der Schalt- und Leitverluste der Leistungshalbleiter zu erreichen und um eine Überlastung eines Einzelsystems zu verhindern, muss der Ausgangsgleichstrom gleichmäßig auf beide Einzelsysteme aufgeteilt werden. Idealerweise gibt es keinen Bedarf einer symmetrierenden Maßnahme, da das Modulationsverfahren 1 (8.12) eine natürliche Stabilität der Zwischenkreisströme zeigt (vgl. Abb. 8.7(a), (b)). In einem realen System kommt es jedoch durch nicht-ideale Eigenschaften wie z. B. Bauelementetoleranzen, Flussspannungsabfälle von Leistungshalbleitern oder unterschiedliche Zwischenkreisinduktivitäten zu einer Störung des natürlichen Gleichgewichts. Deshalb muss eine Regelung, die das Gleichstromgleichgewicht im Falle einer Unsymmetrie wiederherstellt, vorgesehen werden.

Im Folgenden werden zuerst die möglichen auftretenden Kreisströme und deren Auswirkung auf ein wechselspannungsseitiges Strom-Nullsystem sowie die Möglichkeit der Symmetrierung durch unterschiedliche Freilaufzustände untersucht. Darauf aufbauend werden im darauf folgenden Abschnitt verschiedene symmetrierende Regelstrukturen vorgestellt.

8.1.4.A Kreisströme und Strom-Nullsystem

In Abhängigkeit von der Struktur der parallel geschalteten Gleichrichtersysteme gibt es die Möglichkeit von unterschiedlich vielen Kreisströmen. Unter Kreisströmen werden Ströme verstanden, die über beide Gleichrichtersysteme, nicht jedoch über die Last fließen, und den Zwischenkreisströmen überlagert sind. Bei parallel geschalteten *Hochsetzstellersystemen* gibt es wegen des einzigen gleichspannungsseitigen Energiespeichers (Zwischenkreiskondensator) nur einen möglichen Kreisstrom, der sich eindeutig in einem eingangsseitigen Nullstrom abbildet, vgl. **Abb. 8.11**(a), [60], [61]. Bei einem Vorzeichenwechsel des Kreisstromes i_K fließt dieser im oberen Hochsetzstellersystem 1 in der negativen und im unteren Hochsetzstellersystem 2 in der positiven Zwischenkreisschiene, womit auch der Nullstrom sein Vorzeichen wechselt.

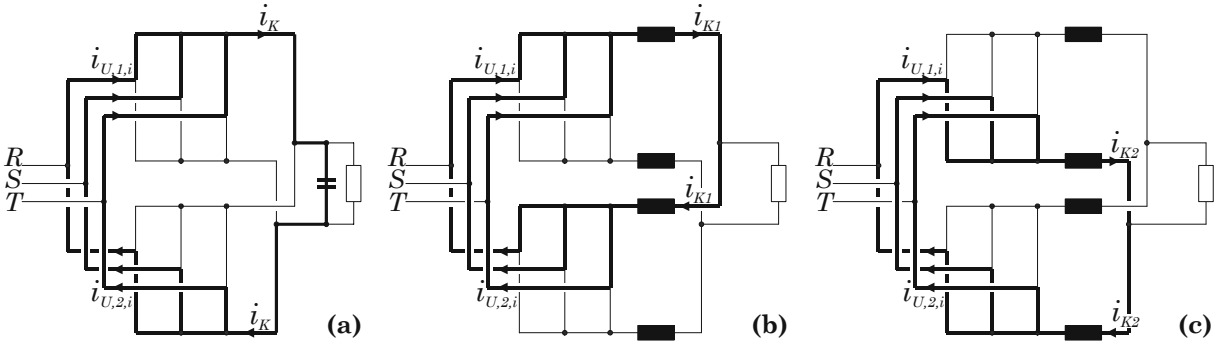


Abb. 8.11: Nullströme **(a)** bei parallelgeschalteten Hochsetzstellern und **(b)**, **(c)** bei parallelgeschalteten Tiefsetzstellern. Die eingangsseitigen Filterkomponenten sowie die Leistungshalbleiter in den Brückenzweigen sind aus Gründen der Übersichtlichkeit nicht dargestellt.

Bei der Parallelschaltung von *Tiefsetzstellersystemen* gibt es auf Grund der höheren Anzahl von gleichstromseitigen Energiespeichern (Zwischenkreisinduktivitäten) auch eine höhere Anzahl von Kreisströmen, was beim Entwurf einer symmetrierenden Regelstruktur beachtet werden muss. Für zwei parallel geschaltete Tiefsetzsteller führen zwei unterschiedliche Kreisströme $i_{K,1}$ (vgl. Abb. 8.11(b)) und $i_{K,2}$ (vgl. Abb. 8.11(c)) auf denselben Nullstrom, wobei Kreisstrom $i_{K,1}$ über die positiven Zwischenkreisinduktivitäten L_1^+ und L_2^+ und Kreisstrom $i_{K,2}$ über die negativen Zwischenkreisinduktivitäten L_1^- und L_2^- fließt. Hier ist auch jeweils ein Vorzeichenwechsel der Kreisströme (und damit des resultierenden Nullstromes) möglich, die Strompfade bleiben jedoch gleich, es ändert sich nur die Stromrichtung. Es ist auch ein gleichzeitiges Auftreten der Zwischenkreisströme i_{K1} und i_{K2} möglich.

In **Abb. 8.12** ist ein Gleichspannungs-Ersatzschaltbild der Parallelschaltung von zwei Drei-Schalter Drei-Phasen Tiefsetzstellersystemen gezeigt, wobei die Eingangsspannungen der beiden Systeme jeweils in zwei Teile u_{pm} und $u_{n,m}$, $m = 1, 2$, gesplittet und mit einem gemeinsamen fiktiven Sternpunkt N verbunden sind, der dem Netzsternpunkt entspricht. Über Punkt N schließen sich die Pfade der Kreisströme i_{Km}, $m = 1, 2$.

Ist z. B. der Kreisstrom i_{K1} über die positiven Zwischenkreisinduktivitäten L_1^+ und L_2^+ gleich 1 A und der Kreisstrom i_{K2} in den negativen Zwischenkreisinduktivitäten L_1^- und L_2^- gleich Null, so erhält man für den Mittelwert (gekennzeichnet durch ein hochgestelltes *avg*) des Nullstromes am Eingang von Gleichrichtersystem 1

$$i_{U,1,0}^{avg} = \frac{1}{3}\left[i_{U,I,R}^{avg} + i_{U,I,S}^{avg} + i_{U,I,T}^{avg}\right] = +0.33\,\mathrm{A}, \tag{8.20}$$

und für den Nullstrom am Eingang von Gleichrichtersystem 2,

$$i_{U,2,0}^{avg} = -i_{U,1,0}^{avg} = -0.33\,\mathrm{A}, \tag{8.21}$$

die Nullstromkomponente im gesamten Gleichrichtereingangsstrom (d. h. in den Netzzuleitungen) ist $i_{U,0} = 0\,\mathrm{A}$. Für $i_{K1} = 0\,\mathrm{A}$ und $i_{K2} = +1\,\mathrm{A}$ erhält man dieselben Ergebnisse,

$$i_{U,1,0}^{avg} = +0.33\,\mathrm{A},\ i_{U,2,0}^{avg} = -0.33\,\mathrm{A},\ i_{U,0} = 0\,\mathrm{A}. \tag{8.22}$$

Damit ist klar, dass kein eindeutiger Rückschluss von den Nullsystemen $i_{U,1,0}^{avg}$ und $i_{U,2,0}^{avg}$ der Gleichrichtereingangsströme auf das Verhalten der Kreisströme gezogen werden kann, so wie es bei der Parallelschaltung von Hochsetzstellersystemen möglich ist. Das in der Literatur beschriebene gezielte Verursachen eines Nullsystems kann daher nicht für den Ausgleich von Kreisströmen und damit für die Symmetrierung herangezogen werden. Alternativ dazu bietet sich – wie schon in Abschnitt 8.1.2 erwähnt – die Verwendung von redundanten Schaltzuständen an, die die Stromänderungsraten in den Zwischenkreisinduktivitäten unterschiedlich beeinflussen.

8.1.4.B Symmetrierung durch unterschiedliche Freilaufzustände

Definitionsgemäß ist während des Freilaufzustandes der Leistungstransistor jener Phase im eingeschalteten Zustand, deren Spannungswert $u_{ph,kl.}$ zwischen den Werten der beiden anderen Spannungen liegt, vgl. **Abb. 8.13**. D. h. während des Freilaufzustandes sind die Anode und (wenn der Vorwärtsspannungsabfall der Freilaufdiode vernachlässigt wird) die Kathode der Freilaufdiode und damit die rechten Anschlüsse der Zwischenkreisinduktivitäten (bei Vernachlässigung der Vorwärtsspannungsabfälle der Leistungshalbleiter in den Brückenzweigen) mit jener Phase verbunden, deren Leistungstransistor im eingeschalteten Zustand ist. In Intervall 1 ist der Leistungstransistor der Phase S im eingeschalteten Zustand geklemmt, d. h. die rechten Klemmen der Zwischenkreisinduktivitäten liegen auf dem Potential von Phase S.

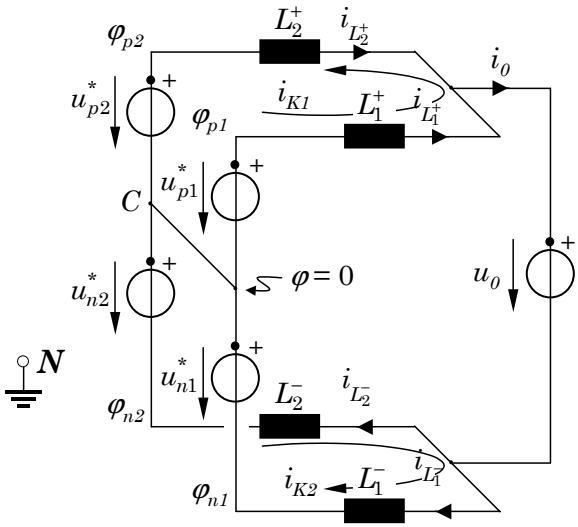


Abb. 8.12: Gleichspannungs-Ersatzschaltbild von zwei parallel geschalteten Tiefsetzstellern mit den Kreisströmen i_{Km} und den Potentialen φ_{pm} und φ_{nm} an den eingangsseitigen Klemmen der Zwischenkreisinduktivitäten, $m = 1, 2$.

Das Potential an der Freilaufdiode und damit die Stromänderungsrate in den Zwischenkreisinduktivitäten kann daher dadurch beeinflusst werden, dass ein anderer Leistungstransistor während des Freilaufzustandes eingeschaltet wird. Wird z. B. in Gleichrichtersystem 1 der Freilaufzustand $j = (100)$, bei dem der Leistungstransistor S_R eingeschaltet ist, während der Zeit $t_\pm$ eingestellt, vgl. **Abb. 8.14**(a), so wird das Potential auf den rechten Seiten der Zwischenkreisinduktivitäten L_1^+ und L_1^- um $(u_{ph,+} - u_{ph,kl.})$ gegenüber dem Ausgangszustand angehoben, vgl. Abb. 8.13. Dadurch steigt der Strom in der Induktivität L_1^+ innerhalb einer Pulshalbperiode um den Wert $\Delta i_{L_1^+}$ im Vergleich zu dem Fall, dass der definitionsgemäße Freilauf $j = (010)$ eingestellt wird, vgl. Abb. 8.14(b). In Gleichrichtersystem 2 wird im Gegenzug dazu der Freilaufzustand $j = (001)$ während der Zeit $t_\pm$ eingestellt, wodurch die Spannung $u_{ph,-} = u_{N,T}$ an die rechten Klemmen der Induktivitäten L_2^+ und L_2^- gelegt wird. Da diese Spannung kleiner ist als $u_{ph,kl.} = u_{N,S}$ sinkt der Strom in der Zwischenkreisinduktivität L_2^+ um den Wert $\Delta i_{L_2^+}$ ab, vgl. Abb. 8.14(b).

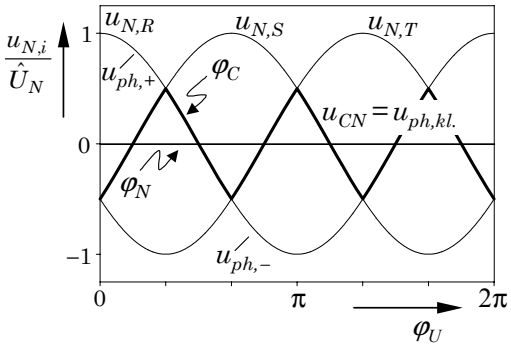


Abb. 8.13: Normierte Netzphasenspannungen $u_{N,R}$, $u_{N,S}$, $u_{N,T}$, während des Freilaufzustand durchgeschaltete Spannungen $u_{ph,kl.}$, $u_{ph,+}$, $u_{ph,-}$ sowie Potentiale des Netzsternpunkts φ_N und des gemeinsamen Punktes φ_C und Spannung u_{CN} zwischen den Punkten C und N (vgl. Abb. 8.12).

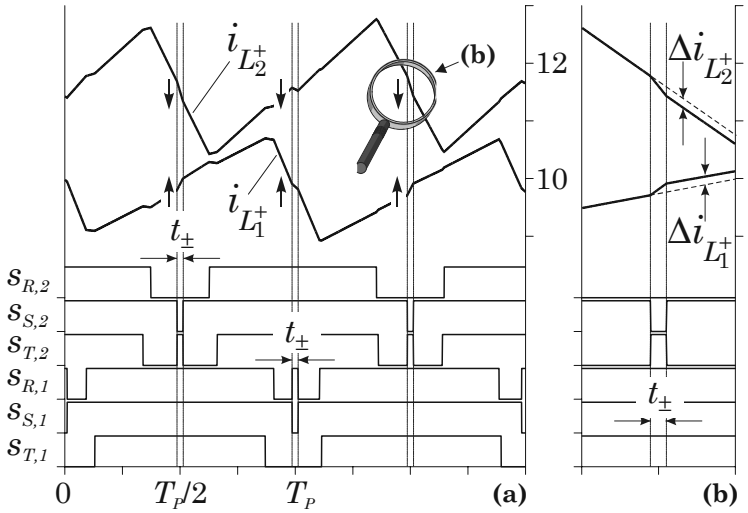


Abb. 8.14: Einfluss des im Freilaufzustand eingeschalteten Leistungstransistors auf die Stromänderungsrate $\mathrm{d}i_L/\mathrm{d}t$ des Zwischenkreisstromes während Intervall 1. **(a)** Das Verhalten der Zwischenkreisströme $i_{L_1^+}$ und $i_{L_2^+}$ bei einer Störung des Gleichgewichts ist innerhalb von zwei Pulsperioden dargestellt und die zugehörigen Schaltfunktionen sind gegeben,**(b)** zeigt den detaillierten Zeitverlauf während des Freilaufzustandes. Die Pfeile ↑ und ↓ kennzeichnen die gewünschte Richtung der Stromänderung.

Der Wert Δi_L kann vergrößert (verkleinert) werden, indem die Zeit $t_\pm$ vergrößert (verkleinert) wird. Diese Methode wird, wie im folgenden Abschnitt beschrieben, für die Symmetrierung der Zwischenkreisströme von parallel geschalteten Tiefsetzstellersystemen verwendet.

8.2 Regelung zur Zwischenkreisstrom-Symmetrierung

In **Abb. 8.15** ist ein auf Abb. 8.12 basierendes Gleichspannungs-Ersatzschaltbild von zwei parallel geschalteten Tiefsetzstellersystemen gezeigt, bei dem die Ausgangsspannungssollwerte u_1^* und u_2^* der Tiefsetzstellerstufen $m = 1$ und $m = 2$ wieder in zwei Teile geteilt sind,

$$u_m^* = \underbrace{u_{pm}^* + u_0^*/2}_{u_{pos,m}^*} + \underbrace{u_{nm}^* + u_0^*/2}_{u_{neg,m}^*}, \quad m = 1, 2, \tag{8.23}$$

$u_{pos,m}^*$ bezeichnet den positiven Spannungsanteil und $u_{neg,m}^*$ den negativen Anteil in Bezug auf den gemeinsamen Punkt C. Die Gleichspannungen $u_0^*/2$ stellen eine Vorsteuerung der Ausgangsspannungen der Tiefsetzstellerstufen dar, die durch den Ausgangsspannungssollwert definiert ist. Die Zusatzspannungsquellen u_{pm}^* und u_{nm}^* ermöglichen die Beeinflussung der Zwischenkreisströme in den vier Induktivitäten $L_{12}^{\pm}$. Die Gesamt-Ausgangsspannung des Gleichrichtersystems wird durch eine Gleichspannungsquelle u_0 repräsentiert. Das Potential φ_C des gemeinsamen Punktes C entspricht dem Potential jener Phase, deren Leistungstransistor während des Freilaufzustandes definitionsgemäß im eingeschalteten Zustand ist, gegenüber dem Netzsternpunkt N, d. h. es gibt einen Spannungsunterschied u_{CN} zwischen dem gemeinsamen Punkt C und dem Netzsternpunkt N, der die dreifache Netzfrequenz aufweist, vgl. Abb. 8.13. Über Punkt C schließen sich die Pfade der voneinander unabhängigen Kreisströme i_{K1} und i_{K2}.

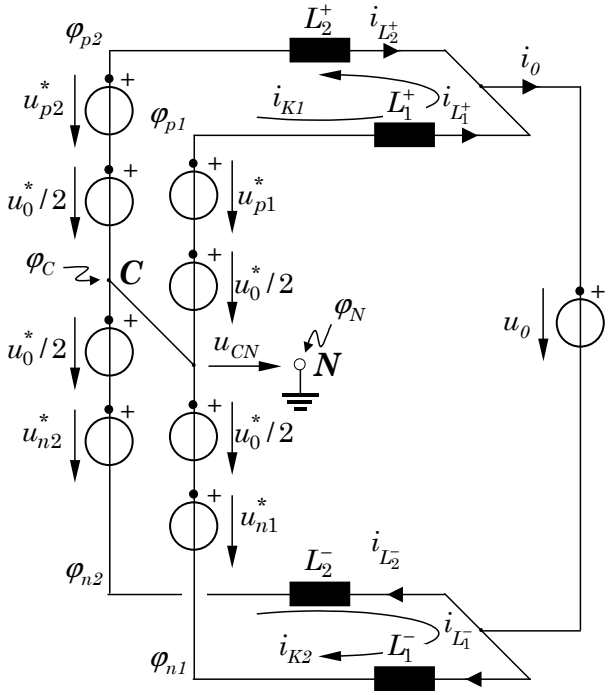


Abb. 8.15: Gleichspannungs-Ersatzschaltbild von zwei parallel geschalteten Tiefsetzstellern mit den Kreisströmen i_{Km} und den Potentialen φ_{pm} und φ_{nm} an den eingangsseitigen Klemmen der Zwischenkreisinduktivitäten, $m = 1, 2$, sowie Spannungsquellen $u_0^*/2$ zur Vorsteuerung mit dem Ausgangsspannungssollwert.

Wenn alle Zwischenkreisströme gleich und halb so groß wie der Ausgangsstromsollwert i_0^* sind, dann sind die Spannungsquellen u_{pm}^* und u_{nm}^* gleich Null. Falls ein Ungleichgewicht auftritt und z. B. $i_{L_1^+} > i_{L_2^+}$ ist, muss das Potential φ_{p1} gegenüber dem Normalzustand abgesenkt werden, während das Potential φ_{p2} angehoben werden muss, um das ursprüngliche Gleichgewicht wieder herzustellen, d. h. $u_{p1}^* < 0$ und $u_{p2}^* > 0$. Wenn die Ströme in den negativen Zwischenkreisschienen kein Ungleichgewicht zeigen, bleiben die Potentiale φ_{n1} und φ_{n2} unbeeinflusst, d. h. $u_{n1}^* = 0$ und $u_{n2}^* = 0$. In Summe entspricht dies einer Verkleinerung des Spannungssollwerts u_1^* der Tiefsetzstellerstufe 1 und einer Vergrößerung des Spannungssollwerts u_1^* der Tiefsetzstellerstufe 2, wobei der Ausgangsstrom von System 1 verkleinert und der Ausgangsstrom von System 2 vergrößert wird. Der Gesamtausgangsstrom I_0 wird nicht beeinflusst.

Die Potentialänderung erfolgt über die Verwendung eines zusätzlichen Freilaufzustand wie in Abschnitt 8.1.4.B beschrieben. In Intervall 1 ist der Schaltzustand $j = (010)$ der vorgegebene Freilaufzustand, durch die Verwendung von $j = (100)$ werden die positiven Potentiale φ_{pm} erhöht (wegen $u_{N,R} > u_{N,S}$), während die Verwendung von $j = (001)$ die positiven Potentiale φ_{nm} verringert (wegen $u_{N,T} < u_{N,S}$).

Die relative, auf eine Pulsperiode bezogene Einschaltdauer des zusätzlichen Freilaufzustandes $\delta_\pm$ kann mittels

$$\delta_+ = \frac{u^*_{pm}}{u_{ph,+} - u_{ph,kl.}} \quad \text{für } u^*_{pm} > 0, \tag{8.24}$$

$$\delta_- = \frac{u^*_{pm}}{u_{ph,-} - u_{ph,kl.}} \quad \text{für } u^*_{pm} < 0 \tag{8.25}$$

berechnet werden, wobei $u_{ph,kl.}$ die Spannung jener Phase ist, in der der Leistungstransistor während des vorgegebenen Freilaufzustandes im geschlossenen Zustand ist. Die Spannungen $u_{ph,+}$ und $u_{ph,-}$ sind die Spannungen jener Phasen, in denen während des zusätzlichen Freilaufzustandes der Leistungstransistor im eingeschalteten Zustand ist. $u_{ph,+}$ wird dabei verwendet, um das positive Potential anzuheben, $u_{ph,-}$ senkt das positive Potential ab bzw. vergrößert betragsmäßig das negative Potential. In **Tab. 8.2** sind die Formeln für die Berechnung der relativen Einschaltdauern des zusätzlichen Freilaufzustandes $\delta_\pm$ sowie die dazugehörigen Schaltzustände für alle zwölf Sektoren der Netzperiode angegeben.

Sektor	δ_+	j	δ_-	j
1, 2	$\frac{u^*_{pm}}{u_{N,R}-u_{N,S}}$	(100)	$\frac{u^*_{pm}}{u_{N,T}-u_{N,S}}$	(001)
3, 4	$\frac{u^*_{pm}}{u_{N,S}-u_{N,R}}$	(010)	$\frac{u^*_{pm}}{u_{N,T}-u_{N,R}}$	(001)
5, 6	$\frac{u^*_{pm}}{u_{N,S}-u_{N,T}}$	(010)	$\frac{u^*_{pm}}{u_{N,R}-u_{N,T}}$	(100)
7, 8	$\frac{u^*_{pm}}{u_{N,T}-u_{N,S}}$	(001)	$\frac{u^*_{pm}}{u_{N,R}-u_{N,S}}$	(100)
9, 10	$\frac{u^*_{pm}}{u_{N,T}-u_{N,R}}$	(001)	$\frac{u^*_{pm}}{u_{N,S}-u_{N,R}}$	(010)
11, 12	$\frac{u^*_{pm}}{u_{N,R}-u_{N,T}}$	(100)	$\frac{u^*_{pm}}{u_{N,S}-u_{N,T}}$	(010)

Tab. 8.2: Formeln für die Berechnung der relativen Einschaltdauern δ_+ und δ_- der zusätzlichen Freilaufzustände, $m = 1, 2$.

Eine entsprechende Regelstruktur ist in **Abb. 8.16** gezeigt, der Ausgangsstromsollwert i^*_0 wird von einem nicht dargestellten, überlagerten Ausgangsspannungsregelkreis vorgegeben, durch die Anzahl n der parallel geschalteten Gleichrichtersysteme dividiert und dieser Wert mit den (gefilterten) Istwerten der Zwischenkreisströme verglichen. Danach geben P-Regler (Verstärkung k_{PV}) die Werte der positiven und negativen Spannungen u^*_{pm} und u^*_{nm} vor. Mit den Werten u^*_{pm} können die relativen Einschaltdauern der zusätzlichen Freilaufzustände $\delta_{\pm m}$ berechnet werden, durch Summation von u^*_{pm} und u^*_{nm} und durch Vorsteuerung mit dem Ausgangsspannungssollwert u^*_0 erhält man die Sollwerte der Ausgangsspannungen der Tiefsetzstellerstufen u^*_1 und u^*_2, womit sich die relativen Einschaltdauern δ_{jm} für jedes System gemäß A.7 berechnen lassen.

8.2.1 Simulationsergebnisse

Im Folgenden wird die Funktion der in Abb. 8.15 gezeigten Regelstruktur mittels digitaler Simulation überprüft, die Simulation wird für folgende Parameter durchgeführt:

$L^{\pm}_{12} = 1\,\text{mH}$, $U_N = 235\,\text{V}$
$U_0 = 400\,\text{V}$ $I_0 = 25\,\text{A}$
$f_N = 50\,\text{Hz}$ $f_P = 25\,\text{kHz}$.

In **Abb. 8.17** ist das zeitliche Verhalten der Netzphasenströme und der Zwischenkreisströme gezeigt. Für $t < t_2$ ist der Teil der Regelstruktur deaktiviert, der symmetrierend auf die Zwischenkreisströme wirkt, d.h die relativen Einschaltdauern der zusätzlichen Freilaufzustände sind Null, $\delta_{\pm 1} = 0$, $\delta_{\pm 2} = 0$. Solange keine Störquelle existiert, die eine ungleiche Aufteilung des Ausgangsgleichstromes I_0 auf die beiden parallelen Gleichrichtersysteme bewirken könnte, zeigen die beiden Zwischenkreisströme ideal symmetrisches Verhalten, d. h. der Ausgangsstrom wird gleichmäßig auf die einzelnen Systeme aufgeteilt. Zum Zeitpunkt $t = t_1$ wird eine 20 V Gleichspannungsquelle in Serie zur Zwischenkreisinduktivität L_1^+ eingefügt, um eine große Störquelle zu simulieren. Es tritt sofort ein Ungleichgewicht in den Zwischenkreisströmen auf, die Netzphasenströme bleiben jedoch unbeeinflusst. Zum Zeitpunkt $t = t_2$ wird der symmetrierend wirkende Teil der Regelstruktur aktiviert, d. h. die Berechnung der zusätzlichen Freilaufzustände wird freigegeben, es tritt unmittelbar eine Symmetrierung der Zwischenkreisströme ein. Die eingeschränkte Funktion der symmetrierenden Wirkung der zusätzlichen Freilaufzustände ist an den Intervallgrenzen zu erkennen, vgl. Abschnitt 8.4.4.B.

Auf Grund des unterschiedlichen Zeitverhaltens des Zwischenkreisstromrippels in den Induktivitäten L_1^+ und L_2^+ der positiven Schiene und in den Induktivitäten L_1^- und L_2^- der negativen Schiene (vgl. Zeitpunkt $t = 0$ in Abb. 8.17), unterscheiden sich die Momentanwerte des Zwischenkreisstromes eines Gleichrichtersystems in positiver und negativer Schiene (z. B. die Momentanwerte der Ströme in L_1^+ und in L_1^-). Es kommt damit zu einem Differenzstrom,

$$i_d = i_{L_1^+} - i_{L_1^-}, \tag{8.26}$$

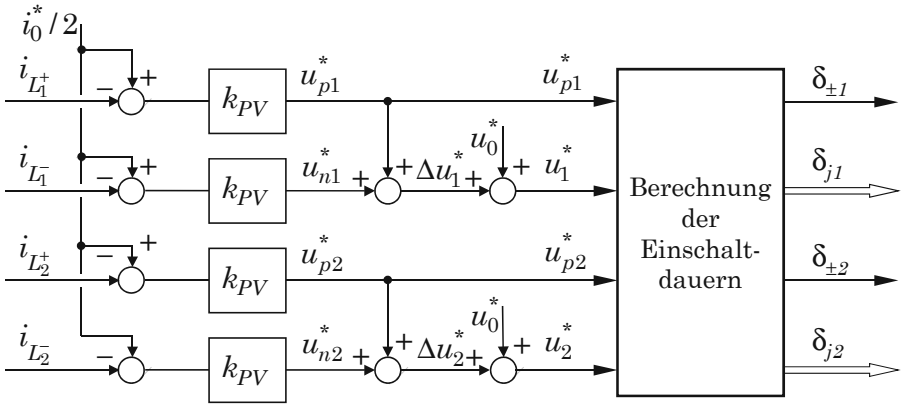


Abb. 8.16: Auf dem in Abb. 8.15 gegebenen Gleichspannungs-Ersatzschaltbild basierende Regelstruktur für die Symmetrierung der Zwischenkreisströme von zwei parallel geschalteten Gleichrichtersystemen.

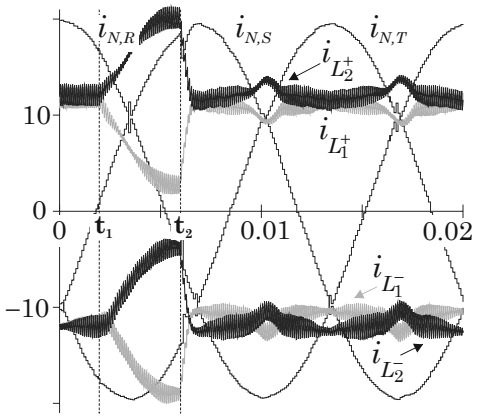


Abb. 8.17: Simulationsergebnis für unsymmetrische Stromaufteilung auf zwei Gleichrichtersysteme. Zeitverläufe der Netzphasenströme und der Zwischenkreisströme, zum Zeitpunkt t_1 wird eine Störquelle bei deaktivierter Regelung eingefügt, zum Zeitpunkt t_2 wird die Regelung (vgl. Abb. 8.16) aktiviert.

der als Kreisstrom über den Gleichrichtereingang zum zweiten Gleichrichtersystem fließt[2]. In **Abb. 8.18** ist der Differenzstrom deutlich als Unterschied zwischen den Strömen $i_{L_1^+}$ und $i_{L_1^-}$ zu erkennen. Während des Freilaufzustandes $j = (010)$ (vgl. **Det.A**) ist der Leistungstransistor in Phase S geschlossen, der Differenzstrom i_d fließt daher über Phase S. Die Einschaltdauer des zusätzlichen Freilaufzustandes $j = (100)$ und damit der über Phase R fließende Differenzstrom i_d sind vernachlässigbar gering, mit fortschreitender Zeit wird jedoch der zusätzliche Freilaufzustand immer länger (vgl. **Det.B**), womit der Differenzstrom gänzlich über Phase R fließt. Damit wird gezeigt, dass während des Freilaufzustandes ein Leistungstransistor im geschlossenen Zustand verbleiben muss, um einen Pfad für den Differenzstrom sicherzustellen.

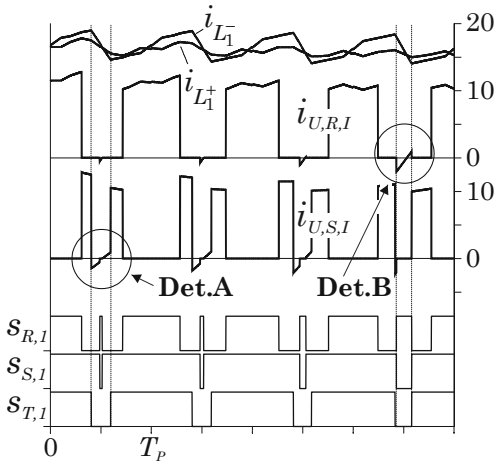


Abb. 8.18: Lokales zeitliches Verhalten der Ströme für parallele Gleichrichtersysteme. Ströme in den Induktivitäten L_1^+ und l_1^- und Gleichrichtereingangsströme $i_{U,R,1}$ in Phase R und $i_{U,S,1}$ in Phase S sowie die dazugehörigen Schaltsignale $s_{i,1}$ von System 1. Details **Det.A** und **Det.B** siehe Text.

8.2.2 Experimentelle Realisierung

Die experimentelle Analyse wurde an der Parallelschaltung von zwei Prototypen mit jeweils folgenden Betriebsparametern durchgeführt:

P_0	$= 5\,\mathrm{kW}$	f_N	$= 50\,\mathrm{Hz}$
$U_{N,ll}$	$= 208\,\mathrm{V} \ldots 480\,\mathrm{V}$	f_P	$= 23.4\,\mathrm{kHz}$
U_0	$= 400\,\mathrm{V}$	$C_{F,i}$	$= 4\,\mu\mathrm{F}$
$L_{F,i}$	$= 0.17\,\mathrm{mH}$	C_0	$= 750\,\mu\mathrm{F}$
$L^{\pm}$	$= 0.9\,\mathrm{mH}$,		

woraus eine Gesamtausgangsleistung von $P_0 = 10\ kW$ bzw. ein Ausgangsgleichstrom von $I_0 = 25\ A$ bei einer Ausgangsgleichspannung von $U_0 = 400\ V$ resultiert. Die Reglerstruktur wurde im digitalen Signalprozessor ADSP-21061 SHARC abgesetzt. Die notwendigen Modifikationen auf der Peripheriekarte – wie z. B. die Programmierung der EPROMs – sind in [63] nachzulesen.

8.2.2.A Strommessung

Da für die Regelung der parallel geschalteten Gleichrichtersysteme die Kenntnis von drei Zwischenkreisströmen notwendig ist, wird in System 2 sowohl der Strom in der positiven als auch in der negativen Zwischenkreisinduktivität gemessen. Damit können der Ausgangsgleichstrom I_0 sowie der fehlende Zwischenkreisstrom in der Induktivität L_1^- berechnet werden. In **Tab. 8.3** sind die verwendeten Stromwandler, die Bürdewiderstände sowie das Spannungsübersetzungsverhältnis der nachgeschalteten Verstärkerschaltungen angegeben. Weiters sind die für die Digitalisierung der analogen Strommesssignale verwendeten ADCs, ihr Messbereich und der für das Signalprozessorprogramm benötigte Umrechnungsfaktor

[2] Beim Betrieb eines einzelnen Gleichrichtersystems kommt es zu keiner Differenz der Ströme in den Induktivitäten L_1^+ und L_1^-.

angeführt. Dieser ergibt sich am Beispiel von $i_{L_1^+}$ zu

$$\frac{25\ \text{mA}}{25\ \text{A}} \cdot 200\ \Omega \cdot 4,3\ \frac{\text{V}}{\text{V}} \cdot \frac{2048\ \text{Bit}}{10\ \text{V}} = 176,1\ \frac{\text{Bit}}{\text{A}}, \qquad \frac{1}{176,1\ \frac{\text{Bit}}{\text{A}}} = 0,005678\ \frac{\text{A}}{\text{Bit}}. \tag{8.27}$$

Um den Rippel des Zwischenkreisstromes sowie Störungen zu unterdrücken und um nur den für die Regelung benötigten Strommittelwert dem Signalprozessor zuzuführen, werden zusätzlich drei Kondensatoren mit je 1 μF am Eingang der ADCs parallel geschaltet.

Strom	Stromwandler	Bürde	Übersetzung	ADC	Messbereich	Umrechnungsfaktor
$i_{L_1^+}$	LAH 25-NP	200 Ω	0,43 V/A	AD7892-1	± 10 V	0,005678 A/Bit
$i_{L_2^+}$	LAH 25-NP	200 Ω	0,43 V/A	AD7892-3	± 2,5 V	0,006104 A/Bit
$i_{L_2^-}$	LAH 50-NP	200 Ω	0,43 V/A	AD7892-3	± 2,5 V	0,006104 A/Bit

Tab. 8.3: Daten zur Messung und Signalaufbereitung der Gleichströme in den Induktivitäten L_1^+, L_2^+ und L_2^-.

8.2.2.B Spannungsmessung

Für die Regelung der parallel geschalteten Gleichrichtersysteme wird weiters die Ausgangsspannung der Tiefsetzstellereingangsstufe von System 2 benötigt, die Daten zur Messung und Signalaufbereitung sind in **Tab. 8.4** angegeben.

Spannung	Übersetzung	ADC	Messbereich	Umrechnungsfaktor
u_2	0,00273 V/V	AD7892-3	± 2,5 V	0,4471 V/Bit

Tab. 8.4: Daten zur Messung und Signalaufbereitung der Tiefsetzstellerausgangsspannung u_2.

8.2.2.C Programmstruktur und Generierung der Schaltsignale

Wie in Abschnitt 4.3.3 beschrieben werden nach dem Einlesen der ADC-Kanäle die Einschaltdauern der Leistungstransistoren von System 1 und 2 berechnet (vgl. Tab. 4.9), anschließend wird das aktuelle Intervall in Abhängigkeit der Spannungen an den Eingangskondensatoren detektiert. Die Schaltfunktionen der Leistungstransistoren werden als Zählerstartwerte an die PWM-Kanäle ausgegeben, allerdings können die Ausgänge der PWM-Kanäle nicht direkt als Schaltsignale für die Leistungstransistoren verwendet werden, weshalb eine Umcodierung in zwei EPROMs erfolgen muss [63].

8.2.3 Einfluss des zusätzlichen Freilaufzustandes

Wenn der Rippel des Zwischenkreisstromes vernachlässigt und ideales Schaltverhalten der Leistungstransistoren bzw. keine Schaltverzugszeit angenommen wird, geschieht der Übergang zwischen Freilaufzustand und zusätzlichem Freilaufzustand (und umgekehrt) ohne zusätzliche Verluste, da der Gleichstrom über die Freilaufdiode geführt wird und da der Leistungstransistor, der während des Freilaufzustandes im eingeschalteten Zustand verbleibt, keinen Strom führt. Wie die genauere experimentelle Analyse zeigt, passiert der Übergang zwischen Freilaufzustand und zusätzlichem Freilaufzustand nicht direkt sondern über einen zusätzlichen *aktiven* Schaltzustand. Z. B. tritt beim Übergang zwischen Freilaufzustand $j = (010)$ und zusätzlichem Freilaufzustand $j = (100)$ der aktive Schaltzustand $j = (110)$ auf, vgl. **Abb. 8.19**, wodurch es zu zusätzlichen Schaltverlusten kommt. Die Ursache für den indirekten Übergang über einen zusätzlichen aktiven Schaltzustand liegt in der Tatsache, dass der Leistungstransistor, der während des Freilaufzustandes im eingeschalteten Zustand verbleibt, den Differenzstrom i_d führt (vgl. Abschnitt 8.2.1) und der Leistungstransistor, der während des zusätzlichen Freilaufzustandes im eingeschalteten Zustand ist, diesen Differenzstrom übernehmen muss.

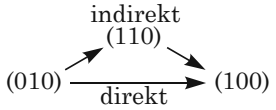


Abb. 8.19: Übergang von einem Freilaufzustand zum nächsten Freilaufzustand: direkter Übergang im idealisierten Fall und indirekter Übergang über einen zusätzlichen aktiven Schaltzustand.

In **Abb. 8.20** ist das Verhalten der diskontinuierlichen Gleichrichtereingangsströme $i_{U,R}$ und $i_{U,S}$ für zwei unterschiedliche Zeiten $t_\pm$ des zusätzlichen Freilaufzustandes gegeben. Zuerst wurde eine Dauer von $t_\pm \approx 1$ μs eingestellt, indem zum Zeitpunkt t_1 Leistungstransistor S_R eingeschaltet und Leistungstransistor S_S gleichzeitig ausgeschaltet wurde (vgl. Schaltsignal s_R in Abb. 8.20(a), Schaltsignal s_S ist nicht gezeigt). Nach einer Verzögerungszeit t_d, die sich durch Einschalt- und Ausschaltverzögerung der Leistungstransistoren sowie durch die Treiberschaltungen ergibt, findet die Schalthandlung erst zum Zeitpunkt t_2 statt, und für eine Zeit t_{add} sind beide Leistungstransistoren S_R und S_S im eingeschalteten Zustand (vgl. Gate-Ansteuersignale U_{GE_R} und U_{GE_S} in Abb. 8.20(b)) und der Differenzstrom wird von Leistungstransistor S_S zu Leistungstransistor S_T kommutiert. Dies entspricht dem aktiven Schaltzustand $j = (110)$, wobei Strom vom Netz entnommen wird und an der Freilaufdiode D_F Sperrspannung anliegt (vgl. Abb. 8.20(a), $U_{D_F} \neq 0$ bei t_2). Beim darauffolgenden Übergang von $j = (100)$ zu $j = (010)$ zum Zeitpunkt t_3 wird der zusätzliche aktive Schaltzustand $j = (110)$ wieder eingefügt.

In einem zweiten Fall wurde die Dauer des zusätzlichen Freilaufzustandes auf $t_\pm \approx 0,3$ μs verkürzt, wodurch die Dauer des zusätzlichen aktiven Schaltzustandes länger als die des zusätzlichen Freilaufzustandes wird, womit dieser und damit die gewünschte Wirkung unterdrückt werden, vgl. Abb. 8.20(c).

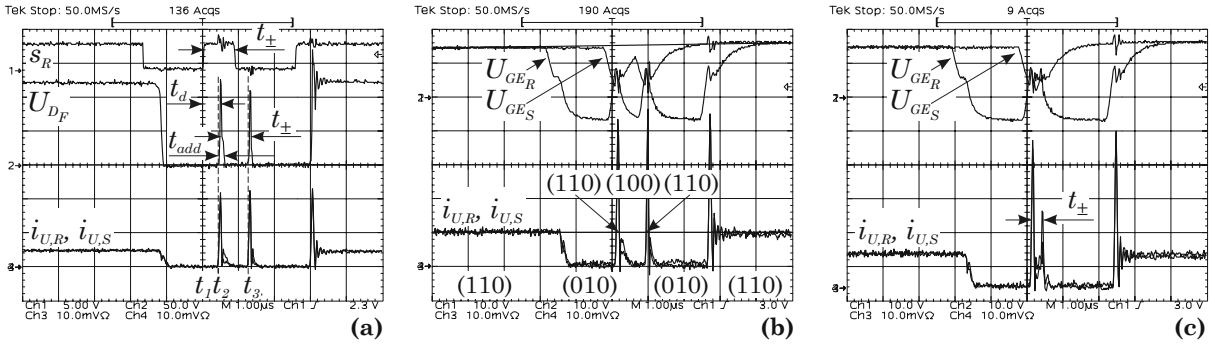


Abb. 8.20: Einfluss des zusätzlichen Freilaufzustandes auf das Verhalten des Gleichrichtereingangsstromes für den Übergang von Freilaufzustand $j = (010)$ zu (100) (und umgekehrt) in Intervall 1 bei Gleichrichtersystem 1. Zusätzlicher Freilaufzustand **(a)**, **(b)** $t_\pm \approx 1$ μs und **(c)** $t_\pm \approx 0,3$ μs. (a) Schaltsignal s_R und Spannung U_{D_F} an der Freilaufdiode, (b), (c) Gate-Ansteuersignale U_{GE_R} und U_{GE_S} für die Leistungstransistoren in den Phasen R und S, und (a)-(c) Gleichrichtereingangsströme $i_{U,R}$ und $i_{U,S}$. Strommaßstäbe: (a): 4 A/Div., (b), (c): 2 A/Div., Spannungsmaßstäbe: (a): U_{D_F}: 50 V/Div.; s_R: 5 V/Div.; (b), (c): U_{GE}: 10 V/Div., Zeitmaßstab: 1 μs/Div.

Das Auftreten dieser unerwünschten, zusätzlichen aktiven Schaltzustände hat folgende Konsequenzen:

- Die Dauer des ursprünglichen Freilaufzustandes wird um t_{add} verkürzt,
- die Dauer des zusätzlichen Freilaufzustandes wird um t_{add} verkürzt,
- für eine kurze Zeit $t_\pm$ wird der zusätzliche Freilaufzustand komplett durch einen aktiven Schaltzustand ersetzt und die gewünschte Wirkung damit unterdrückt und
- beim (idealerweise verlustfreien) Übergang zwischen zwei Freilaufzuständen treten Schaltverluste auf, die nicht vernachlässigt werden können.

Weiters muss bedacht werden, dass bei einem experimentellen Aufbau die Regelabweichung zwischen Sollwert und Istwert des zu regelnden Stromes auf Grund von Fehlern in der Strommessung (verursacht durch Offsets von Stromwandlern, Fehlern in der A/D-Konversion usw.) immer von Null abweichen wird. Das resultiert in einem permanenten Eingriff und damit einer permanenten Präsenz eines zusätzlichen

Freilaufzustandes und damit in ständig auftretenden zusätzlichen Schaltverlusten auch dann, wenn die Ströme in allen Zwischenkreisinduktivitäten (ungefähr) gleich sind und ein Reglereingriff daher nicht notwendig wäre. Außerdem ist das Einfügen von zusätzlichen Freilaufzuständen in einem der beiden Gleichrichtersysteme ausreichend, da bei Ausregeln des Regelfehlers in einem System automatisch der Zwischenkreisstrom des anderen Systems auf seinen Sollwert zurückgeführt wird.

Aus diesen Gründen werden daher im Folgenden Veränderungen der vorgestellten Reglerstruktur vorgenommen, die erste Modifikation resultiert dabei in einer auf einer Hystereseregelung basierenden Struktur, wobei nur zusätzliche Freilaufzustände in einem System einfügt werden.

8.3 Modifikationen der Regelstruktur

8.3.1 Hystereseregelung mit zusätzlichem Freilauf

Die modifizierte Regelstruktur ist in **Abb. 8.21** gezeigt, wobei die Ströme in den Induktivitäten L_1^+ und L_2^+ der positiven Schienen auf den halben Ausgangsstromsollwert $i_0^*/2$ geregelt werden, der wieder von einer (nicht gezeigten) äußeren Ausgangsspannungsregelung zur Verfügung gestellt wird. u_1^* und u_2^* sind die Sollwerte der Ausgangsspannungen der Tiefsetzstellereingangsstufen und werden für die Berechnung der relativen Einschaltdauern δ_{j1} und δ_{j2} von beiden Systemen 1 und 2 herangezogen. Es wird nun angenommen, dass bei Gleichheit der Ströme in den positiven Schienen auch die Ströme in den negativen Schienen etwa gleich sind (vgl. Abschnitt 8.4.1). Falls jedoch z. B. im Strom in Induktivität L_2^- eine Abweichung vom halben Ausgangsstrom $i_0/2$ auftritt, die einen bestimmten Wert h überschreitet, wird ein zusätzlicher Freilaufzustand $\delta_{\pm 2}$ in Gleichrichtersystem 2 eingefügt, der den Strom $i_{L_2^-}$ (und damit auch den Strom $i_{L_1^-}$) zurück zu seinem Referenzwert führt. Die Größe h ist hier die halbe Breite des Toleranzbandes, die z. B. auf den Wert 0, 5 A gesetzt wird, d. h. ein Regeleingriff in Form eines zusätzlichen Freilaufzustandes geschieht nur dann, wenn die Differenz der Strommittelwerte in den negativen Schienen 1 A überschreitet.

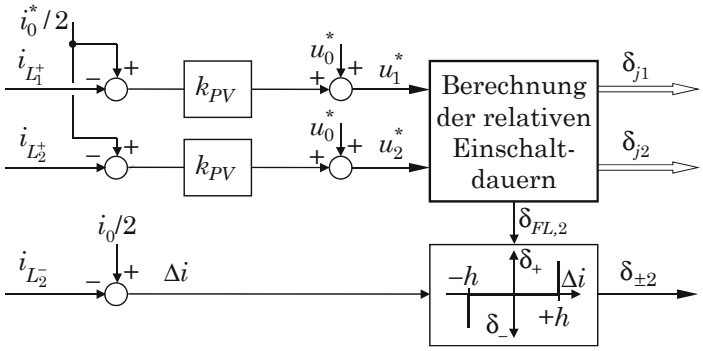


Abb. 8.21: Modifizierte Regelstruktur für die Symmetrierung der Zwischenkreisströme basierend auf einer Hystereseregelung, $\pm h$ bezeichnet die Breite der Hysterese, der zusätzliche Freilaufzustand ersetzt hier gänzlich den ursprünglichen Freilaufzustand.

Um die beim Übergang zwischen zwei Freilaufzuständen auftretenden Schaltverluste weiter zu reduzieren, wird die Dauer des zusätzlichen Freilaufzustandes $\delta_{\pm 1}$ auf den maximal möglichen Wert, d. h. auf die Dauer des ursprünglichen Freilaufzustandes $\delta_{FL,1}$, gesetzt und damit der ursprüngliche Freilaufzustand vollständig durch den zusätzlichen Freilaufzustand ersetzt. In Intervall 1 werden damit zusätzliche Schaltverluste für eine zusätzlichen Freilaufzustand $j = (100)$ vermieden, da damit der Leistungstransistor in Phase R anstelle des Leistungstransistors in Phase S für die Dauer dieser Pulsperiode im eingeschalteten Zustand verbleibt, vgl. **Abb. 8.22**(a) und (b). Für einen zusätzlichen Freilaufzustand $j = (001)$ treten zusätzliche Schaltverluste zu den Zeitpunkten t_1 und t_2 auf, da Schalthandlungen in allen drei Brückenzweigen stattfinden, vgl. Abb. 8.22(c), diese Schaltverluste sind jedoch limitiert im Vergleich zu dem Fall, wo ein zusätzlicher Freilaufzustand mit der Dauer $t_\pm < t_{FL}$ in jeder Pulsperiode eingefügt wird (vgl. Abschnitt 8.2.3).

Man muss jedoch erwähnen, dass für sinkenden Aussteuergrad M bei einer konstanten Störquelle das Verhalten der zu symmetrierenden Zwischenkreisströme immer mehr gestört wird. Die Ursache dafür liegt

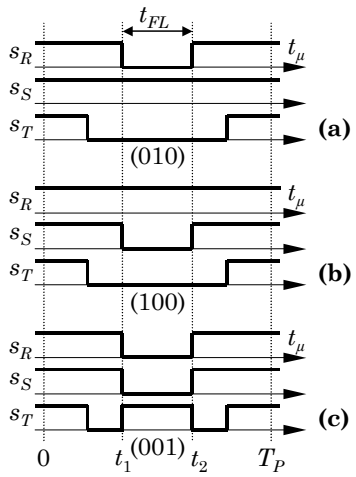


Abb. 8.22: Ersetzen des urspünglichen Freilaufzustandes durch den zusätzlichen Freilaufzustand in Intervall 1 innerhalb einer Pulsperiode T_P; **(a)** ursprünglicher Freilaufzustand $j = (010)$ mit Freilaufdauer t_{FL}; **(b)** Ersetzen des ursprünglichen Freilaufzustandes durch den zusätzlichen Freilaufzustand $j = (100)$ (es entstehen keine zusätzlichen Schaltverluste gegenüber (a)); **(c)** Ersetzen des ursprünglichen Freilaufzustandes durch den zusätzlichen Freilaufzustand $j = (001)$ (es kommt beschränkt zu zusätzlichen Schaltverlusten).

in der Tatsache, dass für sinkenden Modulationsindex M die relative Dauer δ_{FL} des Freilaufzustandes steigt, womit die symmetrierende Wirkung des zusätzlichen Freilaufzustandes ebenfalls steigt und ggf. stärker sein kann als erwünscht. Eine entsprechend angepasste Regelstruktur wird im folgenden Abschnitt vorgestellt.

8.3.2 Hystereseregelung mit zusätzlichem, variablen Freilaufzustand

Um dem Effekt des zu starken Eingreifens der symmetrierenden Wirkung des zusätzlichen Freilaufzustandes entgegenzuwirken, wird die in Abb. 8.21 vorgestellte Regelstruktur mit der Basis-Regelstruktur aus Abschnitt 8.2, Abb. 8.16, mit der in **Abb. 8.23** gezeigten Regelstruktur kombiniert. Dabei wird der zusätzliche Freilaufzustand wieder nur dann verwendet, wenn die Strommittelwerte in den Induktivitäten der negativen Zwischenkreisstromschienen ein bestimmtes Toleranzband verlassen. Im Vergleich zu der in Abschnitt 8.3.1 vorgestellten Regelstruktur wird die Dauer des zusätzlichen Freilaufzustandes in Abhängigkeit der Regelabweichung jedoch berechnet, wobei die in Tab. 8.2 gegebenen Formeln verwendet werden. Der zusätzliche Freilaufzustand wird in der Mitte der Pulsperiode platziert.

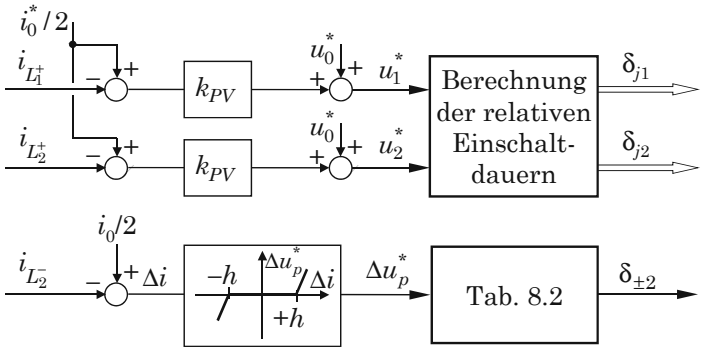


Abb. 8.23: Regelstruktur für die Symmetrierung der Zwischenkreisströme basierend auf der Hystereseregelung in Abb. 8.21 mit einer variablen Einschaltdauer des zusätzlichen Freilaufzustandes.

8.4 Experimentelle Analyse der Regelstrukturen

Im Folgenden werden Messergebnisse der beiden vorgestellten modifizierten Regelstrukturen verglichen, wobei zwecks besserer Lesbarkeit die in Abschnitt 8.3.1, Abb. 8.21, vorgestellte Regelstruktur mit *Regelstruktur 1* und die in Abschnitt 8.3.2, Abb. 8.23, vorgestellte Regelstruktur mit *Regelstruktur 2* bezeichnet wird. Die in Abschnitt 8.2, Abb. 8.16, vorgestellte Regelstruktur wird auf Grund ihrer geringen praktischen Relevanz nicht näher untersucht.

Die Funktion und das Betriebsverhalten der Regelstrukturen werden für vier unterschiedliche Betriebspunkte untersucht, vgl. Tab. 8.5, der Ausgangsstrom wird auf den konstanten Wert von 10 A geregelt. Der Hysteresewert $\pm h$ wird verändert und eine Freigabe für die Regelung vorgesehen, wobei Freigabe = 0 bedeutet, dass der Reglereingriff unterdrückt wird, und Freigabe = 1 heißt, dass die Regelung aktiv ist, d. h. es werden zusätzliche Freilaufzustände erlaubt.

Betriebspunkt	$U_{N,ll}$	M	R_0	P_0
1	208 V	0,4	10 Ω	1,0 kW
2	208 V	0,6	15 Ω	1,5 kW
3	208 V	0,9	22 Ω	2,2 kW
4	400 V	0,6	33 Ω	3,3 kW
5	400 V	0,8	44 Ω	4,0 kW

Tab. 8.5: Betriebspunkte für die experimentelle Analyse.

8.4.1 Verhalten ohne symmetrierende Regelung

Wird die symmetrierende Regelung deaktiviert (d. h. es werden keine zusätzlichen Freilaufzustände eingefügt, $\delta_{\pm 2} = 0$), so zeigt die experimentelle Analyse ein sehr gutes selbstsymmetrierendes Verhalten der Zwischenkreisströme, vgl. Abb. 8.24. Es wurde keine Störquelle in Serie zu den Zwischenkreisinduktivitäten platziert und die Ströme in den positiven und negativen Schienen sind ungefähr gleich, es tritt nur eine vernachlässigbare Differenz von einigen 0,1 A auf. Dieses Verhalten zeigt sich unabhängig von der Eingangsspannung, der Ausgangsspannung oder Ausgangsleistung bzw. vom Modulationsindex.

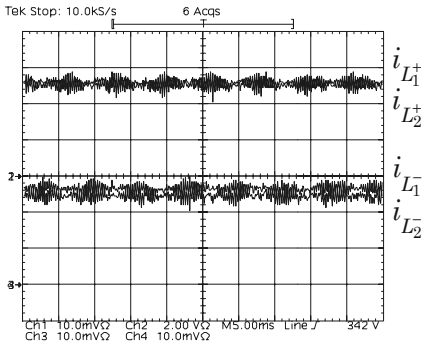


Abb. 8.24: Verhalten der Zwischenkreisströme in den Induktivitäten $L_{12}^{\pm}$ für 10 A Ausgangsstrom, 100 V Ausgangsspannung und 208 V Außenleiterspannung (Betriebspunkt 1, Tab. 8.5), die symmetrierende Regelung ist nicht freigegeben. Strommaßstab: 2 A/Div., Zeitmaßstab 5 ms/Div.

8.4.2 Vergleich der beiden Regelstrukturen

Wie in Abb. 8.24 zu erkennen ist, ist für einen stationären Betriebszustand die symmetrierende Regelung nicht notwendig. Um jedoch die Funktionsweise der Regelstrukturen zu zeigen, werden im Folgenden unterschiedliche Störwiderstände in Serie zu den Induktivitäten in System 1 eingefügt. In **Abb. 8.25** ist das Verhalten der beiden Regelstrukturen für Betriebspunkt 2 (Tab. 8.5) bei einem Störwiderstand von 1,5 Ω gezeigt (das entspricht einer Störspannungsquelle von 7,5 V bei symmetrischen Verhältnissen

und einer Störspannungsquelle von 15 V, wenn ein Gleichrichtersystem den gesamten Ausgangsstrom übernimmt), die symmetrierende Regelung wurde jeweils zum Zeitpunkt t_1 freigegeben.

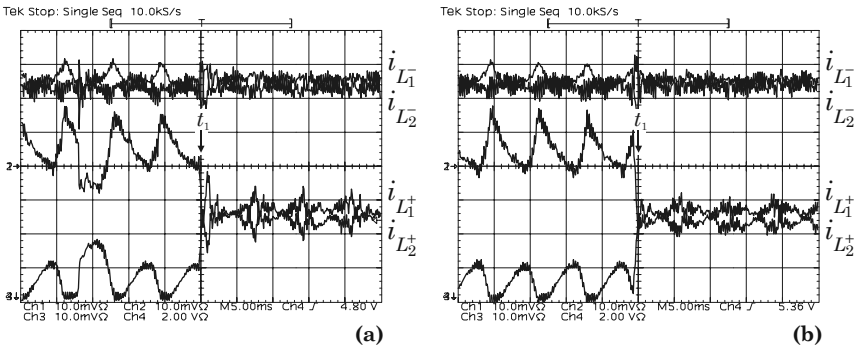


Abb. 8.25: Verhalten der Zwischenkreisströme in den Induktivitäten $L_{12}^{\pm}$ bei Betriebspunkt 2 (Tab. 8.5) bei einem Störwiderstand von 1,5 Ω in Serie zu L_1^+, die symmetrierende Regelung wird zum Zeitpunkt t_1 freigegeben, die Hysterese beträgt $\pm 0,5$ A; **(a)** Regelstruktur 1, **(b)** Regelstruktur 2. Strommaßstab: 2 A/Div., Zeitmaßstab: 5 ms/Div.

Der Verlauf der Zwischenkreisströme weist mit aktiver Regelung 1 (Abb. 8.25(a)) im Vergleich zu aktiver Regelung 2 (Abb. 8.25(b)) größere Stromspitzen auf, da bei Regelung 1 der gesamte Freilaufzustand durch den zusätzlichen Freilaufzustand ersetzt wird, wodurch die erreichte Stromänderung zu groß und damit die symmetrierende Wirkung stärker als erwünscht ist. Bei Regelung 2 wird die Dauer des zusätzlichen Freilaufzustandes berechnet, wodurch ein kontinuierlicher Stromverlauf entsteht.

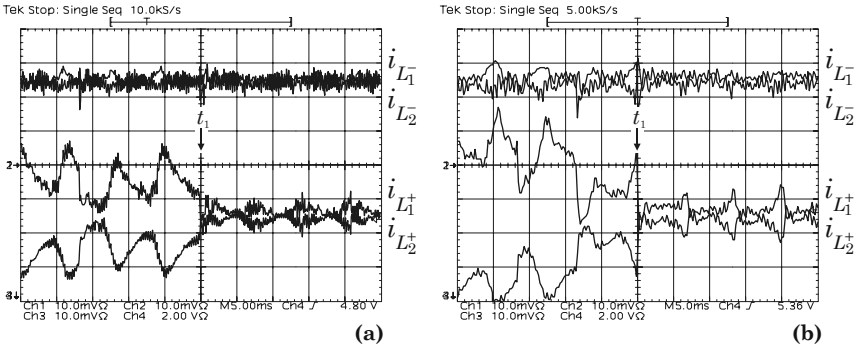


Abb. 8.26: Verhalten der Zwischenkreisströme in den Induktivitäten $L_{12}^{\pm}$ mit Regelstruktur 2 bei **(a)** Betriebspunkt 2 ($M = 0,6$) und **(b)** Betriebspunkt 3 ($M = 0,9$) (Tab. 8.5) bei einem Störwiderstand von 1,0 Ω in Serie zu L_1^+, die symmetrierende Regelung wird zum Zeitpunkt t_1 freigegeben, Hysterese $\pm 0,5$ A. Strommaßstab: 2 A/Div., Zeitmaßstab: 5 ms/Div.

In **Abb. 8.26** ist das Verhalten von Regelung 2 bei einem Störwiderstand von 1,0 Ω in Serie zu Induktivität L_1^+ bei unterschiedlichen Aussteuergraden gezeigt. Bei hohem Aussteuergrad in der Nähe der Aussteuergrenze, vgl. Abb. 8.26(b), erkennt man die Grenzen der symmetrierenden Regelung: da der Freilaufzustand hier sehr kurz ist, ist auch die für die Symmetrierung nutzbare Zeit sehr kurz. Zudem nimmt die Dauer des Freilaufzustandes zur Intervallgrenze hin ab (und wird dort gleich Null), was die periodisch auftretenden Stromspitzen erklärt. Weiters nimmt auch die Spannungsdifferenz zwischen der Spannung jener Phase, deren Leistungstransistor standardmäßig während des Freilaufzustandes im eingeschalteten Zustand geklemmt ist, und der Phase, die zur Erhöhung bzw. Absenkung des Potentials herangezogen wird, zu einem Sektorwechsel hin ab (vgl. Abschnitt 8.4.4.B).

Mit **Abb. 8.27** lässt sich das Verhalten der Zwischenkreisströme für unterschiedliche Hysteresewerte vergleichen. In Abb. 8.27(a) ist ein Hysteresewert von $\pm 0,5$ A, in Abb. 8.27(b) ein Hysteresewert von $\pm 1,0$ A gewählt. Ein besseres Ergebnis wird mit einem kleineren Hysteresewert erzielt, da der Reglereingriff bei einer geringeren Differenz der Zwischenkreisströme beginnt und die Ströme früher in einen Gleichgewichtszustand geführt werden. Für eine breitere Hysterese erhält man hingegen wesentlich höhe-

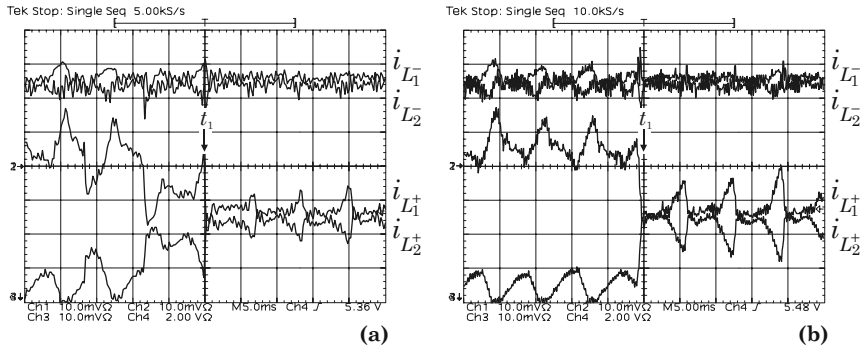


Abb. 8.27: Verhalten der Zwischenkreisströme in den Induktivitäten $L_{12}^{\pm}$ mit Regelstruktur 2 bei Betriebspunkt 3 (Tab. 8.5) bei einem Störwiderstand von 1,0 Ω in Serie zu L_1^+ mit einem Hysteresewert von **(a)** $h = \pm 0,5$ A und **(a)** $h = \pm 1,0$ A, die symmetrierende Regelung wird zum Zeitpunkt t_1 freigegeben. Strommaßstab: 2 A/Div., Zeitmaßstab: 5 ms/Div.

re Stromspitzen an den Intervallgrenzen. Allerdings muss bedacht werden, dass auf Grund der kleineren Hysterese öfter ein zusätzlicher Freilaufzustand eingefügt wird, was in höheren Schaltverlusten resultiert.

8.4.3 Einfluss der Position des Störwiderstandes

Abbildung 8.28 zeigt, dass ein in der positiven Schiene platzierter Störwiderstand einen größeren Einfluss auf die Unsymmetrie hat (Abb. 8.28(a)) als ein Störwiderstand in der negativen Schiene (Abb. 8.28(b)). Die Ursache dafür liegt darin, dass für die Berechnung der Einschaltdauern der Tiefsetzstellereingangsstufen die Ströme in den positiven Schienen herangezogen werden (vgl. Abb. 8.21 und Abb. 8.23).

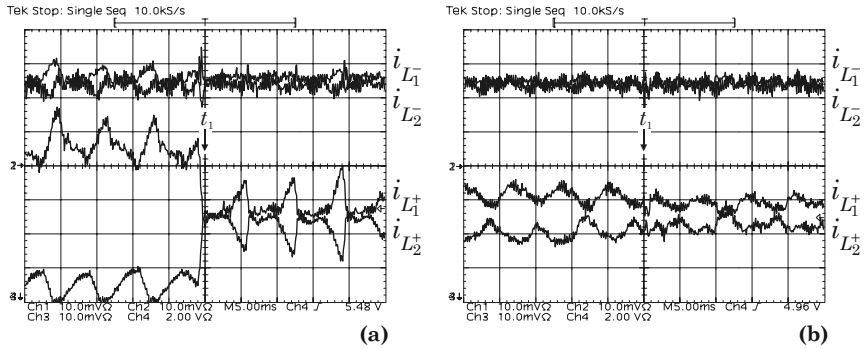


Abb. 8.28: Verhalten der Zwischenkreisströme in den Induktivitäten $L_{12}^{\pm}$ mit Regelstruktur 2 bei Betriebspunkt 3 (Tab. 8.5) bei einem Störwiderstand von 1,0 Ω in Serie zu L_1^+ **(a)** und in Serie zu L_1^- **(b)** mit einem Hysteresewert von **(a)** $h = \pm 1,0$ A, die symmetrierende Regelung wird zum Zeitpunkt t_1 freigegeben. Strommaßstab: 2 A/Div., Zeitmaßstab: 5 ms/Div.

8.4.4 Details des Systemverhaltens

8.4.4.A Schaltzustandsfunktionen

In **Abb. 8.29** sind Ausschnitte aus den Schaltzustandssequenzen für unterschiedliche Betriebsfälle bei Regelkonzept 2 gezeigt. Solange sich der Differenzstrom Δi im Hystereseband $\pm h$ befindet, wird kein zusätzlicher Freilaufzustand eingefügt, vgl. Abb. 8.29(a). Sobald der Differenzstrom gleich dem eingestellten Hysteresewert wird, kommt es zu einem zusätzlichen Freilaufzustand, der in Abb. 8.29(b) gleich dem gesamten Freilaufzustand ist, $t_{add} = t_{FL}$. In Abb. 8.29(c) ist ein Fall gezeigt, wo nur ein Teil des Freilaufzustandes durch den zusätzlichen Freilaufzustand ersetzt wird, $t_{add} < t_{FL}$.

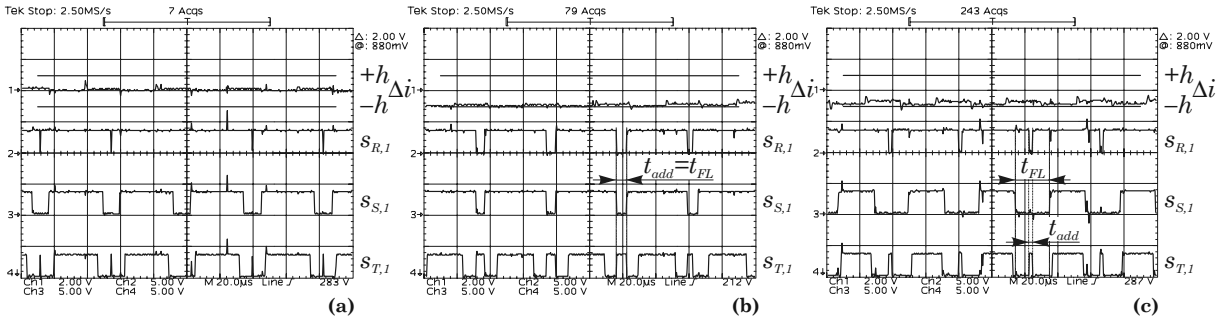


Abb. 8.29: Hystereseband $\pm h$, Differenzstrom Δi und Schaltzustandsfunktionen $s_{i,1}$, $i = R, S, T$ von Gleichrichtersystem 1 für **(a), (b)** Betriebspunkt 3 mit einem Störwiderstand von 0,5 Ω und **(c)** Betriebspunkt 2 (Tab. 8.5) mit einem Störwiderstand von 1 Ω. Hysteresewert: ±1 A, Regelung 2 ist aktiv. Strommaßstab: 2 A/Div., Zeitmaßstab: 20 μs/Div.

8.4.4.B Grenzen des Regelkonzepts

Bei einem hohen Aussteuergrad (Betriebspunkt 3 in Tab. 8.5) und einem großen Störwiderstand von 1 Ω gelingt das Führen des Differenzstromes Δi im Toleranzband $h = \pm 1$ A nicht mehr, obwohl der gesamte Freilaufzustand durch den zusätzlichen Freilaufzustand ersetzt wird, vgl. **Abb. 8.30**(a). Wird der Aussteuergrad jedoch reduziert, kann die Stromdifferenz innerhalb der vorgegebenen Hysterese geführt werden. Dass die symmetrierende Wirkung des zusätzlichen Freilaufzustandes an der Grenze G zwischen zwei Intervallen der Netzperiode gegen Null geht, ist in Abb. 8.30(b) zu erkennen. Der Strom in Induktivität L_2^- müsste verringert werden, steigt jedoch an, obwohl zusätzliche Freilaufzustände eingefügt werden. Der Grund liegt in der immer kleiner werdenden Differenz zwischen den Netzphasenspannungen bei Annäherung an die Intervallgrenze. Erst bei Entfernung von der Intervallgrenze gelingt das erwünschte Absenken des Zwischenkreisstromes.

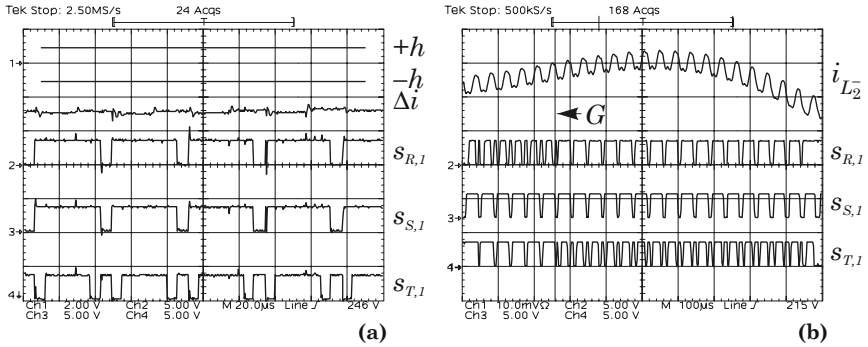


Abb. 8.30: Grenzen des Regelkonzepts: **(a)**: Hystereseband $\pm h$, Differenzstrom Δi und Schaltzustandsfunktionen $s_{i,1}$, $i = R, S, T$ von Gleichrichtersystem 1 für Betriebspunkt 3 mit einem Störwiderstand von 1 Ω. **(b)**: Verhalten an der Intervallgrenze G, Zwischenkreisstrom in Induktivität L_2^- und Schaltzustandsfunktionen $s_{i,1}$ für Betriebspunkt 1 mit einem Störwiderstand von 1 Ω. Strommaßstäbe: (a): 2 A/Div., (b): 1 A/Div., Spannungsmaßstab: 5 V/Div., Zeitmaßstäbe: (a): 20 μs/Div., (b): 100 μs/Div.

8.4.4.C Phasenversetzter Betrieb

Der Vorteil des phasenversetzten Betriebs wird in **Abb. 8.31** gezeigt: Die einzelnen Gleichrichtersysteme 1 und 2 weisen am Eingang einen diskontinuierlichen Stromverlauf auf, vgl. Abb. 8.31(a). Wird eine Phasenverschiebung der Schaltfunktionen um eine halbe Pulsperiode implementiert, dann werden die einzelnen Gleichrichtereingangsströme solcherart addiert, sodass der Gesamt-Gleichrichtereingangsstrom einen Verlauf mit fünf unterschiedlichen Niveaus zeigt (der Eingangsstrom eines Systems weist hingegen nur drei Niveaus auf). D. h. man erhält einen kontinuierlicheren Verlauf mit reduziertem Rippel des Netzstromes im Vergleich zu einem nicht-phasenversetzten Betrieb. Wie Abb. 8.31(b) zeigt, gibt es Bereiche,

in denen sich die diskontinuierlichen Ströme der beiden Gleichrichtersysteme überlappen und damit der Gesamt-Gleichrichtereingangsstrom die Werte I und $2I$ annimmt. Im Bereich des Nulldurchgangs eines Phasenstromes gibt es keine Überlappung der einzelnen Gleichrichtereingangsströme mehr, der Gesamt-Gleichrichtereingangsstrom nimmt dort die Werte 0 und I an, vgl. Abb. 8.31(c). Der in Abschnitt 8.2.1 (vgl. Abb. 8.18) durch digitale Simulation gezeigte Kreisstrom, der aus unterschiedlichen Rippelwerten der Zwischenkreisströme resultiert, ist in Det. A in Abb. 8.31(b) hervorgehoben.

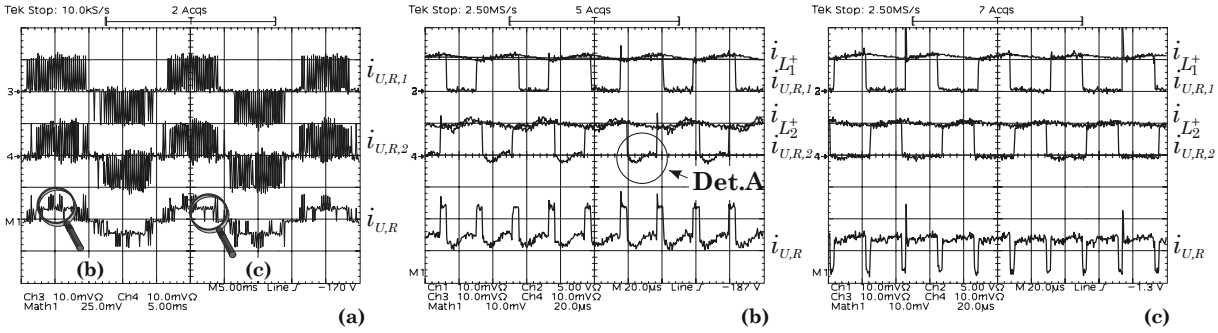


Abb. 8.31: Verhalten der Ströme in den Induktivitäten L_1^+, L_1^- und L_2^+ sowie der diskontinuierlichen Gleichrichtereingangsströme $i_{U,R,1}$ und $i_{U,R,2}$ von System 1 und 2 sowie des Gesamt-Gleichrichtereingangsstromes $i_{U,R}$ in Phase R (erhalten durch die Addition von $i_{U,R,1} + i_{U,R,2}$) **(a)** innerhalb einer Netzperiode sowie **(b), (c)** detailliert. Detail Det. A zeigt den Kreisstrom während des Freilaufzustandes. Strommaßstäbe: $i_{U,R,1}$, $i_{U,R,2}$, i_L: 5 A/Div., $i_{U,R}$: (a): 12,5 A/Div., (b), (c): 5 A/Div., Zeitmaßstäbe: (a): 5 ms/Div., (b), (c): 20 μs/Div.

8.4.5 Netzverhalten

8.4.5.A Einfluss der symmetrierenden Regelung auf das Netzverhalten

Das Verhalten des Netzstromes sowie der Gleichströme in den Induktivitäten L_1^+, L_1^- und L_2^+ mit und ohne Störwiderstand kann in **Abb. 8.32** verglichen werden: obwohl die Gleichströme in Abb. 8.32(b) auf Grund des großen Störwiderstandes von 1,5 Ω und des Betriebs nahe der Aussteuergrenze (Betriebspunkt 3 in Tab. 8.5) hohe Störspitzen wegen des beschränkten Reglereingriffs aufweisen, gibt es keine sichtbare Auswirkung auf den Netzphasenstrom. Der Mittelwert der Total Harmonic Distortion der Netzphasenströme beträgt im gezeigten Fall $3,12$ %, ohne Störwiderstand wurde ein Wert von $3,20$ % gemessen, d. h. es gibt keine verschlechternde Auswirkung der symmetrierenden Regelung auf den Netzphasenstrom.

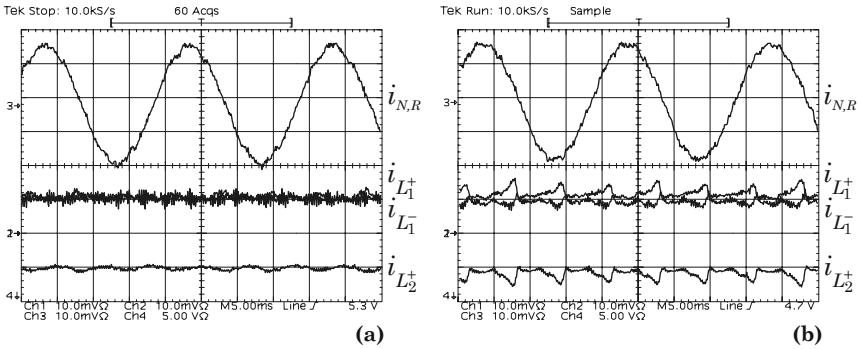


Abb. 8.32: Verhalten des Netzstromes $i_{N,R}$ in Phase R und der Ströme in den Induktivitäten L_1^+, L_1^- und L_2^+ für ungestörten Parallelbetrieb **(a)** und mit einem Störwiderstand von 1,5 Ω, Hysteresewert $\pm h = 1,5$ A bei Betriebspunkt 3 (Tab. 8.5). Strommaßstäbe: $i_{N,R}$, i_L: 5 A/Div., Zeitmaßstab: 5 ms/Div.

8.4.5.B Leistungsfaktor, Wirkungsgrad und Total Harmonic Distortion bei Parallelbetrieb

Für den Parallelbetrieb von zwei Gleichrichtersystemen ohne eingefügte Störquelle wurden die Kenngrößen Leistungsfaktor PF, Wirkungsgrad η und Total Harmonic Distortion THD_A der Netzphasen-

ströme ermittelt, vgl. Tab. 8.6.

P_0	1,5	2,2	3,3	4,0	kW
$U_{N,ll}$	208	208	400	400	V
PF	0,996	0,998	0,994	0,996	-
η	92,5	94,1	93,8	96,2	%
THD_A	3,17	3,07	3,17	3,20	%

Tab. 8.6: Leistungsfaktor PF, Wirkungsgrad η und Total Harmonic Distortion THD_A der Netzphasenströme für unterschiedliche Ausgangsleistungen P_0 bei verschiedenen Netzaußenleiterspannungen $U_{N,ll}$ und 10 A Ausgangsstrom.

Man erkennt in **Abb. 8.33** einen sowohl (fast) konstanten Wert des Leistungsfaktors von $PF \approx 0,996$, d. h. nahe 1,0, als auch eine konstante Total Harmonic Distortion THD_A von etwa $3,1$ % im untersuchten Leistungsbereich. Der Wirkungsgrad η steigt mit steigender Ausgangsleistung (und mit steigender Ausgangsspannung) und erreicht bei 4 kW Ausgangsleistung (d. h. bei Nennausgangsspannung) einen Wert von $97,4$ %. Im Vergleich dazu wurde für einen Betriebspunkt bei $U_{N,ll} = 450$ V und $P_0 = 4$ kW für ein Einzelsystem ein Leistungsfaktor von $PF = 0,997$, eine Total Harmonic Distortion $THD_A = 6,4$ % und ein Wirkungsgrad von $\eta = 95,8$ % ermittelt, vgl. Abb. 7.16.

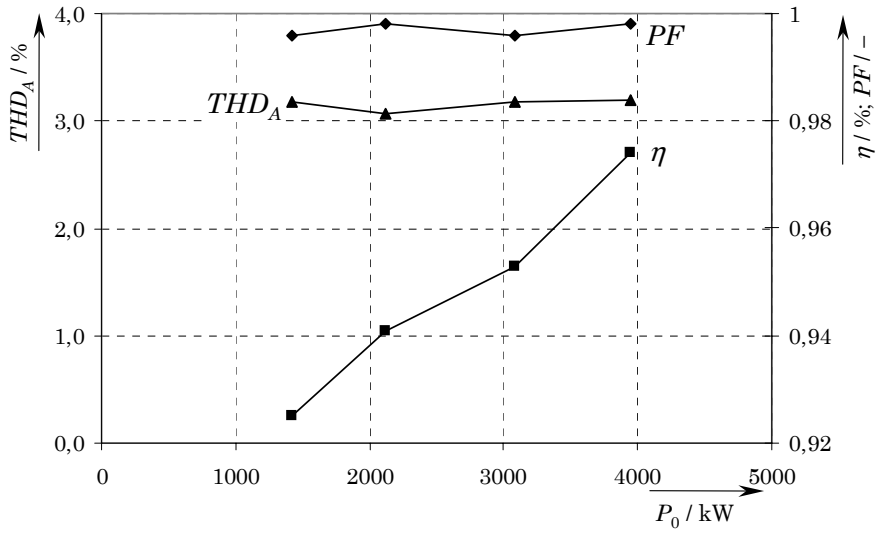


Abb. 8.33: Leistungsfaktor PF, Wirkungsgrad η und Total Harmonic Distortion THD_A der Netzphasenströme in Abhängigkeit der Ausgangsleistung P_0 bei verschiedenen Netzaußenleiterspannungen $U_{N,ll}$ und 10 A Ausgangsstrom.

8.5 Bewertung der Parallelschaltung und mögliche Verbesserungen

Wie die Simulation von zwei parallel geschalteten Drei-Phasen Drei-Schalter tiefsetzstellerbasierten Gleichrichtersystemen zeigt, kann durch die Wahl eines geeignetes Modulationsverfahrens eine gute Eigenstabilität der Aufteilung des Gesamt-Ausgangsstromes auf beide Gleichrichtersysteme erreicht werden. Es wurde jenes Modulationsverfahren gewählt, das geringe Schaltverluste sowie minimale Rippelkomponenten auf der Eingangs- als auch auf der Ausgangsseite aufweist, das phasenversetztes Ansteuern der beiden Teilsysteme ermöglicht zudem eine Reihe von Vorteilen bezüglich Betrieb und praktischer Realisierung. Für den Verlauf des Zwischenkreisstromes spielt auch die Wahl des während des Freilaufzustandes im geschlossenen Zustand verbleibenden Leistungstransistors eine Rolle, es wurde hier der Leistungstransistor gewählt, der in der Phase mit der betragsmäßig geringsten Phasenspannung liegt. Die experimentelle Analyse zeigt, dass die Implementierung dieses Modulationsverfahrens auch ohne symmetrierende Regelung eine sehr gute Aufteilung des Ausgangsstromes auf beide Systeme liefert.

Um das Gleichgewicht der Zwischenkreisströme und damit ein Gleichgewicht der Verlustaufteilung auch im Fall einer vorhandenen Störquelle, wie sie in der Praxis auftreten kann, zu gewährleisten, muss eine symmetrierende Regelstruktur vorgesehen werden. Die vorgestellten Regelstrukturen verwenden einen zusätzlichen Freilaufzustand, wodurch die Teilgleichströme beider Systeme einander angeglichen werden können. Durch den zusätzlichen Freilaufzustand, der den ursprünglichen Freilaufzustand ganz oder teilweise ersetzt (und somit die aktiven Schaltzustände und die Stromaufnahme vom Netz nicht beeinflusst), werden die Stromänderungsraten der beiden Pulsgleichrichtersysteme geändert, wodurch die Gleichströme symmetriert werden können. Die Dauer des zusätzlichen Freilaufzustandes wird dabei in Abhängigkeit der Abweichung der beiden Teilgleichströme voneinander berechnet.

Die experimentelle Analyse zeigt, dass durch das Einfügen eines zusätzlichen Freilaufzustandes zusätzliche Schaltverluste entstehen, daher wird die ursprüngliche Regelstruktur, die zusätzliche Freilaufzustände von beliebiger Dauer (bis zur Dauer des ursprünglichen Freilaufzustandes) erlaubt, durch eine Hystereseregelung ergänzt, die eine Zuschaltung eines zusätzlichen Freilaufes nur dann vorsieht, wenn die Differenz der Zwischenkreisströme der beiden Gleichrichtersysteme einen festgesetzten Hysteresewert von z. B. ± 1 A über- bzw. unterschreitet (Regelung 2). Eine weitere Einsparung von Schaltverlusten kann erfolgen, wenn der gesamte Freilaufzustand durch den symmetrierenden Freilaufzustand ersetzt wird (Regelung 1).

Um die beiden Regelverfahren 1 und 2 vergleichen zu können, wurden Störwiderstände in Serie zu den Zwischenkreisinduktivitäten geschaltet, um Störquellen zu simulieren und so eine Unsymmetrie der beiden Gleichströme zu erhalten. Der Vergleich der Regelstrukturen für unterschiedliche Betriebspunkte zeigt, dass jenes Regelverfahren, das die gesamte Freilaufdauer durch einen zusätzlichen Freilaufzustand ersetzt (Regelverfahren 1), bei geringen Aussteuergraden (d. h. bei langer relativer Dauer des Freilaufzustandes) Störspitzen in den Teilgleichströmen von bis zu 25 % des Ausgangsstromes aufweist. Regelstruktur 2, bei der die Dauer des zusätzlichen Freilaufzustandes in Abhängigkeit der Unsymmetrie berechnet wird, zeigt hier wesentlich besseres Verhalten, es muss jedoch bedacht werden, dass hier zusätzliche Schaltverluste entstehen, die jedoch durch geeignete Wahl der Hysteresebreite gering gehalten werden können. Für die Implementierung in der Praxis wird daher Regelverfahren 2 empfohlen.

Die Analyse des Gesamtverhaltens der parallel geschalteten Pulsgleichrichtersysteme liefert sehr gute durchschnittliche Werte für den Leistungsfaktor von $PF = 0,996$, für den Wirkungsgrad von $\eta = 97,4$ % und für den Klirrfaktor der Eingangsströme $THD_A = 3,2$ %. Weiters zeigt die aktive Regelung zur Symmetrierung der Zwischenkreisströme keinen verschlechternden Einfluss auf das Verhalten der Netzphasenströme.

Vorteilhaft an der vorgestellten Regelstruktur ist auch die Möglichkeit der einfachen Erweiterung auf mehrere (n) parallel geschaltete Systeme, wobei ein symmetrierender Reglereingriff in $n-1$ Systemen vorgesehen werden muss. Die Einbindung der Hochsetzsteller-Ausgangsstufe in die Parallelschaltung erfordert keine Änderung an der beschriebenen Regelstruktur, es wäre auch möglich, den dadurch entstehenden weiteren Freiheitsgrad für Beeinflussung des Zwischenkreisstromes für die Regelung zu nützen. Es muss jedoch bedacht werden, dass die symmetrierende Regelung auch in den Gebieten arbeiten muss, wo die Hochsetzstellerausgangsstufe nicht aktiv ist, womit die Symmetrierung über die Tiefsetzstellereingangsstufe naheliegend ist.

Kapitel 9

Zusammenfassung und Ausblick

In dieser Arbeit wurde ein neuartiges dreiphasiges Pulsgleichrichtersystem mit einer Dreischalter-TTiefsetzstellereingangsstufe und einer integrierten Hochsetzstellerausgangsstufe mit sinusförmigen Netzströmen und ohmschem Grundschwingungsverhalten für einen weltweiten Einsatz, d.h für den Betrieb in einem weiten Eingangsspannungsbereich von 208 V ... 480 V Außenleiterspannung, mit einer Ausgangsspannung von 400 V und einer Nennleistung von 5 kW vorgestellt.

Die Schaltung des Gleichrichtersystems wurde in **Kapitel 1** aus der Kombination eines konventionellen Stromzwischenkreisumrichters mit einer integrierten Hochsetzstellerausgangsstufe entwickelt, wobei die Brückenzweige der eingangsseitigen Tiefsetzstellerstufe derart vereinfacht wurden, dass nur mehr ein Schalter – umgeben von vier Dioden – in jedem Brückenzweig benötigt wird. Damit erreicht man einen minimalen Realisierungsaufwand, der damit verbundene unidirektionale Leistungsfluss ist kein Nachteil, da von der Anwendung als reines Gleichrichtersystem ausgegangen wird.

Das Gleichrichtersystem wurde in **Kapitel 2** theoretisch analysiert und es wurden die Stromraumzeiger bestimmt, die für die Bildung des Eingangsstromes zur Verfügung stehen. Weiters wurden die Strom- und Spannungsbeanspruchung der passiven und aktiven Bauelemente von Tiefsetzstellereingangsstufe und Hochsetzstellerausgangsstufe analytisch berechnet.

Die unterschiedlichen Möglichkeiten, die aktiven Schaltzustände und den Freilaufzustand der Tiefsetzstellereingangsstufe innerhalb einer Pulshalbperiode anzuordnen, sowie die Wahlmöglichkeit, ob und welcher Leistungstransistor während eines $\pi/3$-breiten Netzintervalls im eingeschalteten Zustand verbleiben soll, wurden in **Kapitel 3** hinsichtlich der auftretenden Schaltverluste verglichen und ein Modulationsverfahren mit den geringsten Schaltverlusten ausgewählt, bei dem der Leistungstransistor jener Phase mit der betragsmäßig geringsten Phasenspannung für ein $\pi/3$-breites Intervall im eingeschalteten Zustand ist.

Basierend auf den Ergebnissen der vorhergehenden Kapitel und auf den Systemparametern von 5 kW Ausgangsleistung und 400 V Ausgangsgleichspannung in einem weiten Eingangsspannungsbereich von 208 V ... 480 V Außenleiterspannung wurde in **Kapitel 4** die Dimensionierung eines Leistungsteils vorgenommen, und es wurden die passenden Leistungshalbleiter und deren Schutzbeschaltung sowie die passiven Bauelemente ausgewählt. Auf dem Leistungsteil wurde auch eine Eigenbedarfsversorgung vorgesehen, womit die Ansteuerung der Leistungshalbleiter, die Versorgung der Lüfter und des Steuerteils sichergestellt ist. Der Leistungsteil weist eine Leistungsdichte von 965 W/dm^3 auf. Der Steuerteil wurde mittels eines digitalen Signalprozessors (ADSP 21061 Sharc von Analog Devices) realisiert, in den das Programm zur Regelung des Gleichrichtersystems sowie zur Berechnung der Einschaltdauern der Leistungstransistoren implementiert wurde. Die Anpassung und Überwachung der Größen des Gleichrichtersystems wurde auf einem zusätzlichen Signalanpassungsbord durchgeführt, die Einheiten, die für die Regelung des Gleichrichtersystems durch den Signalprozessor benötigt werden (Digitalisierung der Messwerte, Vorgabe der Dauer einer Pulsperiode, Ausgabe der Schaltsignale), wurden auf einer Peripheriekarte untergebracht, auf die das Signalprozessorbord aufgesteckt ist.

Um die Dimensionierung der Leistungshalbleiter zu kontrollieren, wurde in **Kapitel 5** eine detaillierte experimentelle Analyse des Schaltverhaltens der Leistungstransistoren und -dioden vorgenommen, wobei die Schaltverluste bei allen vorkommenden Schalthandlungen ermittelt und daraus die Gesamtverluste sowie der Wirkungsgrad berechnet wurden. Damit können ein sicherer Betriebsbereich in Abhängigkeit

von Schaltfrequenz und Ausgangsleistung und somit die zulässigen Betriebsparameter ermittelt werden, wobei die Pulsfrequenz auf $f_P \approx 24$ kHz für die gewünschte Ausgangsleistung und den weiten Eingangsspannungsbereich festgelegt wurde. Der berechnete Wirkungsgrad liegt dabei zwischen $95,0$ % und $96,2$ %. Die Analyse des Schaltverhaltens und die Festlegung der zulässigen Betriebsparameter wurden auch für die Realisierung der Tiefsetzstellereingangsstufe mit von IYXS Semiconductor GmbH gefertigten Modulen VUI 30-12N1, die die Leistungshalbleiter eines Brückenzweiges enthalten, durchgeführt. Mit einem modularen Aufbau kann damit z. B. eine Ausgangsleistung von 10 kW bei einem Wirkungsgrad von etwa $95,5$ % für die Tiefsetzstellerstufe erreicht werden. Weiters wurde in diesem Kapitel der Einfluss von Nichtidealitäten auf das Betriebsverhalten des Gleichrichtersystems untersucht. Es zeigte sich, dass mehrere Faktoren den globalen Mittelwert der Tiefsetzstellerausgangsspannung beeinflussen, was jedoch schon durch einen Regler mit geringer Bandbreite ausgeglichen werden kann. Weiters beeinflusst die Signalmessung das Verhalten der Ausgangsgrößen, dieser Einfluss kann jedoch durch die Verwendung von genauen Widerständen gering gehalten werden, der Einfluss der Flussspannungsabfälle der Leistungshalbleiter könnte durch eine geeignete Vorsteuerung zum Großteil aufgehoben werden.

In **Kapitel 6** wurden die in Kapitel 3 vorgestellten Modulationsverfahren hinsichtlich der Spannungsbelastung an den eingangsseitigen Filterkondensatoren sowie hinsichtlich des Rippelstromes an der Zwischenkreisinduktivität verglichen, wobei sich zeigte, dass jenes Modulationsverfahren, das die geringsten Schaltverluste aufweist, auch die kleinste Rippelbelastung der Eingangsfilterkondensatoren und der Zwischenkreisinduktivität zeigt. Weiters wurde in diesem Kapitel auch die Grundlage für eine genaue Dimensionierung der eingangsseitigen Kondensatoren und der ausgangsseitigen Induktivität gegeben.

Die in **Kapitel 7** entworfene Regelstruktur weist die Eigenschaft auf, dass ein Betrieb des Gleichrichtersystems mit ohmschem Netzverhalten auch in unterschiedlichen Netzfehlerzuständen weiterhin möglich ist, wobei das unsymmetrische Netz, der Ausfall einer Phase sowie der Kurzschluss und der Erdschluss bei gleichzeitigem Phasenausfall als Fehlerzustände angenommen wurden. Die Regelung wurde so konzipiert, dass keine Umschaltung der Regelstruktur zwischen Normalbetrieb und dem Betrieb in einem Fehlerzustand notwendig ist, weiters wurde eine Reduktion der Ausgangsleistung im Fall eines zweiphasigen Betriebszustandes vorgesehen, um eine Überlastung des Gleichrichters zu vermeiden. Die experimentelle Analyse zeigte eine einwandfreie Funktion der Regelung des Gleichrichtersystems sowohl im stationären Betrieb als auch beim Übergang vom Normalzustand in einen Fehlerzustand oder beim Übergang zwischen zwei Fehlerzuständen, wobei die Netzphasenströme stets proportional zur Netzphasenspannung waren. Weiters kam es in den untersuchten Betriebsfällen zu keinen nennenswerten Überspannungs- oder Überstromspitzen. Die charakteristischen Kenngrößen des Gleichrichtersystems wie Leistungsfaktor, Total Harmonic Distortion der Netzphasenströme und Wirkungsgrad weisen für den Betrieb in einem Fehlerfall ähnliche Werte wie im Normalbetrieb auf, dort wurden für Ausgangsleistungen größer 2 kW für den Leistungsfaktor Werte zwischen 0,990 und 0,998 ermittelt, die Ausnahme stellt nur der Bereich kleiner Eingangsspannung dar; die Total Harmonic Distortion der Netzphasenströme lag zwischen 2 % und 10 %, wobei sich die hohen Werte durch die Resonanz des Eingangsfilters mit dem versorgenden Spartransformator erklären lassen; für den Wirkungsgrad wurden Werte zwischen 91,0 % und 96,5 % gemessen, wobei die Ergebnisse bei höherer Eingangsspannung auf Grund der geringeren Ströme besser sind.

Um eine höhere Ausgangsleistung als die mit 5 kW angenommene Nennleistung zu erhalten, wurde in **Kapitel 8** die Parallelschaltung von zwei Eingangsstufen des Gleichrichtersystems untersucht. Für die Ansteuerung der Leistungshalbleiter der Gleichrichtersysteme zeigte sich das schon in den Kapiteln 3 und 6 bevorzugte Modulationsverfahren als günstig hinsichtlich der Eigenstabilität der Stromaufteilung zwischen den Gleichrichtersystemen sowie hinsichtlich des Stromrippels an den Zwischenkreisinduktivitäten, wobei die Schaltzustandssequenzen der Gleichrichtersysteme um eine halbe Pulsperiode verschoben wurden, um die eingangs- und ausgangsseitigen Rippelkomponenten zu minimieren. Weiters erwies es sich als vorteilhaft, den Leistungstransistor jener Phase, die die betragsmäßig kleinste Spannung aufweist, während eines $\pi/3$-breiten Netzintervalls im eingeschalteten Zustand zu belassen. Die Symmetrierung der Zwischenkreisströme – und damit der Lastaufteilung zwischen den beiden Gleichrichtersystemen – wurde durch unterschiedliche Freilaufzustände realisiert, die den ursprünglichen Freilaufzustand entweder teilweise oder ganz ersetzen können. Es wurden unterschiedliche Regelstrukturen vorgestellt, wobei sich in der experimentellen Analyse jene Regelstruktur als vorteilhaft erwiesen hat, die in einem Gleichrichtersystem einen zusätzlichen Freilaufzustand mit variabler Länge bis zur Dauer des ursprünglichen Freilaufzustandes einfügt, wenn die Differenz der beiden Zwischenkreisströme einen bestimmten Wert überschreitet. Im untersuchten Leistungsbereich bis 4 kW Ausgangsleistung bei Nennausgangsspannung

wurde für die Parallelschaltung von zwei Tiefsetzstellereingangsstufen ein Leistungsfaktor von 0,996, eine Total Harmonic Distortion der Netzphasenströme von 3,1 % und ein Wirkungsgrad von 97,4 % ermittelt.

Zusammenfassend kann gesagt werden, dass das dreiphasige Pulsgleichrichtersystem mit Dreischalter-Tiefsetzstellereingangsstufe und integrierter Hochsetzstellerausgangsstufe für unterschiedliche Anwendungen, wie etwa als Versorgung von Umrichtern mit variabler Zwischenkreisspannung für z.B. Heizung, Lüftung und Klimaanlagen, als Telekommunikations-Stromversorgungsmodul oder als Stromversorgung für industrielle Prozesse wie z.B. induktive Heizung oder Schweißen eingesetzt werden kann; die Ausgangsspannung von 400 V erlaubt weiters den Einsatz von DC/DC-Konvertern, wie sie aus Einphasen-Anwendungen bekannt sind. Die großen Vorteile des Gleichrichtersystems gegenüber einem einfachen Hochsetzsteller oder Tiefsetzsteller sind

- der hohe Wirkungsgrad von bis zu 96,5 % über einen weiten Eingangsspannungsbereich,
- die einfache Regelstruktur, die auf Phasengrößen und nicht auf der Raumzeigerregelung beruht,
- das ohmsche Netzverhalten auch während eines Netzfehlers, wobei
- im Fall des zweiphasigen Betriebs noch etwa 60 % der Ausgangsleistung geliefert werden können,
- die einfache Möglichkeit der Parallelschaltung von mehreren Systemen, womit die Rippelkomponenten der Eingangs- und Ausgangsgrößen weiter abgesenkt und die Baugröße der Filterkomponenten reduziert werden können,
- der einfache Aufbau des Leistungsteils – gegenüber einem Hochsetzsteller kann eine Hochlaufeinrichtung entfallen,
- die Möglichkeit des Einsatzes von Leistungsmodulen, womit der Aufbau des Leistungsteils wesentlich vereinfacht werden kann.

Die weiteren Schritte in der Entwicklung des Gleichrichtersystems sind der Einsatz neuer regelungstechnischen Methoden und die Realisierung eines noch kompakteren Systems unter Verwendung der neuesten Technologien für Kühlung, Leistungshalbleiter und passive Komponenten.

Literaturverzeichnis

[1] **Mohan, N., Undeland, T. and Robbins, W.:** *Power Electronics – Converters, Applications and Design.* John Wiley and Sons, Inc., New York, 2. Auflage (1995).

[2] **Miniböck, J., Kolar, J. W., and Ertl, H.:** *Design and Experimental Analysis of a 10 kW Dual 400 V/48 V Interleaved Two-Transistor DC/DC Forward Converter System Supplied by a VIENNA Rectifier I.* 41st International Power Conversion Conference, Nürnberg, Deutschland, 6. – 8. Juni (2000).

[3] **Ridley, R., Kern, S. and Fuld, B.:** *Analysis and Design of a Wide Input Voltage Range Power Factor Correction Circuit for Three-Phase Applications.* 8th IEEE Applied Power Electronics Conference (APEC), ??, ??, U.S.A., 7. – 1. März, S. 299 – 305 (1993).

[4] **Malesani, L., and Tenti, P.:** *Three-Phase AC/DC PWM Converter with Sinusoidal AC Currents and Minimum Filter Requirements.* IEEE Transactions on Industry Applications, Vol. IA-23, No. 1, S. 71 – 77 (1987).

[5] **Williams, B.W., Mirkazemi-Moud, M., Tooth, D., and Finney, S.J.:** *A Three-Phase AC to DC Converter with Controllable Displacement Factor.* 26th IEEE Power Electronics Specialists Conference, Atlanta (GA), U.S.A., 18. – 22. Juni, Vol. II, S. 996 – 1000 (1995).

[6] **Kolar, J. W., Drofenik, U., and Zach, F. C.:** *VIENNA Rectifier III – A Novel Three-Phase Single-Stage Buck-Derived Unity Power Factor AC-to-DC Converter System.* Record of the 1st Nordic Workshop on Power and Industrial Electronics, Espoo, Finnland, 26. – 27. Aug. (1998).

[7] **Kolar, J. W.:** *Netzrückwirkungsarmes Dreiphasen-Stromzwischenkreis-Pulsgleichrichtersystem mit weitem Stellbereich der Ausgangsspannung.* Austrian Patent Application A9/2000, angemeldet: 5. Jan. 2000.

[8] **Kolar, J. W., Ertl, H. and Zach, F.C.:** *Realization Considerations for Unidirectional Three-Phase PWM Rectifier Systems with Low Effects on the Mains.* 6th International Conference on Power Electronics and Motion Control, Budapest, Ungarn, 1. – 3. Okt., Vol. 2, S. 560–565 (1990).

[9] **Kleinrath, H.:** *Grundlagen Elektrischer Maschinen.* studien-text. Wiesbaden: Akademische Verlagsgesellschaft (1975).

[10] **Holtz, J.:** *Pulsewidth Modulation for Electronic Power Conversion.* Proceedings of the IEEE, Vol. 82, No. 8, August (1994).

[11] **Kolar, J. W., Ertl, H. and Zach, F.C.:** *Design and Experimental Investigation of a Three-Phase High Power Density High Efficiency Unity Power Factor PWM (VIENNA) Rectifier Employing a Novel Power Semiconductor Module.* 11th IEEE Applied Power Electronics Conference, San Jose (CA), U.S.A., 3. – 7. März, Vol. 2, S. 514 – 523 (1996).

[12] **Morauf, G.:** *Signalprozessorregelung eines neuen Dreiphasen-Pulsgleichrichtersystems mit weitem Eingangsspannungsbereich (VIENNA Rectifier IV).* Diplomarbeit, Institut für Elektrische Antriebe und Maschinen, Technische Universität Wien (2001).

[13] **Nussbaumer, T., and Kolar, J. W.:** *Comparative Evaluation of Control Techniques for a Three-Phase Three-Switch Buck-Type AC-to-DC PWM Converter System.* 3rd IEEE Nordic Workshop on Power and Industrial Electronics, Stockholm, Sweden, 12. – 14. Aug., CD-ROM, ISSN: 1650 674x (2002).

[14] **International Rectifier:** *Warp Speed IGBT IRG4PF50W.* Datenblatt 4/15/98. www.irf.com (1998).

[15] **Intersil:** *Ultrafast Diode RURG30100.* Datenblatt 01/2000, File Number 3213.2. www.intersil.com (2000).

[16] **International Rectifier:** *Warp Speed IGBT IRG4PC40W.* Datenblatt 9/30/97. www.irf.com (1997).

[17] **Intersil:** *Ultrafast Diode RURG3060.* Datenblatt 01/2000, File Number 3212.2. www.intersil.com (2000).

[18] **Fischer:** *Hohlrippen-Lüfteraggregat mit Vorkammer LA V 9.* Fischer Elektronik Katalog S. A 161 (2000).

[19] **RS Components:** *Silikonimprägnierte Isolierscheiben für TO3P.* RS Components, S. 1223 (2004).

[20] **EVOX Rifa:** *EMI Suppressor Capacitor PHE844.* Datenblatt 06/2001 (2001).

[21] **Epcos:** *EMI Suppressor Capacitors X2 / 300Vac B81131-C1105-M.* Datenblatt 12/2000 (2000).

[22] **Siemens Matsushita Components:** *Snap-In Capacitor B43501-A5157-M.* Datenbuch S. 207 – 214 (1999).

[23] **Analog Devices:** *ADSP-2106x SHARC DSP Microcomputer Family; ADSP-21061/ADSP-21061L.* Datenblatt, Rev. B, U.S.A. (2000).

[24] **Analog Devices:** *ADSP-2106x SHARC EZ-KIT Lite Reference Manual (Hardware Rev. 1).* U.S.A. (1997).

[25] **LEM:** *Kompensations-Stromwandler mit kleiner Montagefläche bis 100 A Nennstrom.* Datenblatt (2000).

[26] **Kolar, J. W., Baumann, M., Schafmeister, F., Ertl, H.:** *Novel Three-Phase AC-DC-AC Sparse Matrix Converter.* 17th IEEE Applied Power Electronics Conference, Dallas, TX, U.S.A, 10. – 14. März, Vol. 2, S. 777 - 791 (2002).

[27] **Holtz, J.:** *Pulsewidth Modulation – A Survey.* IEEE Transactions on Industrial Electronics, Vol. 39, No. 5 (1992).

[28] **Stögerer, F.:** *Theoretische und experimentelle Untersuchung eines dreiphasigen einstufigen tiefsetzstellerbasierten Pulsgleichrichtersystems (VIENNA Rectifier III) mit sinusförmiger Eingangsstromführung und hochfrequent potentialgetrennter Ausgangsspannung.* Dissertation, Institut für Elektrische Antriebe und Maschinen, Technische Universität Wien (2003).

[29] **Schindele, L.:** *Optimierung eines Stromzwischenkreisumrichtersystems.* Diplomarbeit 1063, Electrical Engineering Laboratory, University of Karlsruhe (1999).

[30] **Silikongummiertes Isoliermaterial für Halbleiter:** *Standard Silikonfolie WS 247.* Fischer Elektronik Katalog, S. E 6 – E 8 (2004).

[31] **High Performance Kapton-Isolierscheiben:** Fischer Elektronik Katalog, S. E 12 (2004).

[32] **IXYS Semiconductors GmbH:** *Common Cathode Fast Recovery Epitaxial Diode DSEK 60.* Datenblatt (1999).

[33] **IXYS Semiconductors GmbH:** *High Voltage IGBT IXDH 30N120.* Datenblatt (1999).

[34] **IXYS Semiconductors GmbH:** *Rectifier Module for Three Phase Power Factor Correction VUM 25-05.* Datenblatt (2000).

[35] **Kolar, J. W., Zach, F.C.:** *A Novel Three-Phase Three-Switch Three-Level PWM Rectifier.* 28th Power Conversion Conference, Nürnberg, Deutschland, 28. – 30. Juni, S. 125 – 138 (1994).

[36] **IXYS Semiconductors GmbH:** *Rectifier Module for Three Phase Power Factor Correction VUI 30-12 N1.* Datenblatt (2001).

[37] **Kolar, J. W., and Sun, J.:** *Three-Phase Power Factor Correction Technology.* Tutorial Workbook of the 32nd IEEE Power Electronics Specialists Conference, Seminars 1 & 4, Vancouver, Canada, 17. – 21. Juni (2001).

[38] **Eggert, B.:** *Rückwirkungen des idealen Netzpulsstromrichters am realen Netz.* ETG-Fachbericht 72 (in German), ETG-Fachtagung, Bad Nauheim, Germany, 12. – 13. Mai (1998).

[39] **Halkosaari, T., Kuusela, K., and Tuusa, H.:** *Effect of Non-Idealities on the Performance of the 3-Phase Current Source PWM Converter.* Proceedings of the 32nd IEEE Power Electronics Specialists Conference, Vancouver, Canada, 17. – 21. Juni, S. 654 – 659 (2001).

[40] **Smedley, K.M., and Cuk, S.:** *One-cycle control of switching converters.* Proceedings of the 22nd Power Electronics Specialists Conference, Boston, Massachusetts, U.S.A., 24. – 27. Juni, S. 888 – 896 (1991).

[41] **Cuadros, C., Chandrasekaran, S., Wang, K., Boroyevich, D., and Lee, F.C.:** *Modeling an Comparison of Two Modified Vector Modulation Schemes with Feed-Forward for the Quasi-Single Stage Three-Phase Zero-Voltage Zero-Current Switched Buck Rectifier.* Proceedings of the 7th European Conference on Power Electronics and Applications, Lausanne, Switzerland, 7. – 9. Sept. (1999).

[42] **Wang, K., Boroyevich, D., and Lee, F.C.:** *Charge Control of Three-Phase Buck PWM Rectifiers.* Proceedings of the 15th Applied Power Electronics Conference, New Orleans, Louisiana, U.S.A., 6. – 10. Feb., S. 824 – 831 (2000).

[43] **Halkosaari, T., Tuusa, H.:** *Optimal Vector Modulation of a PWM Current Source Converter According to Minimal Switching Losses.* 31st IEEE Power Electronics Specialists Conference, 18. – 23. Juni, Galway, Irland, S. 127 – 132 (2000).

[44] **Halkosaari, T., Tuusa, H.:** *Optimal Vector Modulation of a PWM Current Source Converter According to Minimum Distortion Constraint.* International Power Electronics Conference, 3. – 7. April, Tokyo, Japan, Vol. 2, S. 958 – 963 (2000).

[45] **Kolar, J. W., Ertl, H., Zach, F.C.:** *Analytically Closed Optimization of the Modulation Method of a PWM Rectifier System with High Pulse Rate.* 17th International Conference on Intelligent Motion, München, Deutschland, 25. – 29. Juni, S. 370 – 381 (1990).

[46] **CASPOC:** *Power Electronics and Electrical Drives Modeling and Simulation.* www.caspoc.com.

[47] **Suh, Y., Tijeras, V., and Lipo, T. A.:** *A Nonlinear Control of the Instantaneous Power in dq Synchronous Frame for PWM AC/DC Converter under Generalized Unbalanced Operating Conditions.* 37th IEEE Industry Applications Conference, Pittsburgh, Pennsylvania, U.S.A., 13. – 18. Okt., S. 1189 – 1196 (2002).

[48] **Ide, P., Froehleke, N., Grotstollen, H., Korb, W., and Margaritis, B.:** *Operation of a Three-Phase/Three-Level-Rectifier in Wide Range and Single-Phase Applications.* 25th Annual Conference of the IEEE Industrial Electronics Society, San Jose, California, U.S.A., 29. Nov. – 3. Dez., S. 557 – 582 (1999).

[49] **Stögerer, F., Miniböck, J., and Kolar, J. W.:** *A Novel Control Concept for Reliable Operation of a VIENNA Rectifier under Heavily Unbalanced Mains Voltage Conditions.* Drives and Controls and Power Electronics Conference, London, U.K., 13. – 15. März, Session 5, S. 39 – 46 (2001).

[50] **Stögerer, F., Miniböck, J., and Kolar, J. W.:** *Implementation of a Novel Control Concept for Reliable Operation of a VIENNA Rectifier under Heavily Unbalanced Mains Voltage Conditions.* 32nd Power Electronics Specialists Conference, Vancouver, Canada, 17. – 21. Juni, Vol. 3, S. 1333 – 1338 (2001).

[51] **Miniböck, J., Greul, R. and Kolar, J. W.:** *A Novel Control Concept for Operating a Two-Stage Δ-Rectifier-Based Telecommunications Power Supply Module under Heavily Unbalanced Mains Voltage Conditions.* 17th IEEE Applied Power Electronics Conference, Dallas, Texas, U.S.A., 10. – 14. März, Vol. 2, S. 716 – 721 (2002).

[52] **Kolar, J. W., und Baumann, M.:** *Vorrichtung zur Sicherstellung sinusförmiger Stromaufnahme eines dreiphasigen Tief-Hochsetzsteller-Pulsgleichrichtersystems bei unsymmetrischer Netzspannung und Phasenausfall.* Austrian Patent Application A30/2003, angemeldet: 13. Jan., 2003.

[53] **Voltech:** *PM 300 Power Analyzer User Manual.* Voltech Instruments Ltd, Version 04, Oxon, England (1996).

[54] **Tooth, D.J., Finney, S.J., McNeill, J.N., and Williams, B.W.:** *Soft Switching and Interleaving For Sinusoidal Input Current AC to DC Step Down Converters.* Proceedings of the 27th Power Electronics Specialists Conference, Baveno, Italy, 23. – 27. Juni, Vol. 1, S. 183 – 187 (1996).

[55] **Kelkar, S., and Henze, C.P.:** *A High Performance Three-Phase Unity Power Factor Rectifier Using Interleaved Buck Derived Topology for High Power Battery Charging Applications.* Proceedings of the 32nd Power Electronics Specialists Conference, Vancouver, Canada, 17. – 21. Juni, Vol. 2, S. 1013 – 1018 (2001).

[56] **Ye, Z., and Boroyevich, D.:** *A Novel Modeling and Control Approach for Parallel Three-Phase Buck-Rectifiers.* Conference Record of the 2001 IEEE Industrial Applications Conference, 36th IAS Annual Meeting, Chicago, Illinois, U.S.A, 30. Sept. – 4. Okt., Vol. 1, S. 350 – 365 (2001).

[57] **Ye, Z., Boroyevich, D., Choi, J.Y., and Lee, F.C.:** *Control of circulating current in parallel three-phase boost rectifiers.* Proceedings of the 15th Annual IEEE Applied Power Electronics Conference, New Orleans, Louisiana, 6. – 10. Feb., Vol. 1, S. 506 – 512 (2000).

[58] **Chandorkar, M.C., Divan, D.M., and Lasseter, R.H.:** *Control Techniques for Multiple Current Source GTO Converters.* IEEE Transactions on Industry Applications, Vol. 31, No. 1, S. 134 – 140 (1995).

[59] **Tooth, D.J.:** *The Behaviour and Analysis of a Three-Phase AC-DC Step-Down Unity Power Factor Converter.* Dissertation an der Heriot-Watt University, Department of Computing and Electrical Engineering, Juli 1999.

[60] **Kawabata, T., and Higashino, S.:** *Parallel Operation of Voltage Source Inverters.* IEEE Transactions on Industry Applications, Vol. 24, No. 2, S. 281 – 287 (1988).

[61] **Xing, K., Lee, F.C., Borojevich, D., Ye, Z., and Mazumder, S.:** *Interleaved PWM with Discontinuous Space-Vector Modulation.* IEEE Transactions on Power Electronics, Vol. 14, No. 5, S. 906 – 917 (1999).

[62] **Kolar, J. W., und Baumann, M.:** *Verfahren zur Unterdrückung von Kreisströmen zwischen parallel geschalteten Dreiphasen-Pulsgleichrichtersystem mit eingeprägtem Ausgangsstrom.* Austrian Patent Application A730/2002, angemeldet: 13. Mai, 2002.

[63] **Subirà Terradas, L.:** *Aufbau und experimentelle Analyse der Parallelschaltung von zwei Dreiphasen-Dreischalter-Pulsgleichrichtersystemen.* Diplomarbeit, Institut für Elektrische Antriebe und Maschinen, Technische Universität Wien (2002).

[64] **Kolar, J. W., Ertl, H., Zach, F.C.:** *Analytically Closed Optimization of the Modulation Method of a PWM Rectifier System with High Pulse Rate.* Proceedings of the Power Conversion and Intelligent Motion Conference (PCIM), München, Deutschland, 25. – 28. Juni (1990).

[65] **Schreitl, P.:** *Analyse und Simulation der hochdynamischen Regelung eines neuen einstufigen Dreiphasen-Pulsgleichrichtersystems (VIENNA Rectifier III) mit integrierter Potentialtrennung.* Diplomarbeit, Institut für Elektrische Antriebe und Maschinen, Technische Universität Wien (1999).

Anhang A

Stromraumzeiger und Berechnung der Einschaltdauern

A.1 Leitzustände und Stromraumzeiger

A.1.1 Intervall 1, $\varphi_N \in (0; \frac{\pi}{3})$

Netzspannungsverhältnis $u_{N,R} > u_{N,S} > u_{N,T}$.

s_R	s_S	s_T	$i_{U,R}$	$i_{U,S}$	$i_{U,T}$	$\underline{i}_{U,j}$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	$+I$	$-I$	$\frac{2}{\sqrt{3}}\,\jmath\,I$
1	0	0	0	0	0	0
1	0	1	$+I$	0	$-I$	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{\pi}{6}}$
1	1	0	$+I$	$-I$	0	$\frac{2}{\sqrt{3}}\,I\,e^{-\jmath\frac{\pi}{6}}$
1	1	1	$+I$	0	$-I$	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{\pi}{6}}$

Tab. A.1: Schaltzustandsfunktionen s_i, dazugehörige Gleichrichtereingangsströme $i_{U,i}$ und Stromraumzeiger $\underline{i}_{U,j}$ für Intervall 1.

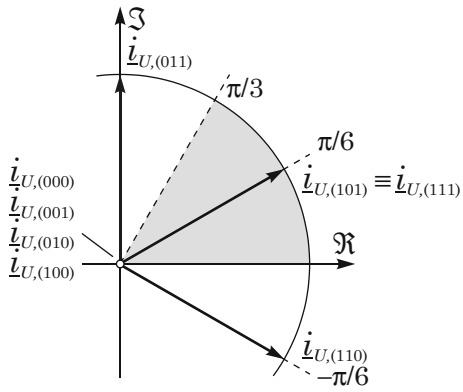


Abb. A.1: Am Gleichrichtereingang in Intervall 1 zur Verfügung stehende Stromraumzeiger $\underline{i}_{U,j}$.

A.1.2 Intervall 2, $\varphi_N \in (\frac{\pi}{3}; \frac{2\pi}{3})$

Netzspannungsverhältnis $u_{N,S} > u_{N,R} > u_{N,T}$.

s_R	s_S	s_T	$i_{U,R}$	$i_{U,S}$	$i_{U,T}$	$\underline{i}_{U,j}$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	$+I$	$-I$	$\frac{2}{\sqrt{3}}\,\jmath\,I$
1	0	0	0	0	0	0
1	0	1	$+I$	0	$-I$	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{\pi}{6}}$
1	1	0	$-I$	$+I$	0	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{5\pi}{6}}$
1	1	1	0	$+I$	$-I$	$\frac{2}{\sqrt{3}}\,\jmath\,I$

Tab. A.2: Schaltzustandsfunktionen s_i, dazugehörige Gleichrichtereingangsströme $i_{U,i}$ und Stromraumzeiger $\underline{i}_{U,j}$ für Intervall 2.

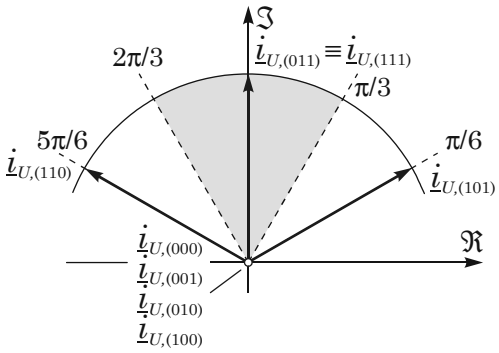


Abb. A.2: Am Gleichrichtereingang in Intervall 2 zur Verfügung stehende Stromraumzeiger $\underline{i}_{U,j}$.

A.1.3 Intervall 3, $\varphi_N \in (\frac{2\pi}{3}; \pi)$

Netzspannungsverhältnis $u_{N,S} > u_{N,T} > u_{N,R}$.

s_R	s_S	s_T	$i_{U,R}$	$i_{U,S}$	$i_{U,T}$	$\underline{i}_{U,j}$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	$+I$	$-I$	$\frac{2}{\sqrt{3}}\,\jmath\,I$
1	0	0	0	0	0	0
1	0	1	$-I$	0	$+I$	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{7\pi}{6}}$
1	1	0	$-I$	$+I$	0	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{5\pi}{6}}$
1	1	1	$-I$	$+I$	0	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{5\pi}{6}}$

Tab. A.3: Schaltzustandsfunktionen s_i, dazugehörige Gleichrichtereingangsströme $i_{U,i}$ und Stromraumzeiger $\underline{i}_{U,j}$ für Intervall 3.

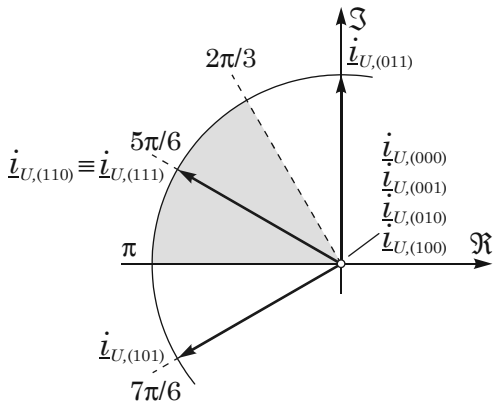


Abb. A.3: Am Gleichrichtereingang in Intervall 3 zur Verfügung stehende Stromraumzeiger $\underline{i}_{U,j}$.

A.1.4 Intervall 4, $\varphi_N \in (\pi; \frac{4\pi}{3})$

Netzspannungsverhältnis $u_{N,T} > u_{N,S} > u_{N,R}$.

s_R	s_S	s_T	$i_{U,R}$	$i_{U,S}$	$i_{U,T}$	$\underline{i}_{U,j}$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	$-I$	$+I$	$-\frac{2}{\sqrt{3}}\,\jmath\,I$
1	0	0	0	0	0	0
1	0	1	$-I$	0	$+I$	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{7\pi}{6}}$
1	1	0	$-I$	$+I$	0	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{5\pi}{6}}$
1	1	1	$-I$	0	$+I$	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{7\pi}{6}}$

Tab. A.4: Schaltzustandsfunktionen s_i, dazugehörige Gleichrichtereingangsströme $i_{U,i}$ und Stromraumzeiger $\underline{i}_{U,j}$ für Intervall 4.

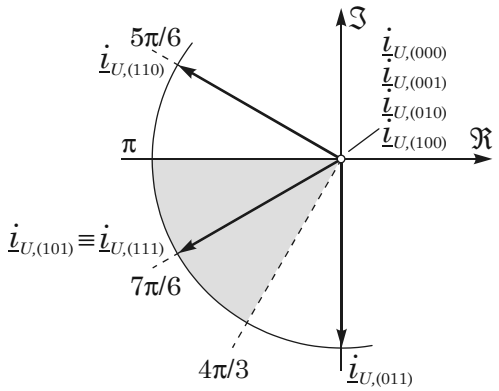


Abb. A.4: Am Gleichrichtereingang in Intervall 4 zur Verfügung stehende Stromraumzeiger $\underline{i}_{U,j}$.

A.1.5 Intervall 5, $\varphi_N \in (\frac{4\pi}{3}; -\frac{\pi}{3})$

Netzspannungsverhältnis $u_{N,T} > u_{N,R} > u_{N,S}$.

s_R	s_S	s_T	$i_{U,R}$	$i_{U,S}$	$i_{U,T}$	$\underline{i}_{U,j}$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	$-I$	$+I$	$-\frac{2}{\sqrt{3}}\,\jmath\,I$
1	0	0	0	0	0	0
1	0	1	$-I$	0	$+I$	$\frac{2}{\sqrt{3}}\,I\,e^{+\jmath\frac{7\pi}{6}}$
1	1	0	$+I$	$-I$	0	$\frac{2}{\sqrt{3}}\,I\,e^{-\jmath\frac{\pi}{6}}$
1	1	1	0	$-I$	$+I$	$-\frac{2}{\sqrt{3}}\,\jmath\,I$

Tab. A.5: Schaltzustandsfunktionen s_i, dazugehörige Gleichrichtereingangsströme $i_{U,i}$ und Stromraumzeiger $\underline{i}_{U,j}$ für Intervall 5.

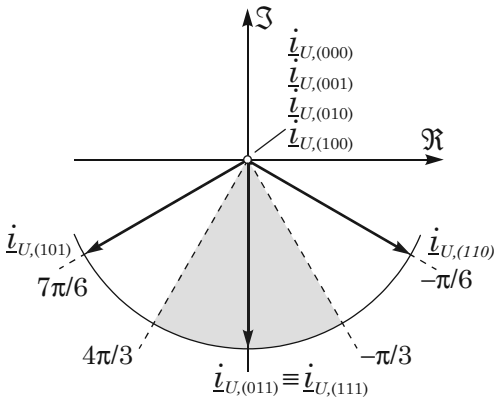


Abb. A.5: Am Gleichrichtereingang in Intervall 5 zur Verfügung stehende Stromraumzeiger $\underline{i}_{U,j}$.

A.1.6 Intervall 6, $\varphi_N \in (-\frac{\pi}{3}; 0)$

Netzspannungsverhältnis $u_{N,R} > u_{N,T} > u_{N,S}$.

s_R	s_S	s_T	$i_{U,R}$	$i_{U,S}$	$i_{U,T}$	$\underline{i}_{U,j}$
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	$-I$	$+I$	$-\frac{2}{\sqrt{3}}\jmath I$
1	0	0	0	0	0	0
1	0	1	$+I$	0	$-I$	$\frac{2}{\sqrt{3}} I e^{+\jmath\frac{\pi}{6}}$
1	1	0	$+I$	$-I$	0	$\frac{2}{\sqrt{3}} I e^{-\jmath\frac{\pi}{6}}$
1	1	1	$+I$	$-I$	0	$\frac{2}{\sqrt{3}} I e^{-\jmath\frac{\pi}{6}}$

Tab. A.6: Schaltzustandsfunktionen s_i, dazugehörige Gleichrichtereingangsströme $i_{U,i}$ und Stromraumzeiger $\underline{i}_{U,j}$ für Intervall 6.

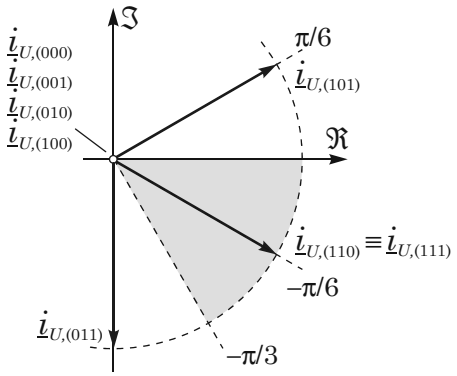


Abb. A.6: Am Gleichrichtereingang in Intervall 6 zur Verfügung stehende Stromraumzeiger $\underline{i}_{U,j}$.

A.2 Analytisch geschlossene Berechnung der relativen Einschaltdauern

Die Berechnung der relativen, auf eine Pulshalbperiode $\frac{T_P}{2}$ bezogenen Einschaltdauern δ_j der aktiven Schaltzustände und des Freilaufzustandes kann auch auf analytisch geschlossenem Weg nur unter Zuhilfenahme einfacher goniometrischer Überlegungen erfolgen. Der Berechnungsgang ist hier für das Winkelintervall $\varphi_U \in (0; \frac{\pi}{6})$ aufgezeigt, vgl. **Abb. A.7**.

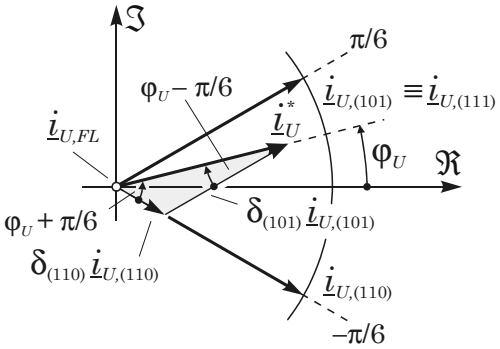


Abb. A.7: Bildung des Sollstromraumzeigers $\underline{i}_U^*$ am Gleichrichtereingang im Winkelintervall $\varphi_U \in (0; \frac{\pi}{6})$. Das für die Berechnung der relativen Einschaltdauern herangezogene Dreieck ist grau hervorgehoben.

Mit dem Sinussatz erhält man für die Anteile des Sollstromraumzeigers

$$\frac{\delta_{(101)} \cdot |\underline{i}_{U,(101)}|}{\delta_{(110)} \cdot |\underline{i}_{U,(110)}|} = \frac{\sin(\frac{\pi}{6} + \varphi_U)}{\sin(\frac{\pi}{6} - \varphi_U)}, \tag{A.1}$$

die Projektion der beiden Anteile auf den Sollstromraumzeiger $\underline{i}_U^*$ ergibt

$$\underline{i}_U^* = \frac{2}{\sqrt{3}} I \cdot \left[\delta_{(101)} \cdot \cos(\frac{\pi}{6} - \varphi_U) + \delta_{(110)} \cdot \cos(\frac{\pi}{6} + \varphi_U)\right], \tag{A.2}$$

wobei der Betrag der zur Verfügung stehenden Raumzeiger (vgl. Tab. 2.1)

$$|\underline{i}_{U,(101)}| = |\underline{i}_{U,(110)}| = \frac{2}{\sqrt{3}} I \tag{A.3}$$

ist. Damit folgt für die relativen Einschaltdauern $\delta_{(101)}$ und $\delta_{(110)}$ unter Verwendung der Definitionsgleichung (2.11) für den Aussteuergrad M der Tiefsetzstellereingangsstufe

$$\delta_{(101)} = M \cdot \left[\frac{1}{2}\cos(\varphi_U) - \frac{\sqrt{3}}{2}\sin(\varphi_U)\right], \tag{A.4}$$

$$\delta_{(110)} = M \cdot \left[\frac{1}{2}\cos(\varphi_U) + \frac{\sqrt{3}}{2}\sin(\varphi_U)\right]. \tag{A.5}$$

Mit der Forderung, dass die Summe der relativen Einschaltdauern innerhalb einer Pulshalbperiode gleich 1 sein muss, ergibt sich für den Freilaufzustand

$$\delta_{FL} = 1 - \delta_{(101)} - \delta_{(110)} = 1 - M \cdot \cos(\varphi_U). \tag{A.6}$$

Da in einer praktischen Realisierung die Winkel φ_U bzw. φ_N normalerweise nicht bekannt sind, ist es sinnvoll, die Winkelfunktionen durch die Eingangskondensatorspannungen bzw. durch die Netzspannungen zu ersetzen. Es sind für ein nullsystemfreies Netzspannungssystem

$$\cos(\varphi_U) = \frac{1}{\hat{U}_N} \cdot u_{N,R}, \tag{A.7}$$

$$\sin(\varphi_U) = \frac{1}{\sqrt{3}\hat{U}_N} \cdot (u_{N,S} - u_{N,T}). \tag{A.8}$$

Weiters wird der Modulationsindex durch den Sollwert der Tiefsetzstellerausgangsspannung U^* und den Spitzenwert der Netzspannung $\hat{U}_N$ ersetzt,

$$M = \frac{2}{3} \cdot \frac{U^*}{\hat{U}_N}. \tag{A.9}$$

Damit erhält man für die relativen Einschaltdauern

$$\delta_{(101)} = -\frac{2}{3} \cdot \frac{U^*}{\hat{U}_N^2} \cdot u_{N,T}, \tag{A.10}$$

$$\delta_{(110)} = -\frac{2}{3} \cdot \frac{U^*}{\hat{U}_N^2} \cdot u_{N,S}, \tag{A.11}$$

$$\delta_{FL} = 1 - \frac{2}{3} \cdot \frac{U^*}{\hat{U}_N^2} \cdot u_{N,R}. \tag{A.12}$$

Die Ergebnisse entsprechen mit $\hat{U}_N = |\underline{u}_{C_F}|$ und mit $u_{N,i} = u_{C_F,i}$ den Resultaten (2.26), (2.29) und (2.32) aus Abschnitt 2.5.

A.3 Ersetzen von Zeitgrößen durch Raumzeigergrößen

Im Folgenden wird am Beispiel der Eingangsfilterkondensatorspannungen gezeigt, wie die Größen $u_{C_F,i}$ des Zeitbereichs durch die dazugehörige Raumzeigergröße $\underline{u}_{C_F}$ und umgekehrt ersetzt werden können.

Mit dem Realteil $u_{C_F,\alpha}$ und dem Imaginärteil $u_{C_F,\beta}$ des Raumzeigers

$$u_{C_F,\alpha} = \frac{2}{3}\left[u_{C_F,R} - \frac{1}{2}\left(u_{C_F,S} + u_{C_F,T}\right)\right] \tag{A.13}$$

$$u_{C_F,\beta} = \frac{1}{\sqrt{3}}\left(u_{C_F,S} - u_{C_F,T}\right). \tag{A.14}$$

erhält man für das Quadrat des Raumzeigerbetrages

$$\begin{aligned} |\underline{u}_{C_F}| &= \sqrt{u_\alpha^2 + u_\beta^2} = \\ &= |\underline{u}_{C_F}|^2 = \frac{4}{9}\left(u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2 - u_{C_F,R} \cdot u_{C_F,S} - u_{C_F,S} \cdot u_{C_F,T} - u_{C_F,T} \cdot u_{C_F,R}\right). \end{aligned} \tag{A.15}$$

Da ein nullsystemfreies Spannungssystem vorausgesetzt wird,

$$u_{C_F,R} + u_{C_F,S} + u_{C_F,T} = 0, \tag{A.16}$$

kann für (A.16) vereinfachend auch geschrieben werden:

$$|\underline{u}_{C_F}|^2 = \begin{cases} \frac{4}{3}\left(u_{C_F,R}^2 + u_{C_F,R} \cdot u_{C_F,S} + u_{C_F,S}^2\right) & \text{(A.17)} \\ \frac{4}{3}\left(u_{C_F,S}^2 + u_{C_F,S} \cdot u_{C_F,T} + u_{C_F,T}^2\right) & \text{(A.18)} \\ \frac{4}{3}\left(u_{C_F,T}^2 + u_{C_F,T} \cdot u_{C_F,R} + u_{C_F,R}^2\right), & \text{(A.19)} \end{cases}$$

bzw. erhält man unter Verwendung der Außenleiterspannungen

$$|\underline{u}_{C_F}|^2 = \begin{cases} \frac{1}{2}\left(u_{C_F,SR} \cdot u_{C_F,S} + u_{C_F,TR} \cdot u_{C_F,T}\right) & \text{(A.20)} \\ \frac{1}{2}\left(u_{C_F,TS} \cdot u_{C_F,T} + u_{C_F,RS} \cdot u_{C_F,R}\right) & \text{(A.21)} \\ \frac{1}{2}\left(u_{C_F,RT} \cdot u_{C_F,R} + u_{C_F,ST} \cdot u_{C_F,S}\right). & \text{(A.22)} \end{cases}$$

Des weiteren kann statt des Raumzeigerbetragsquadrats $|\underline{u}_{C_F}|^2$ auch geschrieben werden (vgl. [64]):

$$|\underline{u}_{C_F}|^2 = \frac{2}{3}\left(u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2\right) = \frac{2}{3}\sum_i u_{C_F,i}^2. \tag{A.23}$$

Der Beweis für (A.23) lässt sich durch Gleichsetzen des rechten Teils von (A.16) mit dem mittleren Teil von (A.23) erbringen:

$$\frac{4}{9}\left(u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2 - u_{C_F,R} \cdot u_{C_F,S} - u_{C_F,S} \cdot u_{C_F,T} - u_{C_F,T} \cdot u_{C_F,R}\right) = \tag{A.24}$$

$$= \frac{2}{3}\left(u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2\right), \tag{A.25}$$

umformen liefert

$$u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2 + 2\,u_{C_F,R} \cdot u_{C_F,S} + 2\,u_{C_F,S} \cdot u_{C_F,T} + 2\,u_{C_F,T} \cdot u_{C_F,R} = 0 \tag{A.26}$$

$$\left(u_{C_F,R} + u_{C_F,S} + u_{C_F,T}\right)^2 = 0, \tag{A.27}$$

die Richtigkeit von (A.27) folgt durch die Tatsache, dass die Kondensatorspannungen nullsystemfrei sind.

Damit können sowohl (A.17) – (A.19), (A.20) – (A.22) oder (A.23) für die Umrechnung von Größen im Zeitbereich in den Raumzeigerbereich und umgekehrt herangezogen werden.

A.4 Relative Einschaltdauern für die gesamte Netzperiode

$\varphi_U \in$	$\delta_{(011)}$	$\delta_{(101)}$	$\delta_{(110)}$	δ_{FL}
$(-\frac{\pi}{6};\frac{\pi}{6})$	$-$	$-\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,T}$	$-\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,S}$	$1-\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,R}$
$(\frac{\pi}{6};\frac{\pi}{2})$	$+\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,S}$	$+\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,R}$	$-$	$1+\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,T}$
$(\frac{\pi}{2};\frac{5\pi}{6})$	$-\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,T}$	$-$	$-\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,R}$	$1-\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,S}$
$(\frac{5\pi}{6};\frac{7\pi}{6})$	$-$	$+\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,T}$	$+\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,S}$	$1+\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,R}$
$(\frac{7\pi}{6};\frac{3\pi}{2})$	$-\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,S}$	$-\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,R}$	$-$	$1-\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,T}$
$(\frac{3\pi}{2};-\frac{\pi}{6})$	$+\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,T}$	$-$	$+\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,R}$	$1+\frac{2}{3}\frac{U^*}{\lvert\underline{u}_{C_F}\rvert^2}u_{C_F,S}$

Tab. A.7: Relative Einschaltdauern δ_j der aktiven Schaltzustände und des Freilaufzustandes für die gesamte Netzperiode.

Anhang B

Berechnung der globalen Mittel- und Effektivwerte der Ströme

B.1 Schaltungsstruktur ohne explizite Freilaufdiode

Für die alternative Schaltungsstruktur ohne eine explizite Freilaufdiode D_F, vgl. **Abb. B.1**, ergeben sich z.T. andere globale Mittel- und Effektivwerte der Leistungshalbleiter der Tiefsetzstellereingangsstufe als für die Schaltungsstruktur mit expliziter Freilaufdiode, da der Freilaufpfad bei nicht vorhandener Freilaufdiode immer über einen Brückenzweig führt. Da die Leistungsdioden $D_{iN\pm}$ nicht im Freilaufpfad liegen, bleibt ihre Strombelastung unverändert. Unter der Annahme, dass immer der Leistungstransistor der Phase mit der betragsmäßig kleinsten Spannung während des Freilaufzustandes im eingeschalteten Zustand bleibt, erhält man für die in Phase R liegenden Leistungsdioden $D_{R,\pm}$ und den Leistungstransistor S_R in Sektor 1 ($\varphi_U \in (0; \frac{\pi}{6})$)

$$i_{D_{R+},avg} = i_{S_R,avg} = I \cdot (\delta_{(110)} + \delta_{(101)}) = I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = \hat{I}_N \cdot \cos(\varphi_U), \tag{B.1}$$

$$i_{D_{R-},avg} = 0, \tag{B.2}$$

in Sektor 2 ($\varphi_U \in (\frac{\pi}{6}; \frac{\pi}{3})$)

$$i_{D_{R+},avg} = i_{S_R,avg} = I \cdot \delta_{(101)} = I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = \hat{I}_N \cdot \cos(\varphi_U), \tag{B.3}$$

$$i_{D_{R-},avg} = 0, \tag{B.4}$$

in Sektor 3 ($\varphi_U \in (\frac{\pi}{3}; \frac{\pi}{2})$, (Freilauf über Brückenzweig R)

$$i_{D_{R+},avg} = i_{S_R,avg} = I \cdot (\delta_{(101)} + \delta_{100}) = I \cdot (1 - M \cdot \frac{u_{C_F,S}}{|\underline{u}_{C_F}|}) = I - \hat{I}_N \cdot \cos(\varphi_U - \frac{2\pi}{3}), \tag{B.5}$$

$$i_{D_{R-},avg} = I \cdot \delta_{(100)} = I \cdot (1 + M \cdot \frac{u_{C_F,T}}{|\underline{u}_{C_F}|}) = I + \hat{I}_N \cdot \cos(\varphi_U + \frac{2\pi}{3}), \tag{B.6}$$

in Sektor 4 ($\varphi_U \in (\frac{\pi}{2}; \frac{2\pi}{3})$, (Freilauf über Brückenzweig R)

$$i_{D_{R+},avg} = I \cdot \delta_{100} = I \cdot (1 - M \cdot \frac{u_{C_F,S}}{|\underline{u}_{C_F}|}) = I - \hat{I}_N \cdot \cos(\varphi_U - \frac{2\pi}{3}), \tag{B.7}$$

$$i_{D_{R-},avg} = i_{S_R,avg} = I \cdot (\delta_{110} + \delta_{(100)}) = I \cdot (1 + M \cdot \frac{u_{C_F,T}}{|\underline{u}_{C_F}|}) = I + \hat{I}_N \cdot \cos(\varphi_U + \frac{2\pi}{3}), \tag{B.8}$$

in Sektor 5 ($\varphi_U \in (\frac{2\pi}{3}; \frac{5\pi}{6})$)

$$i_{D_{R+},avg} = 0, \tag{B.9}$$

$$i_{D_{R-},avg} = i_{S_R,avg} = I \cdot \delta_{110} = -I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = -\hat{I}_N \cdot \cos(\varphi_U), \tag{B.10}$$

in Sektor 6 ($\varphi_U \in (\frac{5\pi}{6};\pi)$)

$$i_{D_{R+},avg} = 0, \tag{B.11}$$

$$i_{D_{R-},avg} = i_{S_R,avg} = I \cdot (\delta_{101} + \delta_{110}) = -I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = -\hat{I}_N \cdot \cos(\varphi_U), \tag{B.12}$$

in Sektor 7 ($\varphi_U \in (\pi;\frac{7\pi}{6})$)

$$i_{D_{R+},avg} = 0 \tag{B.13}$$

$$i_{D_{R-},avg} = i_{S_R,avg} = I \cdot (\delta_{(110)} + \delta_{(101)}) = -I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = -\hat{I}_N \cdot \cos(\varphi_U), \tag{B.14}$$

in Sektor 8 ($\varphi_U \in (\frac{7\pi}{6};\frac{4\pi}{3})$)

$$i_{D_{R+},avg} = 0, \tag{B.15}$$

$$i_{D_{R-},avg} = i_{S_R,avg} = I \cdot \delta_{(101)} = -I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = -\hat{I}_N \cdot \cos(\varphi_U), \tag{B.16}$$

in Sektor 9 ($\varphi_U \in (\frac{4\pi}{3};\frac{3\pi}{2})$, (Freilauf über Brückenzweig R)

$$i_{D_{R+},avg} = I \cdot \delta_{(100)} = I \cdot (1 - M \cdot \frac{u_{C_F,T}}{|\underline{u}_{C_F}|}) = I - \hat{I}_N \cdot \cos(\varphi_U + \frac{2\pi}{3}), \tag{B.17}$$

$$i_{D_{R-},avg} = i_{S_R,avg} = I \cdot (\delta_{(101)} + \delta_{100}) = I \cdot (1 + M \cdot \frac{u_{C_F,S}}{|\underline{u}_{C_F}|}) = I + \hat{I}_N \cdot \cos(\varphi_U - \frac{2\pi}{3}), \tag{B.18}$$

in Sektor 10 ($\varphi_U \in (\frac{3\pi}{2};-\frac{\pi}{3})$, (Freilauf über Brückenzweig R)

$$i_{D_{R+},avg} = i_{S_R,avg} = I \cdot (\delta_{110} + \delta_{(100)}) = I \cdot (1 - M \cdot \frac{u_{C_F,T}}{|\underline{u}_{C_F}|}) = I - \hat{I}_N \cdot \cos(\varphi_U + \frac{2\pi}{3}), \tag{B.19}$$

$$i_{D_{R-},avg} = I \cdot \delta_{100} = I \cdot (1 + M \cdot \frac{u_{C_F,S}}{|\underline{u}_{C_F}|}) = I + \hat{I}_N \cdot \cos(\varphi_U - \frac{2\pi}{3}), \tag{B.20}$$

in Sektor 11 ($\varphi_U \in (-\frac{\pi}{3};-\frac{\pi}{6})$)

$$i_{D_{R+},avg} = i_{S_R,avg} = I \cdot \delta_{110} = I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = \hat{I}_N \cdot \cos(\varphi_U), \tag{B.21}$$

$$i_{D_{R-},avg} = 0, \tag{B.22}$$

und in Sektor 12 ($\varphi_U \in (-\frac{\pi}{6};0)$)

$$i_{D_{R+},avg} = i_{S_R,avg} = I \cdot (\delta_{101} + \delta_{110}) = I \cdot M \cdot \frac{u_{C_F,R}}{|\underline{u}_{C_F}|} = \hat{I}_N \cdot \cos(\varphi_U), \tag{B.23}$$

$$i_{D_{R-},avg} = 0. \tag{B.24}$$

Die globalen Strommittelwerte für die einzelnen Leistungshalbleiter ergeben sich wie in Abschnitt 2.6.1 durch Integration über eine Netzperiode und sind für die Leistungshalbleiter aller Brückenzweige i, $i = R, S, T$ gültig,

$$\begin{aligned} I_{D_{i+},avg} &= \frac{1}{2\pi} \cdot \left(\int_{-\frac{\pi}{3}}^{\frac{\pi}{3}} (\hat{I}_N \cos\varphi_U)\,\mathrm{d}\varphi_U + \int_{\frac{\pi}{3}}^{\frac{2\pi}{3}} (I - \hat{I}_N \cdot \cos(\varphi_U - \frac{2\pi}{3}))\,\mathrm{d}\varphi_U + \int_{\frac{2\pi}{3}}^{\frac{4\pi}{3}} 0\,\mathrm{d}\varphi_U \right) \\ &= \frac{I}{3}, \end{aligned} \tag{B.25}$$

$$\begin{aligned} I_{D_{i-},avg} &= \frac{1}{2\pi} \cdot \left(\int_{-\frac{\pi}{3}}^{\frac{\pi}{3}} 0\,\mathrm{d}\varphi_U + \int_{\frac{\pi}{3}}^{\frac{2\pi}{3}} (I + \hat{I}_N \cdot \cos(\varphi_U + \frac{2\pi}{3}))\,\mathrm{d}\varphi_U + \right. \\ &\quad \left. \int_{\frac{2\pi}{3}}^{\frac{4\pi}{3}} (-\hat{I}_N \cdot \cos\varphi_U)\,\mathrm{d}\varphi_U + \int_{\frac{4\pi}{3}}^{\frac{5\pi}{3}} (I + \hat{I}_N \cdot \cos(\varphi_U - \frac{2\pi}{3}))\,\mathrm{d}\varphi_U \right) = \end{aligned}$$

$$= \frac{I}{3}, \tag{B.26}$$

$$\begin{aligned} I_{S_i,avg} &= \frac{1}{2\pi} \cdot \left(\int_{-\frac{\pi}{3}}^{\frac{\pi}{3}} \hat{I}_N \cdot \cos\varphi_U \, \mathrm{d}\varphi_U + \int_{\frac{\pi}{3}}^{\frac{\pi}{2}} (I - \hat{I}_N \cdot \cos(\varphi_U - \frac{2\pi}{3})) \, \mathrm{d}\varphi_U + \right. \\ &\int_{\frac{\pi}{2}}^{\frac{2\pi}{3}} (I + \hat{I}_N \cdot \cos(\varphi_U + \frac{2\pi}{3})) \, \mathrm{d}\varphi_U + \int_{\frac{2\pi}{3}}^{\frac{4\pi}{3}} (-\hat{I}_N \cdot \cos\varphi_U) \, \mathrm{d}\varphi_U + \\ &\left. \int_{\frac{4\pi}{3}}^{\frac{3\pi}{2}} (I + \hat{I}_N \cdot \cos(\varphi_U - \frac{2\pi}{3})) \, \mathrm{d}\varphi_U + \int_{\frac{3\pi}{2}}^{\frac{5\pi}{3}} (I - \hat{I}_N \cdot \cos(\varphi_U + \frac{2\pi}{3})) \, \mathrm{d}\varphi_U \right) = \\ &= \frac{I}{3} + \frac{\hat{I}_N}{\pi}. \end{aligned} \tag{B.27}$$

Die Ergebnisse sind auch gültig, wenn ein anderer Freilaufpfad ausgewählt wird, d.h. wenn ein Leistungstransistor einer anderen Phase während des Freilaufzustands im eingeschalteten Zustand bleibt. Z.B. kann der Leistungstransistor der Phase mit der positivsten oder negativsten Spannung ausgewählt werden. Die gesamten Ergebnisse sind in Abb. B.1 zusammengefasst.

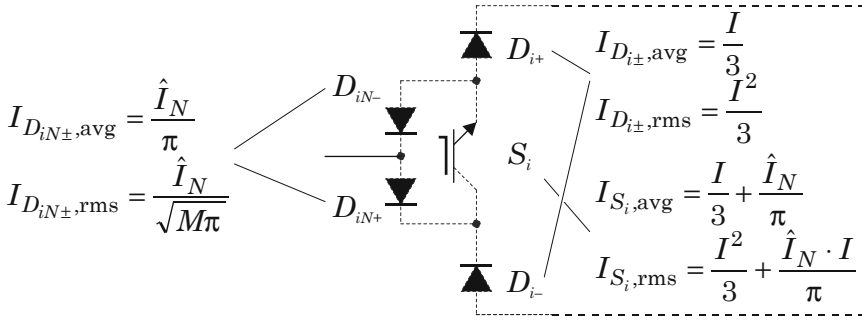


Abb. B.1: Globale Strommittel- und Effektivwerte der Leistungshalbleiter der Tiefsetzstellereingangsstufe ohne explizite Freilaufdiode D_F.

B.2 Hochsetzstellerausgangsstufe

In **Abb. B.2** sind die Stromverläufe in Leistungstransistor S und Leistungsdiode D innerhalb einer Pulsperiode für aktive Hochsetzstellerausgangsstufe $\delta > 0$ dargestellt. Damit lassen sich die globalen Mittel- und Effektivwerte der Ströme durch die Leistungshalbleiter einfach bestimmen.

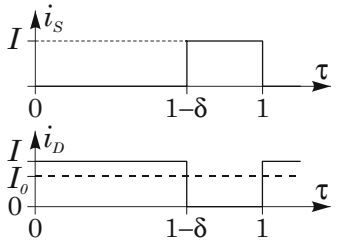


Abb. B.2: Stromverlauf innerhalb einer Pulsperiode T_P für aktive Hochsetzstellerausgangsstufe, **(a)**: Strom i_S in Transistor S und **(b)**: Strom i_D in Diode D, τ bezeichnet die relative, auf eine Pulsperiode bezogene Zeit.

B.3 Ausgangskondensator

Der Strom i_{C_0} durch den Ausgangskondensator ist für aktive Hochsetzstellerausgangsstufe ($\delta > 0$) in **Abb. B.3** dargestellt. Der Strommittelwert ergibt sich nach der allgemeinen Forderung zu Null,

$$i_{C_0,avg} = (I - I_0) \cdot (1 - \delta) + (-I_0) \cdot \delta = 0, \tag{B.28}$$

für den Effektivwert erhält man

$$i_{C_0,rms} = \sqrt{(I - I_0)^2 \cdot (1 - \delta) + (-I_0)^2 \cdot \delta} = I_0 \cdot \sqrt{\frac{\delta}{1 - \delta}}. \tag{B.29}$$

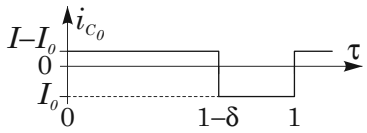


Abb. B.3: Verlauf des Stromes i_{C_0} innerhalb einer Pulsperiode T_P für aktive Hochsetzstellerausgangsstufe im Ausgangskondensator C_0, τ bezeichnet die relative, auf eine Pulsperiode bezogen Zeit.

Anhang C

Ermittlung der globalen Schaltverlustleistung

C.1 Schaltzustandssequenz 1.2

Übergang	S_i	u
$(1\underline{1}1) \leftrightarrow (1\underline{1}0)$	S_T	$u_{C_F,ST}$
$(1\underline{1}0) \leftrightarrow (0\underline{1}0)$	S_R	$u_{C_F,RS}$

Tab. C.1: Schaltende Leistungstransistoren S_i und geschaltete Spannungen u für den Übergang zwischen den Schaltzuständen für Sequenz 1.2. Die Schaltfunktion der Phase, deren Leistungstransistor sich für ein $\frac{\pi}{3}$-breites Intervall im geklemmten Zustand befindet, ist durch Unterstreichung hervorgehoben.

Die Schaltverlustenergie innerhalb einer Pulsperiode ist

$$w_{1\leftrightarrow 0,1.2}(t) = kI\left(u_{C_F,ST}(t) + u_{C_F,RS}(t)\right) = kIu_{C_F,RT}(t), \tag{C.1}$$

der Mittelwert der globalen Schaltverlustleistung für alle drei Leistungstransistoren ergibt sich damit zu

$$P_{1.2} = \frac{1}{\frac{\pi}{6}} \int_0^{\frac{\pi}{6}} kf_P I u_{C_F,RT}(\varphi_U)\mathrm{d}\varphi_U = \frac{3\sqrt{3}}{\pi} kf_P I \hat{U}_N. \tag{C.2}$$

C.2 Schaltzustandssequenz 1.3

Für die Ermittlung der Schaltverlustleistung ist die Kenntnis der vor bzw. nach dem Schaltvorgang am Leistungstransistor anliegenden Spannung notwendig. Im Freilaufzustand $j = (000)$ ist die Sperrspannungsverteilung der Leistungshalbleiter von kapazitiven Verhältnissen abhängig und kann daher nicht eindeutig bestimmt werden. Nimmt man jedoch an, dass beim Übergang vom aktiven in den Freilaufzustand zuerst ein Schalter geöffnet wird, der Zwischenkreisstrom in die Freilaufdiode kommutiert und danach der zweite, noch geschlossene Schalter verlustfrei geöffnet wird, kann die Schaltverlustleistung wie für Schaltzustandssequenz 1.1 oder 1.2 ermittelt werden.

Übergang	S_i	u
$(111) \leftrightarrow (110)$	S_T	$u_{C_F,ST}$
$(110) \leftrightarrow (000)$	S_R oder S_S	$u_{C_F,RS}$

Tab. C.2: Schaltende Leistungstransistoren S_i und geschaltete Spannungen u für den Übergang zwischen den Schaltzuständen für Sequenz 1.3.

Die Schaltverlustenergie innerhalb einer Pulsperiode ist

$$w_{1\leftrightarrow 0,1.3}(t) = kI\left(u_{C_F,ST}(t) + u_{C_F,RS}(t)\right) = kIu_{C_F,RT}(t), \tag{C.3}$$

der Mittelwert der globalen Schaltverlustleistung für alle drei Leistungstransistoren ergibt sich damit zu

$$P_{1.3} = \frac{1}{\frac{\pi}{6}}\int_0^{\frac{\pi}{6}} kf_P I u_{C_F,RT}(\varphi_U)\mathrm{d}\varphi_U = \frac{3\sqrt{3}}{\pi}kf_P I\hat{U}_N. \tag{C.4}$$

C.3 Schaltzustandssequenz 2.1

Übergang	S_i	u
$(\underline{1}10) \leftrightarrow (\underline{1}00)$	S_S	$u_{C_F,RS}$
$(\underline{1}00) \leftrightarrow (\underline{1}01)$	S_T	$u_{C_F,RT}$

Tab. C.3: Schaltende Leistungstransistoren S_i und geschaltete Spannungen u für den Übergang zwischen den Schaltzuständen für Sequenz 2.1. Die Schaltfunktion der Phase, deren Leistungstransistor sich für ein $\frac{\pi}{3}$-breites Intervall im geklemmten Zustand befindet, ist durch Unterstreichung hervorgehoben.

Die Schaltverlustenergie innerhalb einer Pulsperiode ist

$$w_{1\leftrightarrow 0,2.1}(t) = kI\left(u_{C_F,RS}(t) + u_{C_F,RT}(t)\right) = 3kIu_{C_F,R}(t), \tag{C.5}$$

der Mittelwert der globalen Schaltverlustleistung für alle drei Leistungstransistoren ergibt sich damit zu

$$P_{2.1} = \frac{1}{\frac{\pi}{6}}\int_0^{\frac{\pi}{6}} 3kf_P I u_{C_F,R}(\varphi_U)\mathrm{d}\varphi_U = \frac{9}{\pi}kf_P I\hat{U}_N. \tag{C.6}$$

C.4 Schaltzustandssequenz 2.2

Es wird wie in Abschnitt C.2 die Annahme getroffen, dass beim Übergang von einem aktiven Zustand in den Freilaufzustand die Schalter nacheinander geöffnet werden und somit ein definiertes Spannungsverhältnis für die Ermittlung der Schaltverluste vorliegt.

Übergang	S_i	u
$(110) \leftrightarrow (000)$	S_R oder S_S	$u_{C_F,RS}$
$(000) \leftrightarrow (101)$	S_R oder S_T	$u_{C_F,RT}$

Tab. C.4: Schaltende Leistungstransistoren S_i und geschaltete Spannungen u für den Übergang zwischen den Schaltzuständen für Sequenz 2.2.

Die Schaltverlustenergie innerhalb einer Pulsperiode ist

$$w_{1\leftrightarrow 0,2.2}(t) = kI\left(u_{C_F,RS}(t) + u_{C_F,RT}(t)\right) = 3kIu_{C_F,R}(t), \tag{C.7}$$

der Mittelwert der globalen Schaltverlustleistung für alle drei Leistungstransistoren ergibt sich damit zu

$$P_{2.2} = \frac{1}{\frac{\pi}{6}}\int_0^{\frac{\pi}{6}} 3kf_P I u_{C_F,R}(\varphi_U)\mathrm{d}\varphi_U = \frac{9}{\pi}kf_P I\hat{U}_N. \tag{C.8}$$

Übergang	S_i	u
$(\underline{1}00) \rightarrow (\underline{1}10)$	S_S	$u_{C_F,RS}$
$(\underline{1}10) \rightarrow (\underline{1}11)$	S_T	$u_{C_F,ST}$
$(\underline{1}11) \rightarrow (\underline{1}00)$	S_T	$u_{C_F,RT}$

Tab. C.5: Schaltende Leistungstransistoren S_i und geschaltete Spannungen u für den Übergang zwischen den Schaltzuständen für Sequenz 3.1.

C.5 Schaltzustandssequenz 3.1

Für den Übergang vom aktiven Schaltzustand $j = (111)$ in den Freilaufzustand $j = (100)$ wird angenommen, dass zuerst der Schalter S_S verlustfrei geschaltet wird und danach der Schalter S_T öffnet.
Die Schaltverlustenergie innerhalb einer Pulsperiode ist

$$w_{1\leftrightarrow 0,3.1}(t) = 2k_{0\rightarrow 1}I\left(u_{C_F,RS}(t) + u_{C_F,ST}(t)\right) + 2k_{1\rightarrow 0}Iu_{C_F,RT}(t) = 2kIu_{C_F,RT}(t), \tag{C.9}$$

der Mittelwert der globalen Schaltverlustleistung für alle drei Leistungstransistoren ergibt sich damit zu

$$P_{3.1} = \frac{1}{\frac{\pi}{6}}\int_0^{\frac{\pi}{6}} 2kf_P I u_{C_F,RT}(\varphi_U)\mathrm{d}\varphi_U = \frac{6\sqrt{3}}{\pi}kf_P I\hat{U}_N. \tag{C.10}$$

Anhang D

Auswahl der Leistungshalbleiter

D.1 Tiefsetzstellereingangsstufe

D.1.1 Leistungstransistoren

Gewählter Leistungstransistor:
IRG4PF50W von International Rectifier, Warp-Speed IGBT [14]
Sperrspannung:
$V_{CES} = 900$ V
Kollektorstrom:
$I_C = 28$ A @ $T_C = 100$ °C
Vorwärtswiderstand zwischen Kollektor und Emitter (vgl. Abb. 2 in [14]):
$r_{CE} = 22,5$ mΩ @ $T_J = 150$ °C
Vorwärtsspannungsabfall zwischen Kollektor und Emitter (vgl. Abb. 5 in [14]):
$V_{CE} \approx 1,75$ V @ $I_C = 15,0$ A; $T_J = 150$ °C
$V_{CE} \approx 1,65$ V @ $I_C = 6,5$ A; $T_J = 150$ °C
Gesamte Schaltverlustenergie (vgl. Abb. 11 in [14]):
$E_{TS} \approx 1,2$ mJ @ $I_C = 15,0$ A; $T_J = 150$ °C; $V_{CC} = 720$ V
$E_{TS} \approx 0,8$ mJ @ $I_C = 6,5$ A; $T_J = 150$ °C; $V_{CC} = 720$ V
Thermischer Widerstand zwischen Sperrschicht und Gehäuse, maximaler Wert:
$R_{\Theta,JC} = 0,64$ K/W

Schaltverlustleistung:
Mit der in Abschnitt 3.1 ermittelten globalen Schaltverlustleistung für Schaltzustandssequenz 1.2 erhält man

$$P_{S,208V} = E_{TS} f_P \frac{3}{\pi} \frac{\hat{U}_{N,ll}}{V_{CC}} f_R = 1,2 \text{ mJ} \cdot 31,25 \text{ kHz} \cdot \frac{3}{\pi} \cdot \frac{\sqrt{2} \cdot 208 \text{ V}}{720 \text{ V}} \cdot 1,7 = 25 \text{ W}, \tag{D.1}$$

$$P_{S,480V} = 0,8 \text{ mJ} \cdot 31,25 \text{ kHz} \cdot \frac{3}{\pi} \cdot \frac{\sqrt{2} \cdot 480 \text{ V}}{720 \text{ V}} \cdot 1,7 = 39 \text{ W}, \tag{D.2}$$

wobei angenommen wird, dass sich die Schaltverluste proportional zur geschalteten Spannung verhalten.
Leitverluste:
Die Leitverluste eines IGBTs können durch den Flussspannungsabfall V_{CE} und den Vorwärtswiderstand r_{CE} charakterisiert werden,

$$P_{L,208V} = V_{CE} \cdot I_{S_i,avg} + r_{CE} \cdot I^2_{S_i,rms} = 1,75 \text{ V} \cdot 15,0A + 0,0225\ \Omega \cdot (18,8 \text{ A})^2 = 34 \text{ W}, \tag{D.3}$$

$$P_{L,480V} = 1,65 \text{ V} \cdot 6,5A + 0,0225\ \Omega \cdot (9,9 \text{ A})^2 = 13 \text{ W}. \tag{D.4}$$

Gesamte Verluste:

$$P_{ges,208V} = P_{S,208V} + P_{L,208V} = 25 \text{ W} + 34 \text{ W} = 59 \text{ W}, \tag{D.5}$$

$$P_{ges,480V} = P_{S,480V} + P_{L,480V} = 39 \text{ W} + 13 \text{ W} = 52 \text{ W}. \tag{D.6}$$

Maximal auftretende Sperrschichttemperatur:
Die höchsten Verluste treten bei der kleinsten Eingangsspannung $U_{N,ll} = 208$ V auf, es ergibt sich dort eine Sperrschichttemperatur T_J von

$$T_J = T_{KK} + \Delta T = T_{KK} + (R_{\Theta,JC} + R_{\Theta,CS}) \cdot P_{ges,208V} = 70\ ^\circ\text{C} + (0,64 + 0,82)\ \text{K/W} \cdot 59\ \text{W} = 156\ ^\circ\text{C}. \quad \text{(D.7)}$$

Die maximal zulässige Sperrschichttemperatur des ausgewählten IGBT liegt bei 150 °C, da die Dimensionierungsleistung $P_{dim.}$ jedoch 20 % über der Nennleistung liegt, kann der IGBT IRG4PF50W als Leistungstransistor der Tiefsetzstellereingangsstufe eingesetzt werden.

D.1.2 Leistungsdioden $D_{i(N)\pm}$

Gewählte Leistungsdiode:
RURG30100 von Intersil, Ultrafast Diode [15]
Sperrspannung:
$V_{RRM} = 1000$ V
Mittelwert des Vorwärtsstromes:
$I_{F,AV} = 30$ A @ $T_C = 120$ °C
Vorwärtswiderstand:
$r_D = 10$ mΩ @ $T_J = 100$ °C
Vorwärtsspannungsabfall (vgl. Abb. 1 in [15]):
$V_F \approx 1,0$ V @ $I_C = 7,5$ A; $T_J = 100$ °C
$V_F \approx 0,8$ V @ $I_C = 3,2$ A; $T_J = 100$ °C
Thermischer Widerstand zwischen Sperrschicht und Gehäuse, maximaler Wert:
$R_{\Theta,JC} = 1,2$ K/W

Gesamte Verlustleistung (Leitverluste):

$$P_{ges,208V} = V_F \cdot I_{D_{i(N)\pm},avg} + r_D \cdot I^2_{D_{i(N)\pm},rms} = 1,0\ \text{V} \cdot 7,5\ \text{A} + 0,01\ \Omega \cdot (13,3\ \text{A})^2 = 9\ \text{W}, \quad \text{(D.8)}$$

$$P_{ges,480V} = 0,8\ \text{V} \cdot 3,2\ \text{A} + 0,01\ \Omega \cdot (7,5\ \text{A})^2 = 3\ \text{W}. \quad \text{(D.9)}$$

Maximal auftretende Sperrschichttemperatur:
Die höchsten Verluste treten bei der kleinsten Eingangsspannung $U_{N,ll} = 208$ V auf, es ergibt sich dort eine Sperrschichttemperatur T_J von

$$T_J = T_{KK} + \Delta T = T_{KK} + (R_{\Theta,JC} + R_{\Theta,CS}) \cdot P_{ges,208V} = 70\ ^\circ\text{C} + (1,2 + 0,82)\ \text{K/W} \cdot 9\ \text{W} = 88\ ^\circ\text{C}. \quad \text{(D.10)}$$

Die maximal zulässige Sperrschichttemperatur liegt bei 175 °C, die ausgewählte Diode RURG30100 kann daher als Leistungsdiode der Tiefsetzstellereingangsstufe eingesetzt werden. Auf Grund der geringen erreichten Sperrschichttemperatur von $T_J = 88$ °C könnte auch eine Diode mit geringerer Stromtragfähigkeit eingesetzt werden, eine solche war jedoch im gewählten Gehäuse TO247 nicht verfügbar.

D.1.3 Freilaufdiode D_F

Wegen der geringeren Strombeanspruchung der Freilaufdiode gegenüber der Dioden der eingangsseitigen Brückenzweige könnte eine Leistungsdiode mit geringerem Nennstrom verwendet werden. Um die Lagerhaltung jedoch so einfach wie möglich gestalten zu können, wird als Freilaufdiode ebenfalls der Typ RURG30100 eingesetzt.

D.2 Hochsetzstellerausgangsstufe

D.2.1 Leistungstransistor

Gewählter Leistungstransistor:
IRG4PC40W von International Rectifier, Warp-Speed IGBT [16]
Sperrspannung:

$V_{CES} = 600$ V
Kollektorstrom:
$I_C = 20$ A @ $T_C = 100$ °C
Vorwärtswiderstand zwischen Kollektor und Emitter (vgl. Abb. 2 in [16]):
$r_{CE} = 35$ mΩ @ $T_J = 150$ °C
Vorwärtsspannungsabfall zwischen Kollektor und Emitter (vgl. Abb. 5 in [16]):
$V_{CE} \approx 1,5$ V @ $I_C = 8,4$ A; $T_J = 150$ °C
Gesamte Schaltverlustenergie (vgl. Abb. 11 in [16]):
$E_{TS} \approx 0,5$ mJ @ $I_C = 8,4$ A; $T_J = 150$ °C; $V_{CC} = 720$ V
Thermischer Widerstand zwischen Sperrschicht und Gehäuse, maximaler Wert:
$R_{\Theta,JC} = 0,77$ K/W

Schaltverlustleistung:
Die geschaltete Spannung des Leistungstransistors der Hochsetzstellerausgangsstufe beträgt unabhängig von der Eingangsspannung bzw. vom Schaltzustand der Tiefsetzstellereingangsstufe 400 V,

$$P_{S,208V} = E_{TS} f_P \frac{U_0}{V_{CC}} f_R = 0,5 \text{ mJ} \cdot 31,25 \text{ kHz} \cdot \frac{400 \text{ V}}{720 \text{ V}} \cdot 1,7 = 15 \text{ W}, \tag{D.11}$$

wobei angenommen wird, dass sich die Schaltverluste proportional zur geschalteten Spannung verhalten.
Leitverluste:

$$P_{L,208V} = V_{CE} \cdot I_{S,avg} + r_{CE} \cdot I_{S,rms}^2 = 1,5 \text{ V} \cdot 8,4 \text{ A} + 0,035\ \Omega \cdot (14,1 \text{ A})^2 = 20 \text{ W}, \tag{D.12}$$

Gesamte Verluste:

$$P_{ges,208V} = P_{S,208V} + P_{L,208V} = 15 \text{ W} + 20 \text{ W} = 35 \text{ W}, \tag{D.13}$$

Maximal auftretende Sperrschichttemperatur:

$$\begin{aligned} T_J &= T_{KK} + \Delta T = T_{KK} + (R_{\Theta,JC} + R_{\Theta,CS}) \cdot P_{ges,208V} = \\ &= 70\ ^\circ\text{C} + (0,77 + 0,82) \text{ K/W} \cdot 35 \text{ W} = 126\ ^\circ\text{C}. \end{aligned} \tag{D.14}$$

Die maximal zulässige Sperrschichttemperatur liegt bei 150 °C, der ausgewählte IGBT IRG4PC40W kann daher als Leistungstransistor der Hochsetzstellerausgangsstufe eingesetzt werden.

D.2.2 Leistungsdiode D

Gewählte Leistungsdiode:
RURG3060 von Intersil, Ultrafast Diode [17]
Sperrspannung:
$V_{RRM} = 600$ V
Mittelwert des Vorwärtsstromes:
$I_{F,AV} = 30$ A @ $T_C = 120$ °C
Vorwärtswiderstand:
$r_D = 10$ mΩ @ $T_J = 100$ °C
Vorwärtsspannungsabfall (vgl. Abb. 1 in [17]):
$V_F \approx 1,0$ V @ $I_C = 7,5$ A; $T_J = 100$ °C
Thermischer Widerstand zwischen Sperrschicht und Gehäuse, maximaler Wert:
$R_{\Theta,JC} = 1,2$ K/W

Gesamte Verlustleistung (Leitverluste):

$$P_{ges,208V} = V_F \cdot I_{D,avg} + r_D \cdot I_{D,rms}^2 = 1,0 \text{ V} \cdot 15,0\text{A} + 0,01\ \Omega \cdot (18,8 \text{ A})^2 = 19 \text{ W}, \tag{D.15}$$

Maximal auftretende Sperrschichttemperatur:

$$T_J = T_{KK} + \Delta T = T_{KK} + (R_{\Theta,JC} + R_{\Theta,CS}) \cdot P_{ges,208V} = 70\ ^\circ\text{C} + (1,2 + 0,82) \text{ K/W} \cdot 19 \text{ W} = 108\ ^\circ\text{C}. \tag{D.16}$$

Die maximal zulässige Sperrschichttemperatur liegt bei 175 °C, die ausgewählte Diode RURG3060 kann daher als Leistungsdiode der Hochsetzstellerausgangsstufe eingesetzt werden.

Anhang E

DC/DC-Ersatzmodell

Die Dimensionierung der passiven Bauelemente wurde anhand eines Gleichspannungsersatzmodells durchgeführt. Dabei wird die Hochsetzstellerausgangsstufe direkt vom dreiphasigen System übernommen, die Tiefsetzstellereingangsstufe wird durch einen einfachen DC/DC-Tiefsetzsteller ersetzt, vgl. **Abb. E.1** [65].

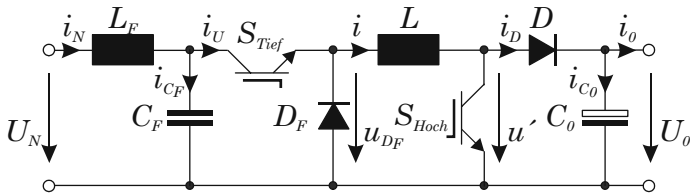


Abb. E.1: DC/DC-Ersatzschaltbild des dreiphasigen Gleichrichtersystems.

Für die Ermittlung der Eingangsspannung des Ersatzsystems wird ausgehend vom Modulationsindex M der dreiphasigen Tiefsetzstellereingangsstufe ein Modulationsindex $M_{DC/DC}$ der Tiefsetzstellerstufe des DC/DC-Ersatzmodells bestimmt. Der maximale Modulationsindex M beträgt jeweils in der Intervallmitte $M_{\max} = \frac{2}{\sqrt{3}}$ (vgl. Abb. 2.6), für das DC/DC-Ersatzmodell erhält man einen maximalen Modulationsindex von $M_{DC/DC,\max} = 1$, es ist daher

$$M_{DC/DC} = \frac{\sqrt{3}}{2} M = \frac{U}{U_N}, \tag{E.1}$$

wobei U der Mittelwert der Spannung über der Freilaufdiode D_F bzw. über dem Leistungsschalter der Hochsetzstellerstufe und U_N die Eingangsspannung des DC/DC-Ersatzsystems ist. Für den Zusammenhang der Eingangsströme gilt

$$I_N = \frac{\sqrt{2}}{\sqrt{3}} I_{N,DC/DC}. \tag{E.2}$$

Das Tastverhältnis der Hochsetzstellerausgangsstufe berechnet sich wie für das dreiphasige System,

$$\delta_{DC/DC} = 1 - \frac{U}{U_0}. \tag{E.3}$$

Es ergeben sich damit die in **Tab. E.1** angegebenen Betriebsparameter.

$U_{N,ll}$	M	δ	U_N	$M_{DC/DC}$	$\delta_{DC/DC}$	I
208 V	1	0,36	294 V	0,866	0,265	20,4 A
327 V	1	0	462 V	0,866	0	15,0 A
480 V	0,68	0	679 V	0,589	0	15,0 A

Tab. E.1: Betriebsparameter des DC/DC-Ersatzmodells in Abhängigkeit der Eingangsspannung.

E.1 Dimensionierung des Filterkondensators

Mit den Betriebsparametern aus Tab. E.1 erhält man die in **Abb. E.2** gezeigten Verläufe der Schaltsignale s_{Tief} und s_{Hoch}, der Spannung u_{D_F} an Freilaufdiode, der Spannung u' am Tiefsetzsteller-Leistungstransistor und der Spannung u_L an der Zwischenkreisinduktivität sowie des Zwischenkreisstromrippels Δi. Wird das Gleichrichtersystem als verlustfrei vorausgesetzt, erhält man für den Eingangsstrom I_N

$$I_N = \frac{U_0\, I_0}{U_N}, \tag{E.4}$$

für den Strom durch den Filterkondensator gilt

$$i_{C_F} = I_{N,DC/DC} - i_U, \quad i_{C_F,avg} = 0, \tag{E.5}$$

wobei i_U der Strom durch den Leistungstransistor S_{Tief} ist. Damit erhält man die in Abb. E.2 dargestellten Verläufe des Tiefsetzstellereingangsstromes i_U und des Eingangsfilterkondensatorstromes i_{C_F}.

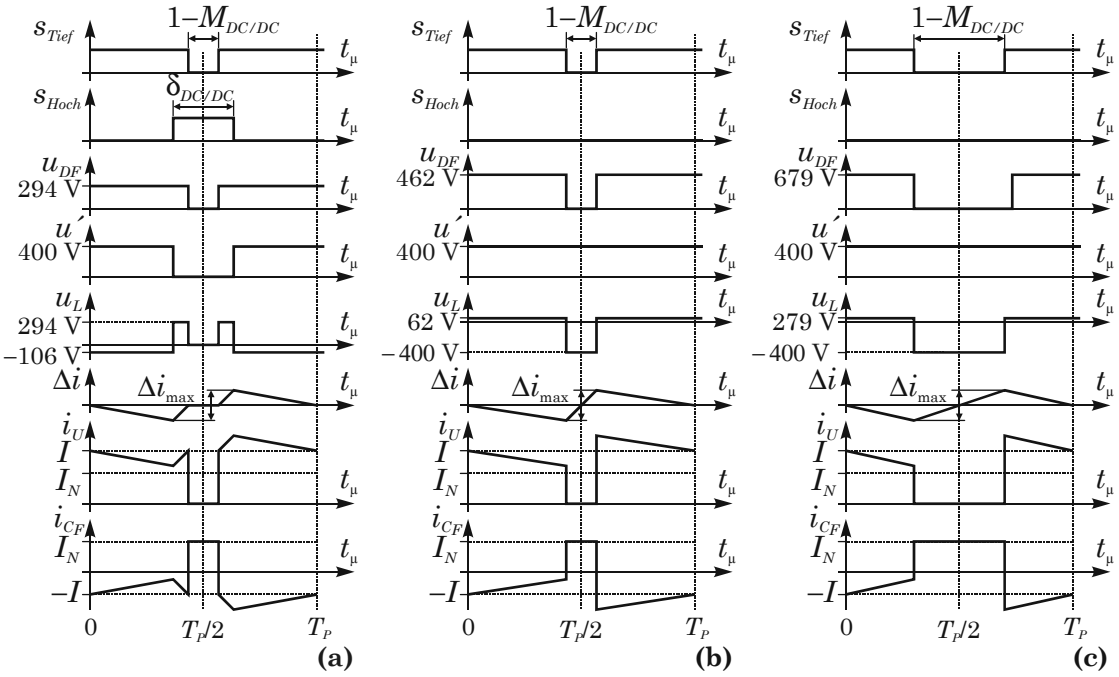


Abb. E.2: Verlauf der Schaltsignale s_{Tief} und s_{Hoch}, der Spannungen an Freilaufdiode u_{D_F}, Tiefsetzsteller-Leistungstransistor u' und Zwischenkreisinduktivität u_L sowie des Zwischenkreisstromrippels Δi innerhalb einer Pulsperiode T_P für **(a)** kleinste, **(b)** mittlere und **(c)** größte Eingangsspannung des DC/DC-Ersatzsystems.

Kleinste Eingangsspannung, $\mathbf{U_{N,ll} = 208\ V}$

Mit Abb. E.2(a) erhält man für den Effektivwert des Filterkondensatorstromes

$$\begin{aligned} i^2_{C_F,rms} &= \frac{1}{T_P}\left(\int_0^{\Delta t_{\mu,1}} I^2_{N,DC/DC}\,\mathrm{d}t_\mu + \int_0^{\Delta t_{\mu,2}} \left(I_{N,DC/DC} - I - \frac{\Delta i}{2\Delta t_{\mu,2}} t\right)^2 \mathrm{d}t_\mu + \right. \\ &+ \int_0^{\Delta t_{\mu,2}} \left(I_{N,DC/DC} - I + \frac{\Delta i}{2} + \frac{\Delta i}{2\Delta t_{\mu,2}} t\right)^2 \mathrm{d}t_\mu + \\ &+ \left. \int_0^{\Delta t_{\mu,3}} \left(I_{N,DC/DC} - I + \frac{\Delta i}{2} + \frac{\Delta i}{\Delta t_{\mu,3}} t\right)^2 \mathrm{d}t_\mu \right) = \\ &= I^2_{N,DC/DC}\,\frac{1 - M_{DC/DC}}{M_{DC/DC}} + \frac{\Delta i^2\, M_{DC/DC}}{12} \approx I^2_{N,DC/DC}\,\frac{1 - M_{DC/DC}}{M_{DC/DC}} \end{aligned} \tag{E.6}$$

mit

$$\Delta t_{\mu,1} = \frac{1 - M_{DC/DC}}{2}, \quad \Delta t_{\mu,2} = \frac{M_{DC/DC} - 1 + \delta_{DC/DC}}{2}, \quad \Delta t_{\mu,3} = 1 - \delta_{DC/DC}. \tag{E.7}$$

Auf Grund des geringen Zwischenkreisstromrippels ($\Delta i_{\max} = \pm 10$ %) kann der zweite Term in (E.6) vernachlässigt werden. Mit den Zusammenhängen zwischen den Größen des DC/DC-Ersatzsystems und dem dreiphasigen System (E.1) und (E.3) lässt sich das Ergebnis transformieren,

$$i^2_{C_F,rms} = \frac{2}{3} I_N^2 \frac{\frac{2}{\sqrt{3}} - M}{M}. \tag{E.8}$$

Mittlere und größte Eingangsspannung, $\mathbf{U_{N,ll} = 327}$ V, $\mathbf{U_{N,ll} = 480}$ V
Mit Abb. E.2(b) und (c) erhält man

$$\begin{aligned} i^2_{C_F,rms} &= \frac{1}{\frac{T_P}{2}} \left(\int_0^{\Delta t_{\mu,1}} I^2_{N,DC/DC} \, \mathrm{d}t_\mu + \int_0^{\Delta t_{\mu,2}} \left(I_{N,DC/DC} - I + \frac{\Delta i}{M_{DC/DC}} t \right)^2 \mathrm{d}t_\mu \right) = \\ &= I^2_{N,DC/DC} \frac{1 - M_{DC/DC}}{M_{DC/DC}} + \frac{\Delta i^2 \, M_{DC/DC}}{12} \approx I^2_{N,DC/DC} \frac{1 - M_{DC/DC}}{M_{DC/DC}}, \end{aligned} \tag{E.9}$$

mit

$$\Delta t_{\mu,1} = \frac{1 - M_{DC/DC}}{2}, \quad \Delta t_{\mu,2} = M_{DC/DC} \tag{E.10}$$

der zweite Term in (E.9) kann wieder vernachlässigt werden, die Umrechnung für das dreiphasige System erfolgt wie bei kleinster Eingangsspannung.

E.2 Dimensionierung der Zwischenkreisinduktivität

Kleinste Eingangsspannung, $\mathbf{U_{N,ll} = 208}$ V
Für einen maximalen Stromrippel von ±10 % erhält man

$$\Delta i_{\max} = 0,2 \cdot 20,4 \text{ A} = 4,1 \text{ A}, \tag{E.11}$$

daraus resultiert mit Abb. E.2(a) eine Induktivität von

$$L = \frac{\Delta t_\mu}{\Delta i_{\max}} u_L = \frac{\delta_{DC/DC} - (1 - M_{DC/DC})}{f_P} \frac{1}{\Delta i_{\max}} u_L = \tag{E.12}$$

$$= \frac{0,265 - (1 - 0,866)}{31,25 \text{ kHz}} \cdot \frac{1}{4,1 \text{ A}} \cdot 294 \text{ V} = 0,3 \text{ mH}. \tag{E.13}$$

Mittlere Eingangsspannung, $\mathbf{U_{N,ll} = 327}$ V
Mit den Betriebsparametern aus Tab. E.1 erhält man die in Abb. E.2(b) gezeigten Verläufe der Schaltsignale s_{Tief} und s_{Hoch}, der Spannungen an Freilaufdiode u_{D_F}, Tiefsetzsteller-Leistungstransistor u' und Zwischenkreisinduktivität u_L sowie des Zwischenkreisstromrippels Δi. Für einen maximalen Stromrippel von ±10 % erhält man

$$\Delta i_{\max} = 0,2 \cdot 15,0 \text{ A} = 3,0 \text{ A}, \tag{E.14}$$

daraus resultiert eine Induktivität von

$$L = \frac{\Delta t_\mu}{\Delta i_{\max}} u_L = \frac{1 - M_{DC/DC}}{f_P} \frac{1}{\Delta i_{\max}} u_L = \tag{E.15}$$

$$= \frac{1 - 0,866}{31,25 \text{ kHz}} \cdot \frac{1}{3,0 \text{ A}} \cdot 400 \text{ V} = 0,57 \text{ mH}. \tag{E.16}$$

Größte Eingangsspannung, $\mathbf{U_{N,ll} = 480}$ V
Mit den Betriebsparametern aus Tab. E.1 erhält man die in Abb. E.2(c) gezeigten Verläufe der Schaltsignale s_{Tief} und s_{Hoch}, der Spannungen an Freilaufdiode u_{D_F}, Tiefsetzsteller-Leistungstransistor u' und

Zwischenkreisinduktivität u_L sowie des Zwischenkreisstromrippels Δi. Für einen maximalen Stromrippel von ± 10 % erhält man

$$\Delta i_{\max} = 0,2 \cdot 15,0 \text{ A} = 3,0 \text{ A}, \tag{E.17}$$

daraus resultiert eine Induktivität von

$$L = \frac{\Delta t_\mu}{\Delta i_{\max}} u_L = \frac{1 - M_{DC/DC}}{f_P} \frac{1}{\Delta i_{\max}} u_L = \tag{E.18}$$

$$= \frac{1 - 0,589}{31,25 \text{ kHz}} \cdot \frac{1}{3,0 \text{ A}} \cdot 400 \text{ V} = 1,7 \text{ mH}. \tag{E.19}$$

E.3 Dimensionierung des Ausgangskondensators

Für die Berechnung der Stromrippelbelastung des Ausgangskondensators wird ebenfalls das in Abb. E.1 gezeigte DC/DC-Ersatzschaltbild herangezogen. Die Verläufe des Schaltsignale der Leistungstransistoren des Tiefsetzstellers s_{Tief} und des Hochsetzstellers s_{Hoch} sowie des Zwischenkreisstromes i sind Abb. E.2 entnommen, damit lassen sich die Verläufe der Ströme in der ausgangsseitigen Diode i_D und im Ausgangskondensator i_{C_0} und daraus der Rippelstromeffektivwert $i_{C_0,rms}$ bestimmen, vgl. **Abb. E.3**.

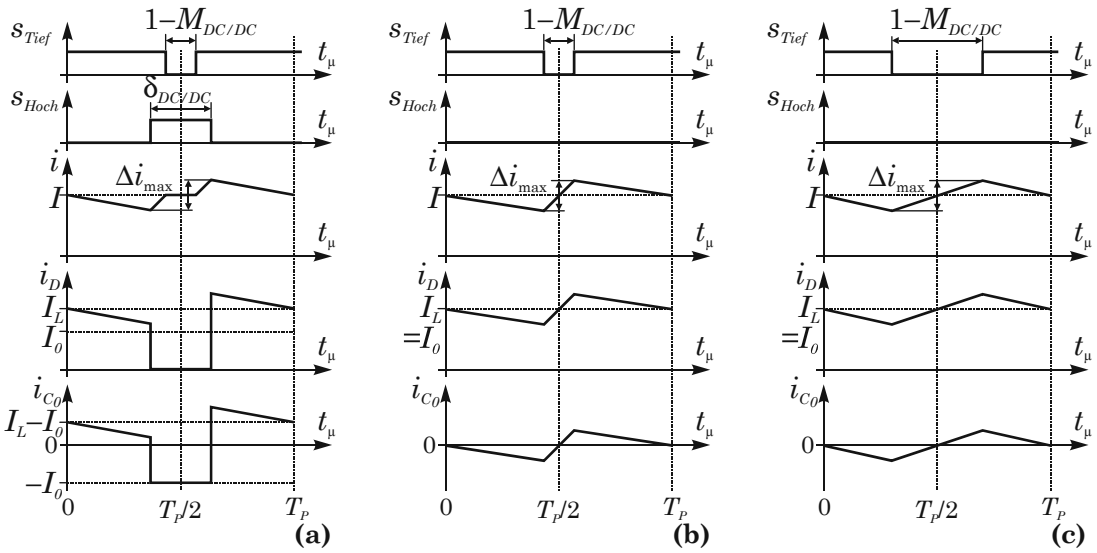


Abb. E.3: Verlauf der Schaltsignale s_{Tief} und s_{Hoch}, der Ströme in der Zwischenkreisinduktivität i, in der Diode des Hochsetzstellers i_D und im Ausgangskondensator i_{C_0} innerhalb einer Pulsperiode T_P für kleinste **(a)**, mittlere **(b)** und größte Eingangsspannung **(c)** des DC/DC-Ersatzsystems.

Kleinste Eingangsspannung, $\mathbf{U_{N,ll} = 208}$ V

$$i_{C_0,rms}^2 = \frac{1}{T_P}\left(2\int_0^{\frac{1-\delta_{DC/DC}}{2}} \left(I_0 - I + \frac{\Delta i}{2} - \frac{\Delta i}{1-\delta_{DC/DC}} t_\mu\right)^2 \mathrm{d}t_\mu + \int_{\frac{1-\delta_{DC/DC}}{2}}^{\frac{1+\delta_{DC/DC}}{2}} (-I)^2 \,\mathrm{d}t_\mu\right) =$$

$$= I_0^2 \frac{\delta_{DC/DC}}{1-\delta_{DC/DC}} + \frac{\Delta i^2}{12}(1-\delta_{DC/DC}) \approx I_0^2 \frac{\delta_{DC/DC}}{1-\delta_{DC/DC}}, \tag{E.20}$$

der zweite Term kann auf Grund des geringen Rippels des Zwischenkreisstromes ($\Delta i_{\max} = \pm 10$ %) vernachlässigt werden. Das Ergebnis kann direkt auf das dreiphasige System übertragen werden, indem $\delta_{DC/DC}$ durch δ ersetzt wird,

$$i_{C_0,rms}^2 \approx I_0^2 \frac{\delta}{1-\delta}. \tag{E.21}$$

Mittlere und größte Eingangsspannung, $\mathbf{U_{N,ll} = 327}$ V, $\mathbf{U_{N,ll} = 480}$ V
Mit dem Effektivwert für dreieckförmige Verläufe erhält man für den Effektivwert des Ausgangskondensatorstromes bei deaktivierter Hochsetzstellerausgangsstufe (d.h. $U_{N,ll} > 327$ V),

$$i^2_{C_0,rms} = \left(\frac{\Delta i}{2}\right)^2 \frac{1}{3} = \frac{\Delta i^2}{12}. \tag{E.22}$$

Der Vergleich der Ergebnisse (E.21) und (E.22) zeigt, dass die Rippelstrombelastung bei kleinen Eingangsspannungen, d.h. bei aktiver Hochsetzstellerausgangsstufe ($\delta > 0$), höher ist als bei deaktiviertem Hochsetzsteller.

Anhang F

Schaltpläne der praktischen Realisierung

Im Folgenden finden sich die Schaltpläne für den **Leistungsteil** (**Abb. F.1** – **Abb. F.3**), für die **analoge Signalaufbereitung und Messung** (**Abb. F.4, Abb. F.5**) und für die **digitale Signalverarbeitung** (**Abb. F.6, Abb. F.7**). Das Schaltungslayout, die Bestückungspläne und die Stücklisten sind auf der beigelegten CD-ROM enthalten.

Anmerkung: Die in den Schaltplänen fett eingetragenen Änderungen wurden während der experimentellen Untersuchungen vorgenommen und sind noch nicht im Schaltungslayout berücksichtigt!

Im Folgenden sind die Daten des Hochfrequenztransformators für die Eigenbedarfsversorgung (vgl. Abb. F.3) angegeben:

Kern:	RM10, Material N41, ohne Mittelloch, Luftspalt: 0,13 mm (Siemens Matsushita B65 831-J630-J14)	
Wicklungen:	vgl. Tab. F.1	
	Wdg. 1	Primärwicklung
	Wdg. 2.1 – 2.4	Sekundärwicklungen
	N	Windungszahl
	U_N	Windungsnennspannung
	l	Windungslänge (mittlere Länge $\times$ N)
	$P_{Wdg.}$	benötigte Ausgangsleistung
	$I_{Wdg.,rms}$	Effektivwert des Stromes einer Wicklung, $I_{Wdg.,rms} = \frac{2P_{Wdg.}}{U} \cdot \frac{1}{\sqrt{3\delta}}$
	δ	relative Einschaltdauer der Halbbrücke, $\delta = 0,3125$
	A	Windungsquerschnitt (für < 3 A/mm^2)
	R	Wicklungswiderstand, $R = \rho \cdot l/A$ mit $\rho = 1/56\ \Omega\text{mm}^2/\text{m}$
	P_{Cu}	Kupferverluste der Wicklung, $P_{Cu} = I^2_{Wdg.,rms} \cdot R$

Wdg.	N	U / V	l / mm	P / W	$I_{Wdg.,rms}$ / A	A / mm^2	R / Ω	P_{Cu} / W
1	44	220	2200	30	0,282	0,2	0,2	0,016
2.1	9	20	450	10	1,03	0,2	0,04	0,04
2.2	11	24	550	10	0,86	0,2	0,05	0,04
2.3	9	20	450	≈ 0	≈ 0	$d = 0,2$ mm	0,04	≈ 0
2.4	4	10	200	10	2,07	0,2	0,018	0,077

Tab. F.1: Parameter der Wicklungen des Hochfrequenztransformators für die Eigenbedarfsversorgung.

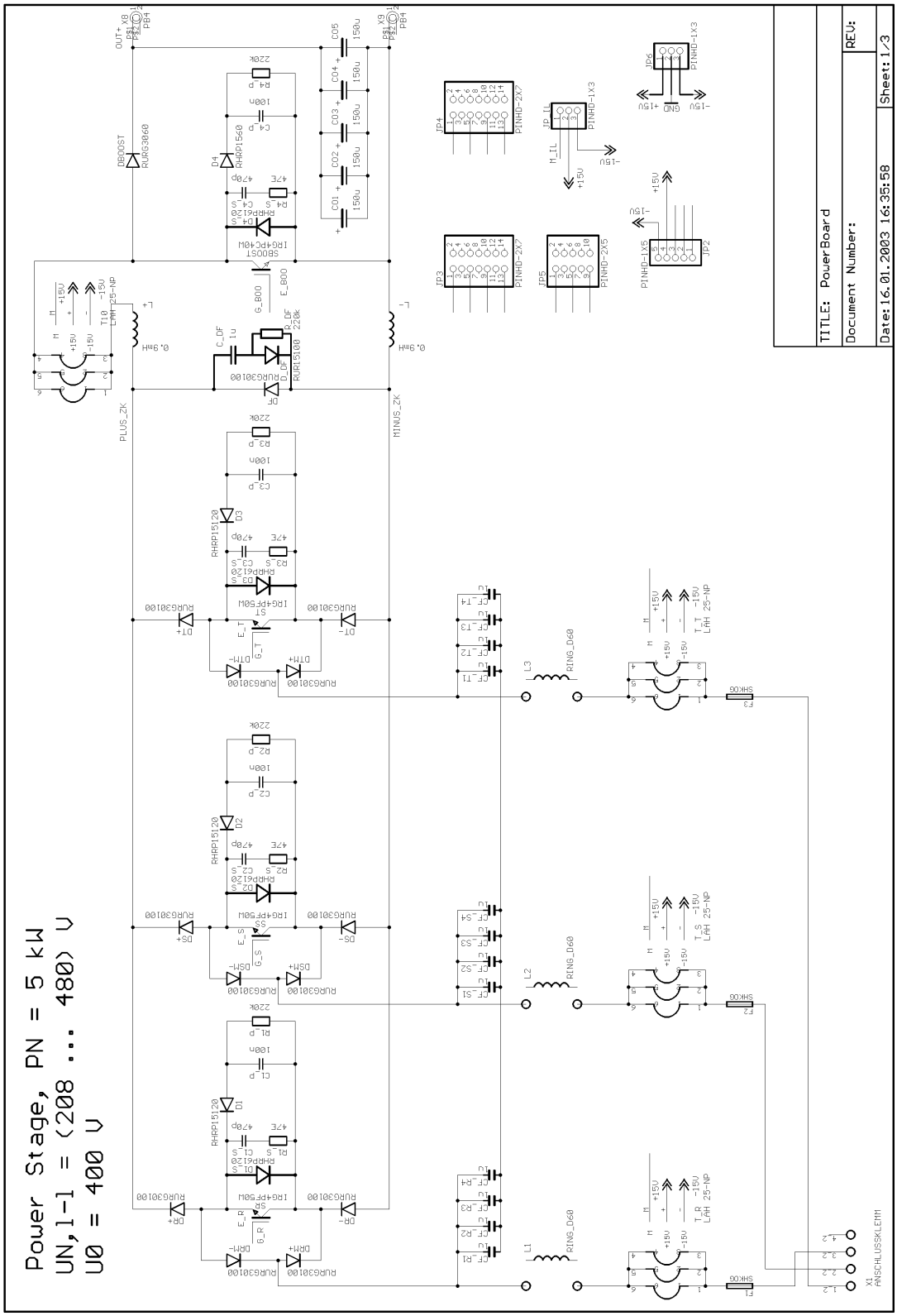


Abb. F.1: Schaltplan des Leistungsteils, Teil 1. Leistungskreis.

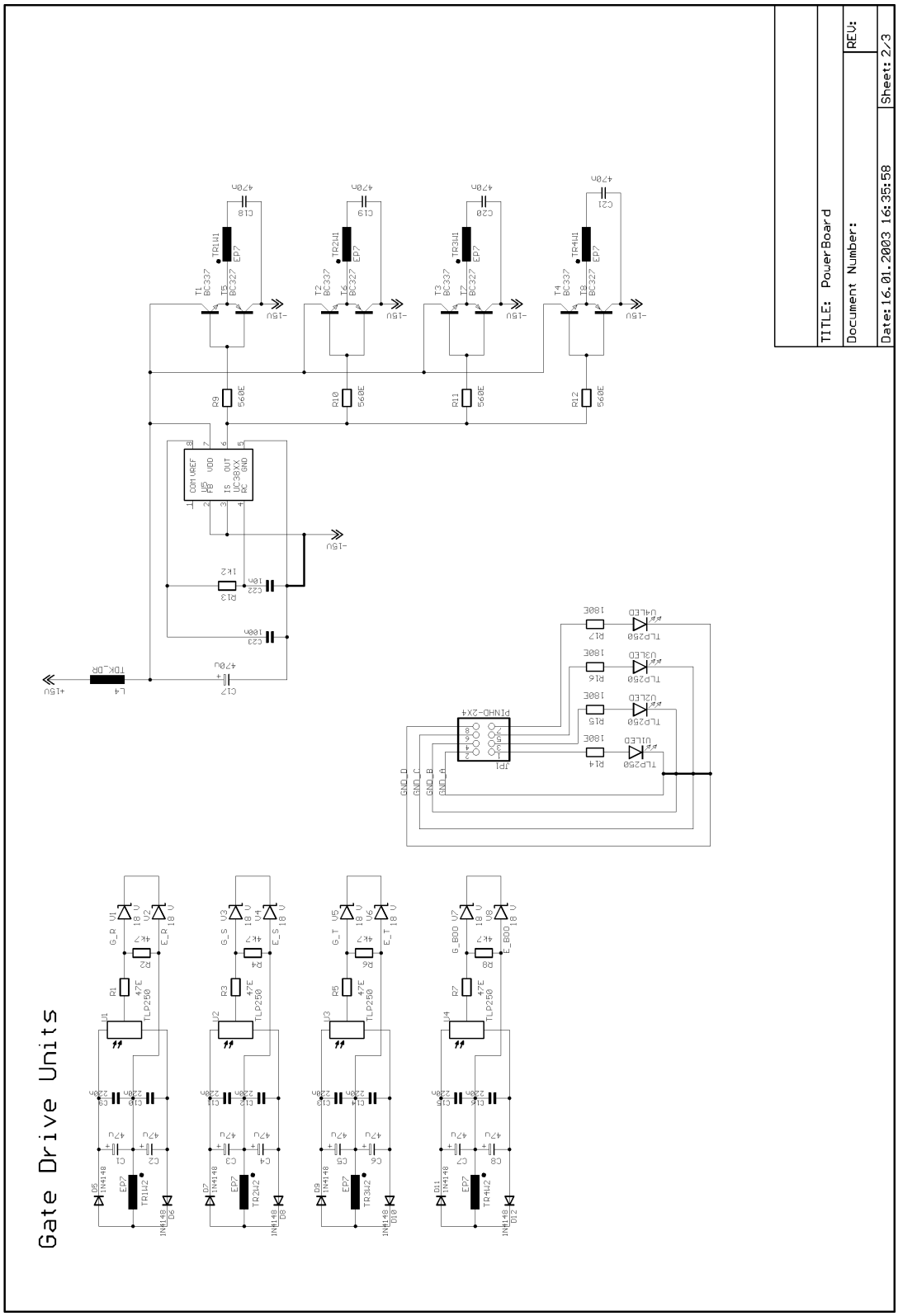


Abb. F.2: Schaltplan des Leistungsteils, Teil 2. Gate Ansteuereinheiten.

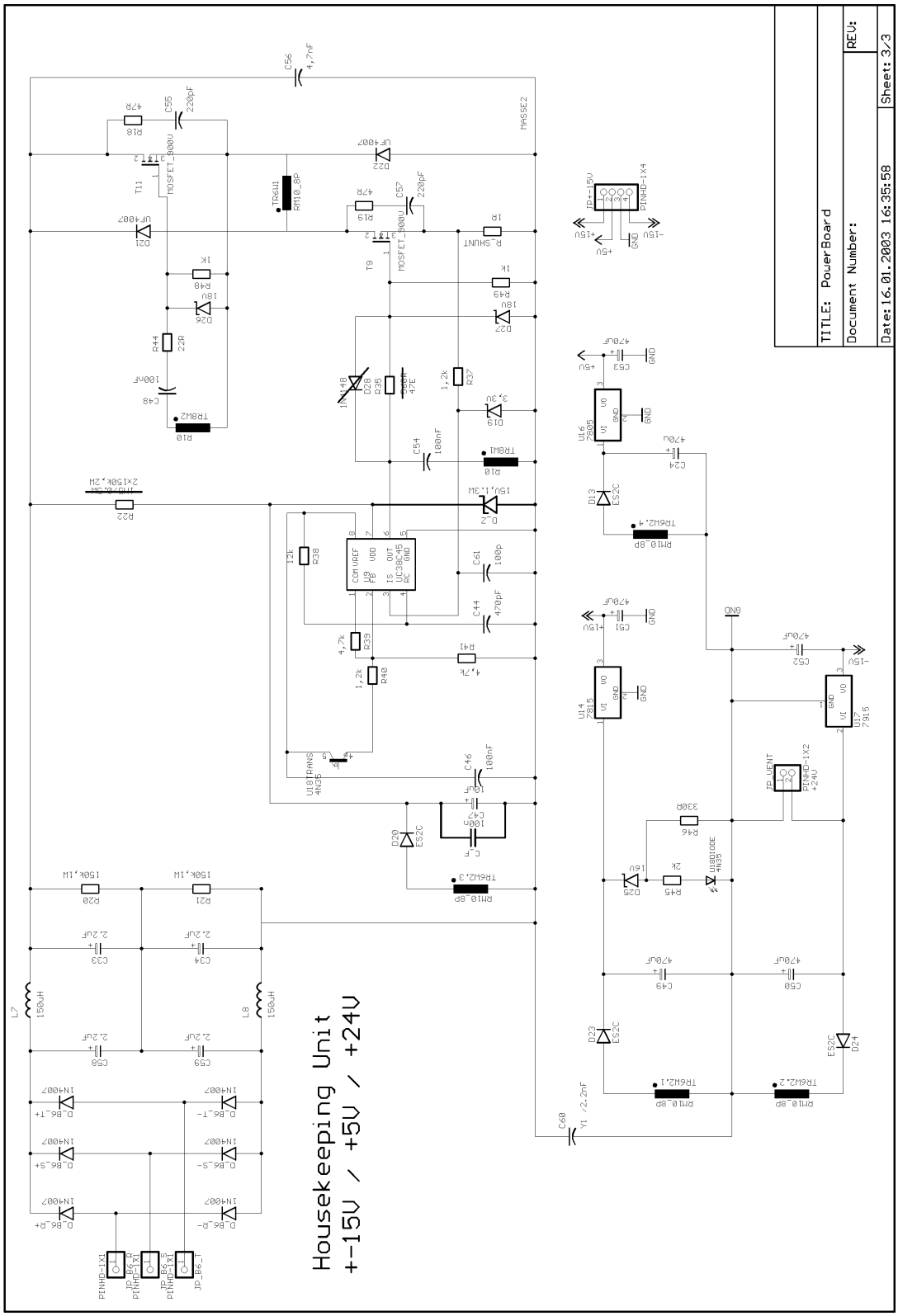


Abb. F.3: Schaltplan des Leistungsteils, Teil 3. Schaltnetzteil für die Eigenversorgung, ±15 V, +5 V, +24 V.

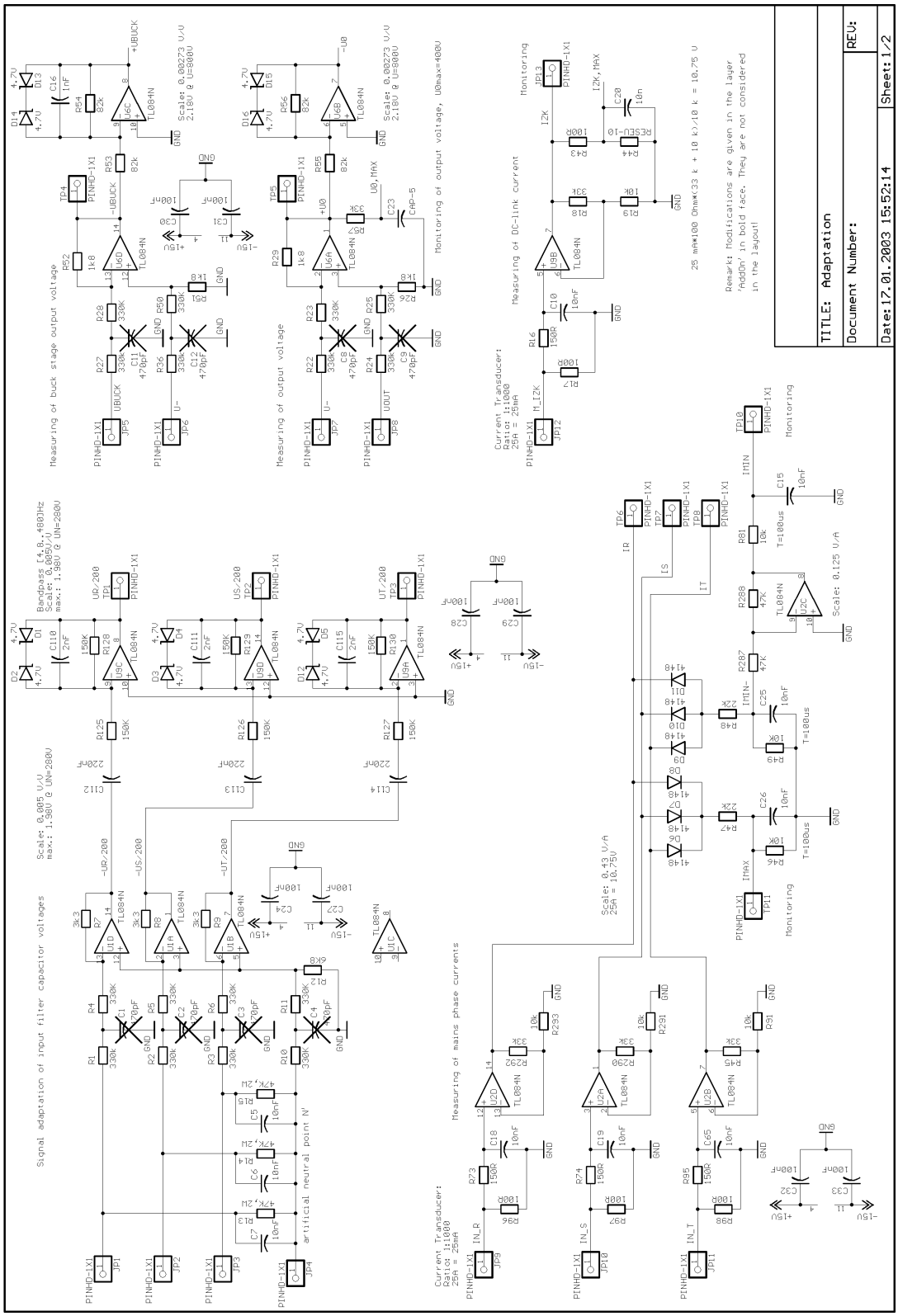


Abb. F.4: Schaltplan des Signalanpassungsbords, Teil 1. Signalanpassung der Eingangsfilterkondensatorspannungen, der Tiefsetzstellerausgangsspannung, der Gesamt-Ausgangsspannung, der Netzphasenströme und des Zwischenkreisstromes.

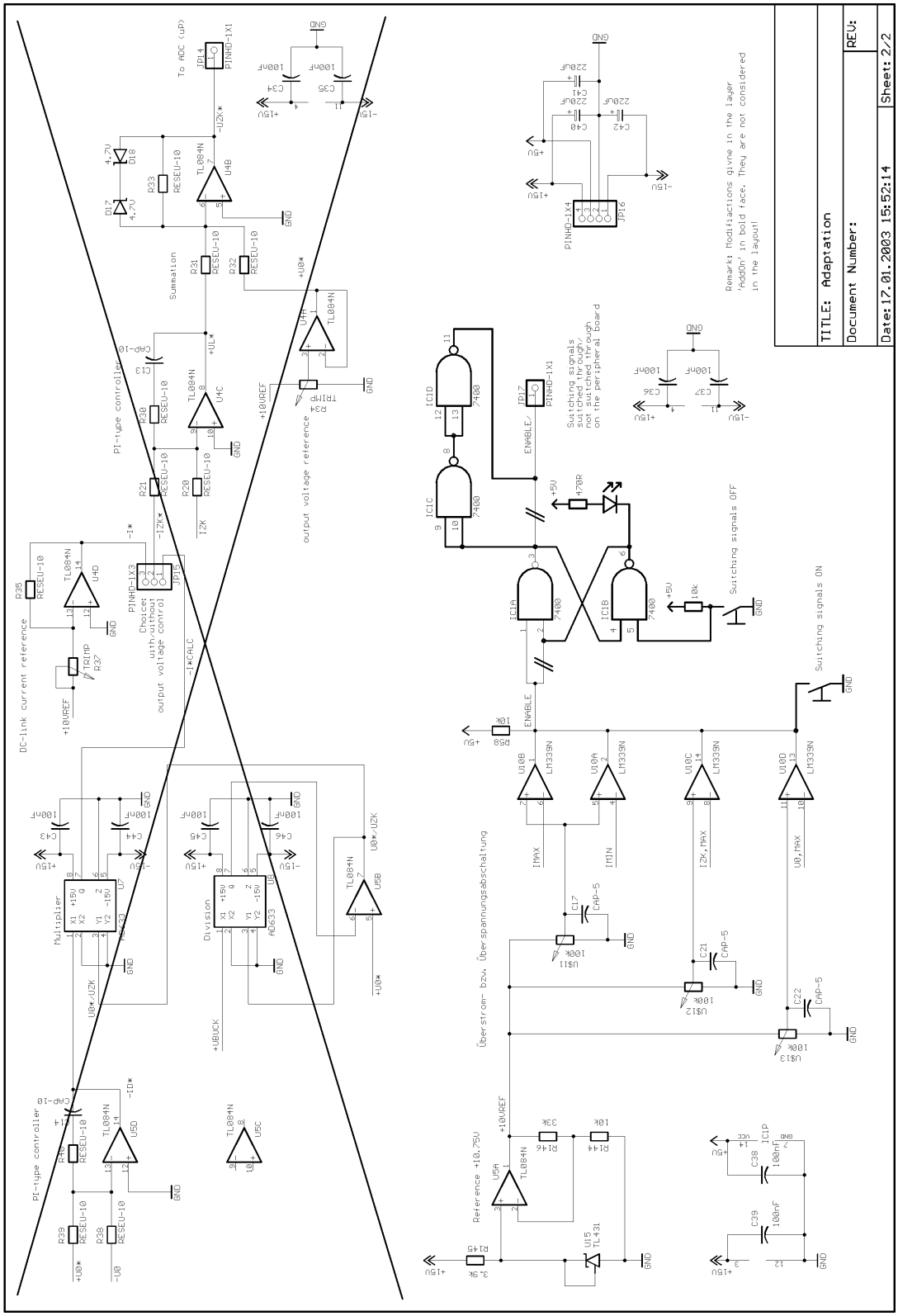


Abb. F.5: Schaltplan des Signalanpassungsbords, Teil 2. Überstrom- bzw. Überspannungsabschaltung. Vorschlag für eine analoge Regelung (durchgestrichen, nicht bestückt).

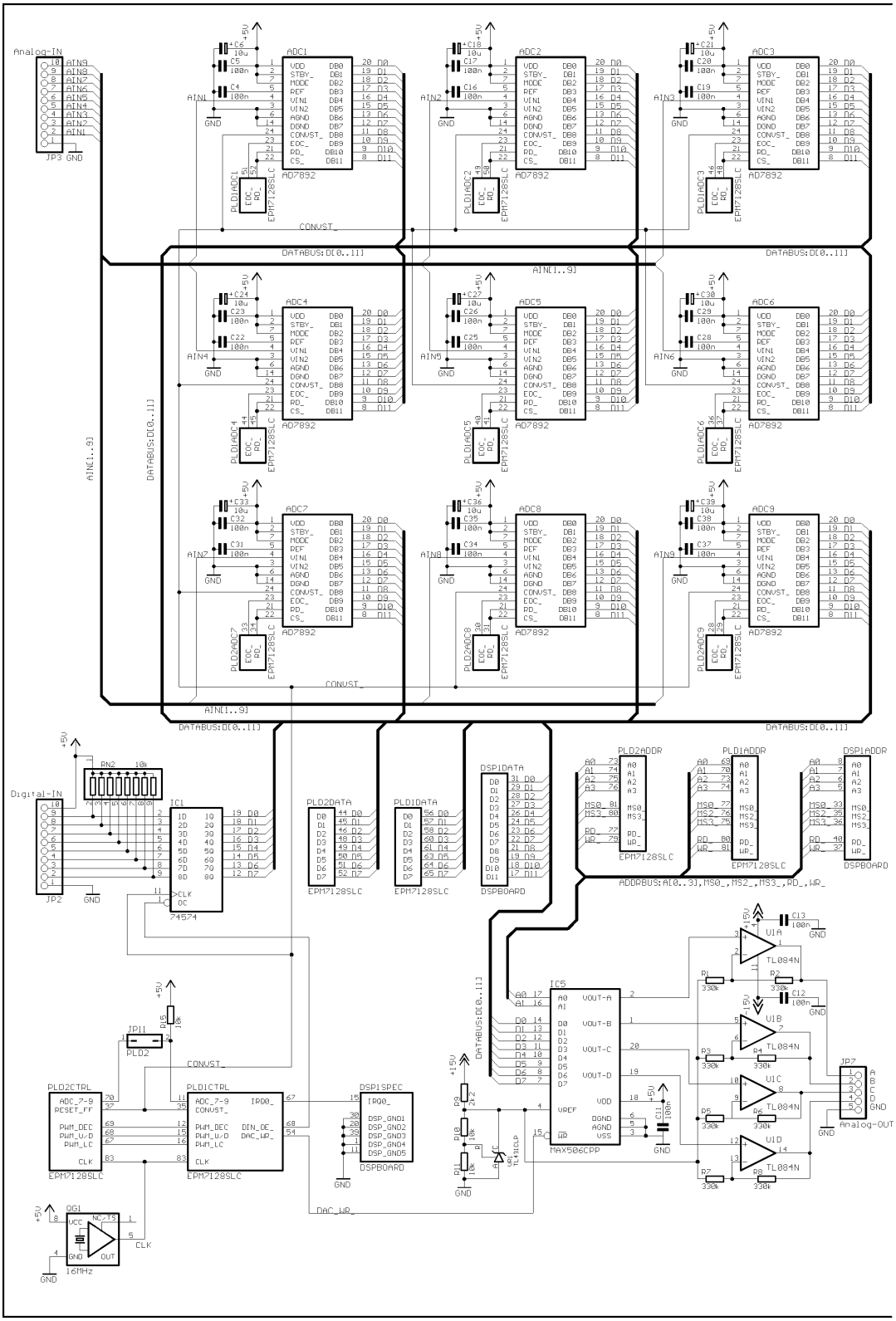


Abb. F.6: Schaltplan der Peripheriekarte, Teil 1.

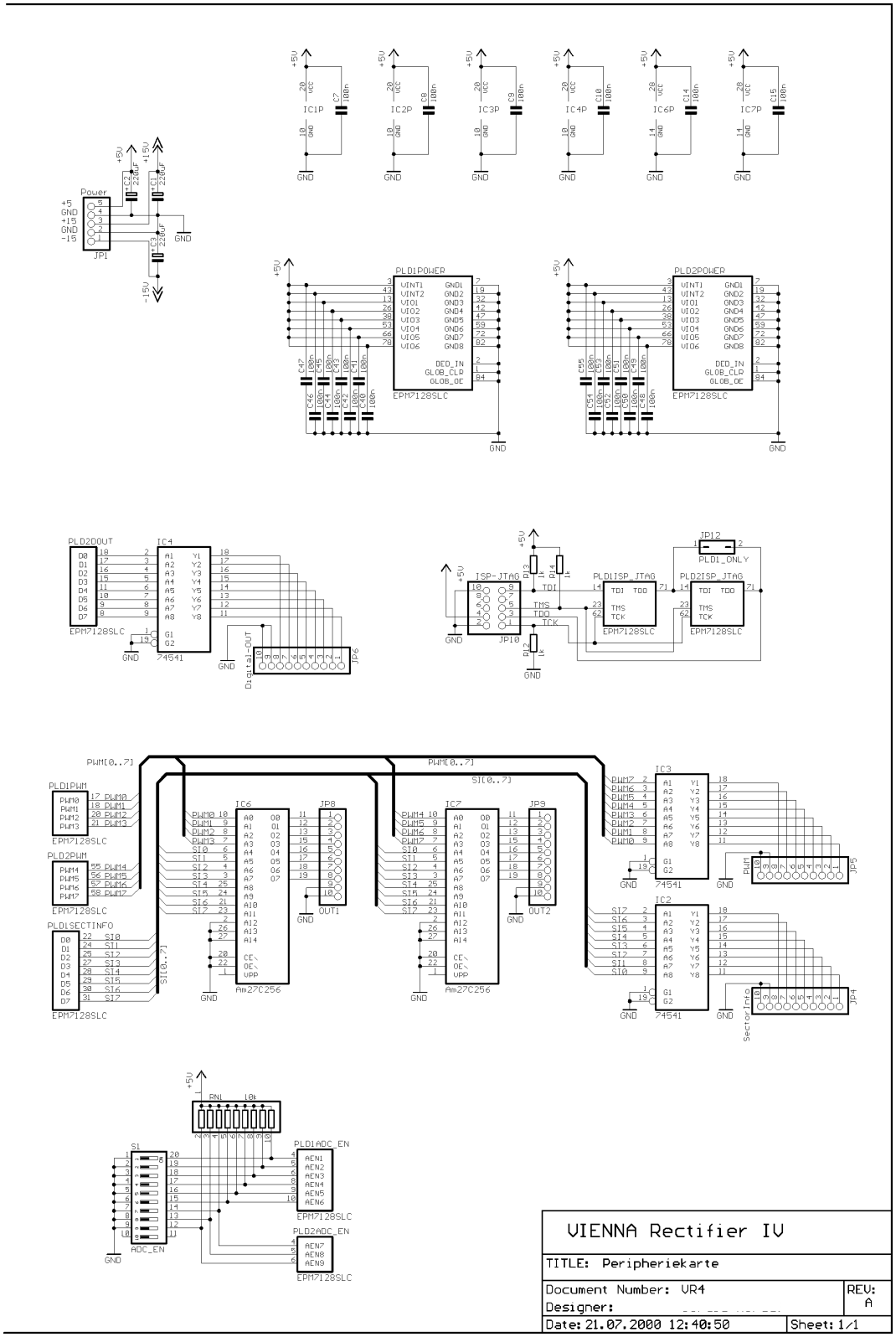


Abb. F.7: Schaltplan der Peripheriekarte, Teil 2.

Anhang G

Fotografien des Gleichrichtersystems

G.1 Fotografien des Leistungsteils

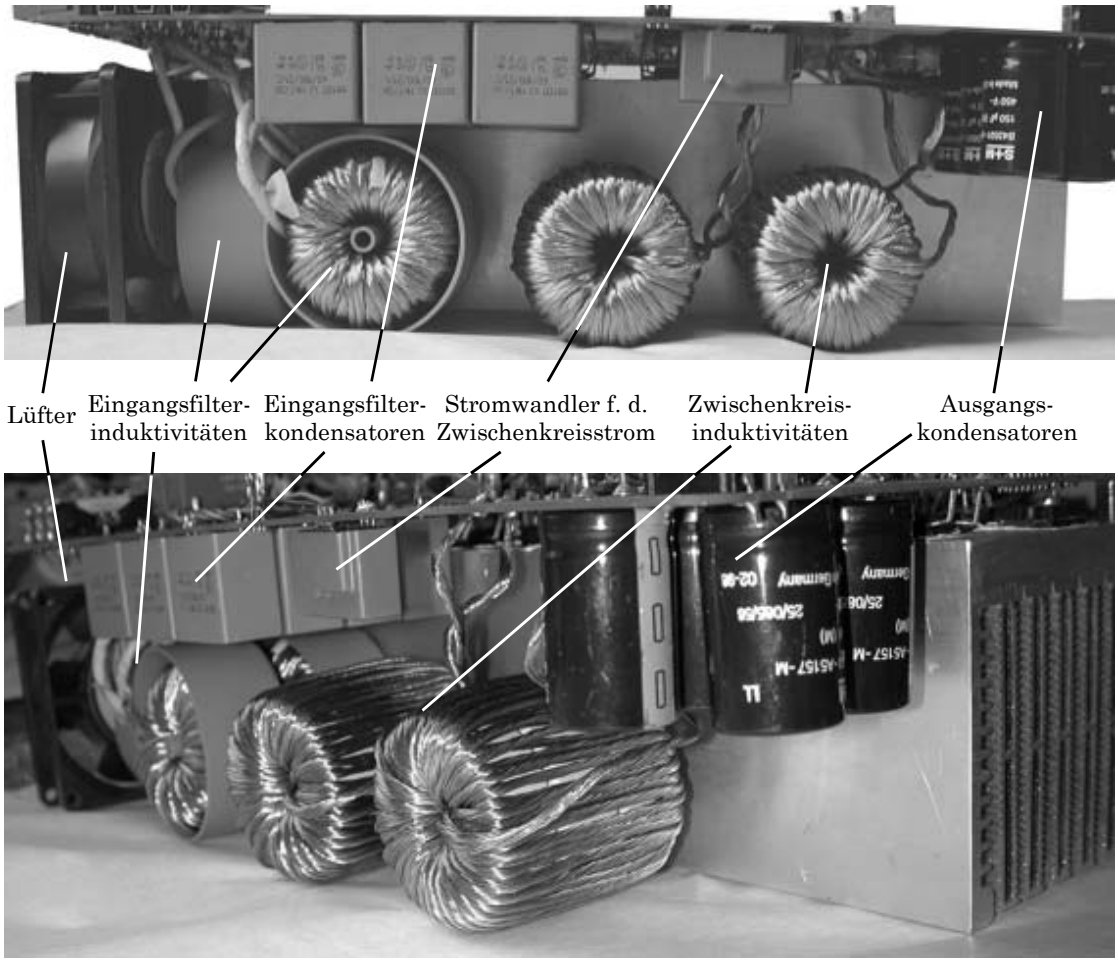


Abb. G.1: Seitenansicht des Leistungsteils des Gleichrichtersystems.

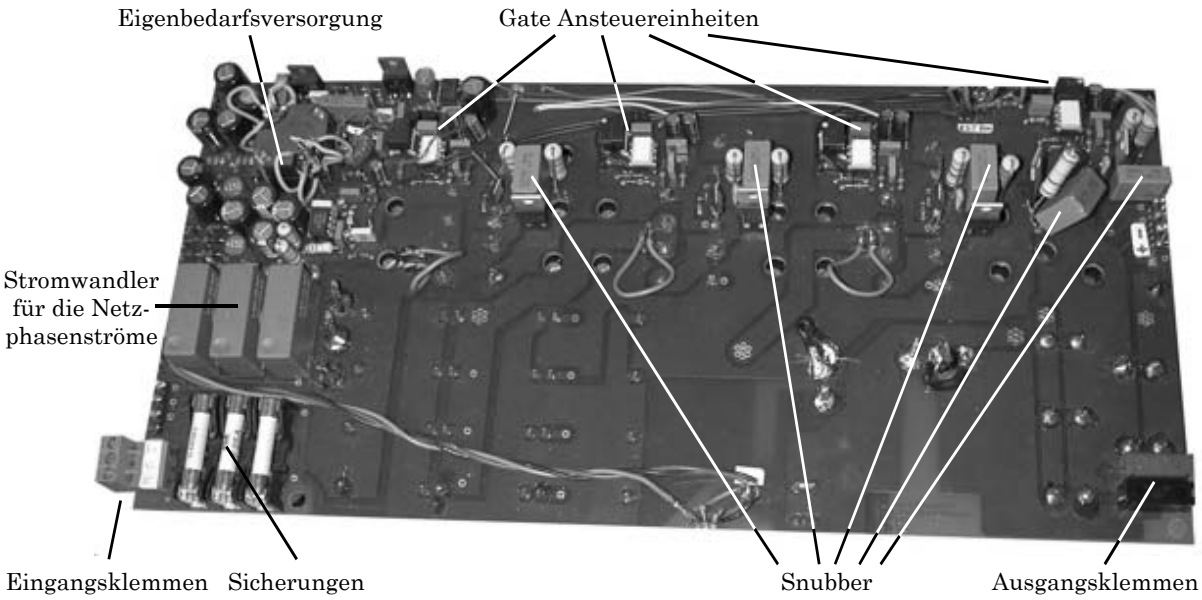


Abb. G.2: Platine des Leistungsteils.

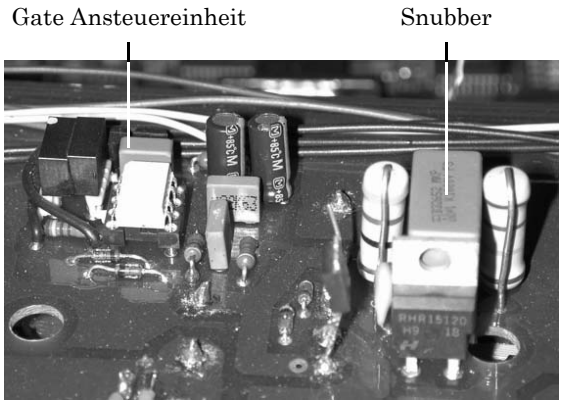


Abb. G.3: Detail des Platine des Leistungsteils: Gate-Ansteuereinheit und Snubber einer Phase.

G.2 Fotografien des Steuerteils

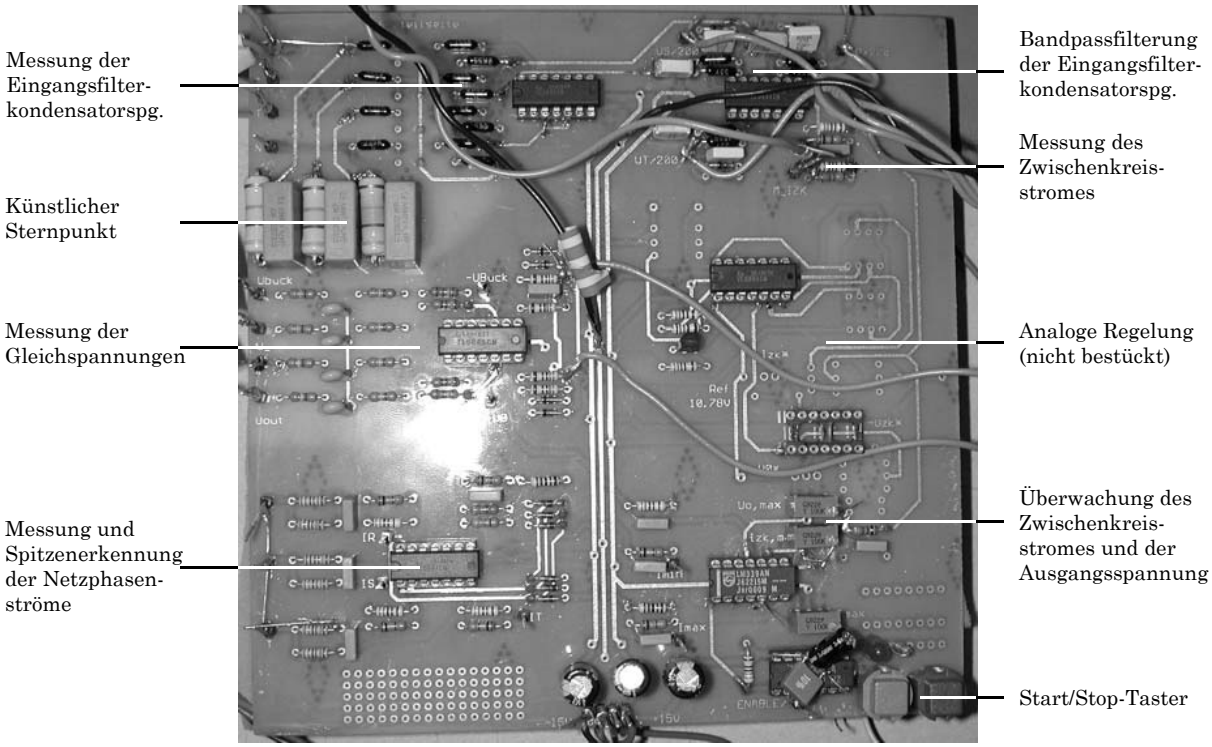


Abb. G.4: Signalanpassungsbord.

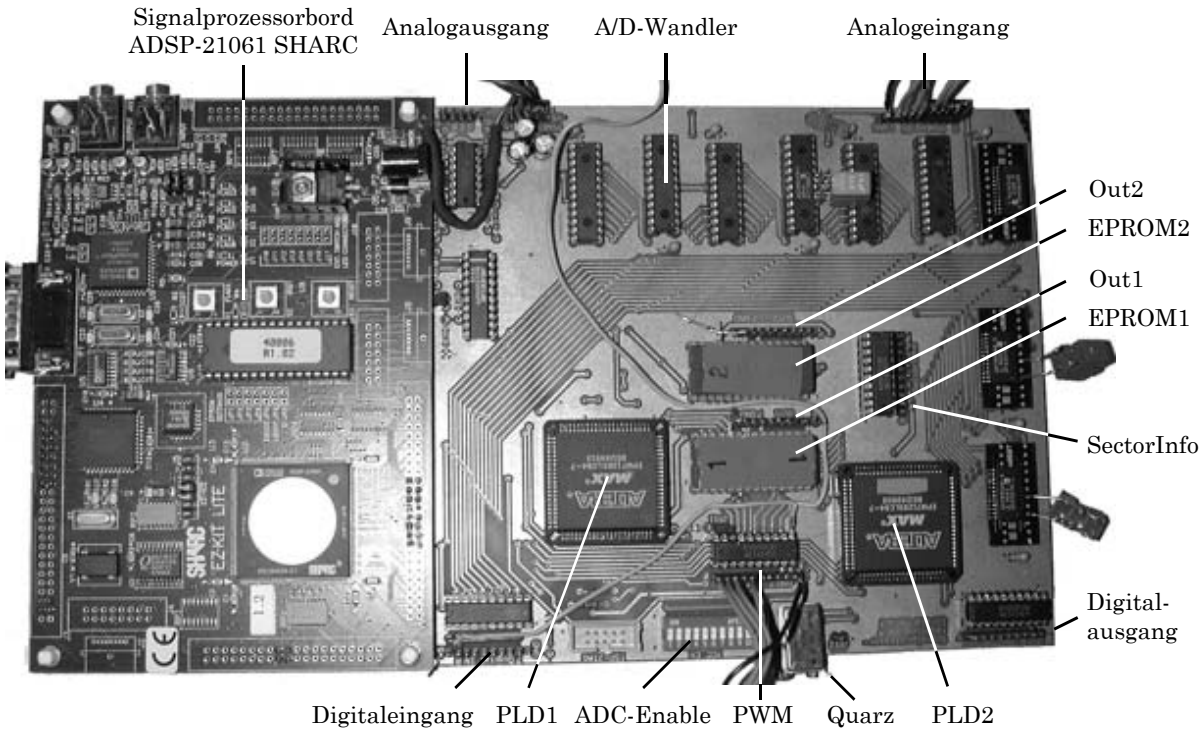


Abb. G.5: Signalprozessorbord und Peripheriekarte.

Anhang H

Ermittlung der zulässigen Betriebsparameter

H.1 Berechnung des maximalen Stromes

Ausgehend von der Schaltverlustleistung der Leistungstransistoren (5.16), der Leistungsdioden der Brückenzweige (5.17) sowie der Freilaufdiode (5.18) – hier mit allgemein gehaltenen Faktoren $k^n_{l,m}$ und $d^n_{l,m}$ ($l = \text{EIN}, \text{AUS}$, $m = S, D$ und $n = D_F \to S, S \to S, S \to D_F$) angegeben –

$$\begin{aligned} P_{S_i} &= \frac{f_P}{3}\Bigg(k^{D_F\to S}_{\text{EIN},S}\, I\, \left(U^{D_F\to S}_{N,avg}\right)^2 + d^{D_F\to S}_{\text{EIN},S}\, \left(U^{D_F\to S}_{N,avg}\right)^2 + \\ &\quad + k^{S\to S}_{\text{EIN},S}\, I\, \left(U^{S\to S}_{N,avg}\right)^2 + d^{S\to S}_{\text{EIN},S}\, \left(U^{S\to S}_{N,avg}\right)^2 + \\ &\quad + k^{S\to S}_{\text{AUS},S}\, I\, U^{S\to S}_{N,avg} + k^{S\to D_F}_{\text{AUS},S}\, I\, \left(U^{S\to D_F}_{N,avg}\right)^2 + \frac{2I\,M}{\pi}(U_{CE,0} + r_{CE}\, I)\Bigg) \end{aligned} \tag{H.1}$$

$$P_{D_{i,(N)\pm}} = \frac{f_P}{3}\, I\, \left(k^{D_F\to S}_{\text{EIN},D} + k^{S\to S}_{\text{EIN},D}\right) + \frac{I\,M}{\pi}(U_{F,0} + r_D\, I) \tag{H.2}$$

$$P_{D_F} = I\left(1 - \frac{3\,M}{\pi}\right)(U_{F,0} + r_D\, I) \tag{H.3}$$

kann für jeden Leistungshalbleiter der Maximalwert des Stromes berechnet werden, indem die jeweilige Verlustleistung mit der maximal abführbaren Verlustleistung $P_{\max}$ (5.19) gleichgesetzt wird,

$$\begin{aligned} P_{S_i} &= \frac{\Delta T}{R_{\Theta,S,JS}}, \\ P_{D_{i(N)\pm}} = P_{D_F} &= \frac{\Delta T}{R_{\Theta,D,JS}}, \end{aligned} \tag{H.4}$$

mit $\Delta T = T_{J,\max} - T_{KK}$, $T_{J,\max} = 150\ ^\circ\text{C}$, $T_{KK} = 70\ ^\circ\text{C}$, $R_{\Theta,S,JS} = (0,64 + 0,82)$ K/W und $R_{\Theta,D,JS} = (1,2 + 0,82)$ K/W. Der Lösungsweg führt über eine quadratische Gleichung und ist anhand der Verluste eines Leistungstransistors aufgezeigt,

$$\begin{aligned} 0 &= \underbrace{-\frac{\Delta T}{R_{\Theta,S,JS}} + \frac{f_P}{3}\left(d^{D_F\to S}_{\text{EIN},S}\, \left(U^{D_F\to S}_{N,avg}\right)^2 + d^{S\to S}_{\text{EIN},S}\, \left(U^{S\to S}_{N,avg}\right)^2\right)}_{C} + I^2\, \underbrace{\frac{2\,M}{\pi}\, r_D}_{A} + \\ &\quad + I\, \underbrace{\left[\frac{f_P}{3}\left(\left(k^{D_F\to S}_{\text{EIN},S} + k^{S\to D_F}_{\text{AUS},S}\right)\, \left(U^{D_F\rightleftarrows S}_{N,avg}\right)^2 + \left(k^{S\to S}_{\text{EIN},S} + k^{S\to S}_{\text{AUS},S}\right)\, \left(U^{S\to S}_{N,avg}\right)^2\right) + \frac{2\,M}{\pi}\, U_{CE,0}\right]}_{B}, \end{aligned} \tag{H.5}$$

für den Maximalwert des Stromes durch den Leistungstransistor erhält man

$$I_{S_i,\max} = -\frac{B}{2A} + \sqrt{\frac{B^2}{4A^2} - \frac{C}{A}}. \tag{H.6}$$

H.2 Berechnung von Ausgangsleistung und Wirkungsgrad

In Abhängigkeit der Eingangsspannung U_N wird mit (5.16) und (H.6) der maximal mögliche Strom $I_{\max}$ eines Leistungstransistors für eine bestimmte Pulsfrequenz f_P berechnet. Mit $I_{\max}$ wird dann mit (5.17) bzw. mit (5.18) die Verlustleistung an den Leistungsdioden berechnet, die Gesamtverluste ergeben sich damit zu

$$P_{V,ges} = 3\,P_{S_i} + 12\,P_{D_{i(N)\pm}} + P_{D_F}, \tag{H.7}$$

mit der Eingangsleistung

$$P_{in} = 3\,\frac{I_{\max}\,M}{\sqrt{2}}\,U_N \tag{H.8}$$

erhält man schließlich die Ausgangsleistung

$$P_0 = P_{in} - P_{V,ges} \tag{H.9}$$

und den Wirkungsgrad

$$\eta = \frac{P_0}{P_{in}}. \tag{H.10}$$

Anhang I

Analyse des Leistungsmoduls VUI 30-12 N1

I.1 Messergebnisse der Schaltverlustleistung bei 20 °C Sperrschichttemperatur

I.2 Messergebnisse der Schaltverlustleistung bei 120 °C Sperrschichttemperatur

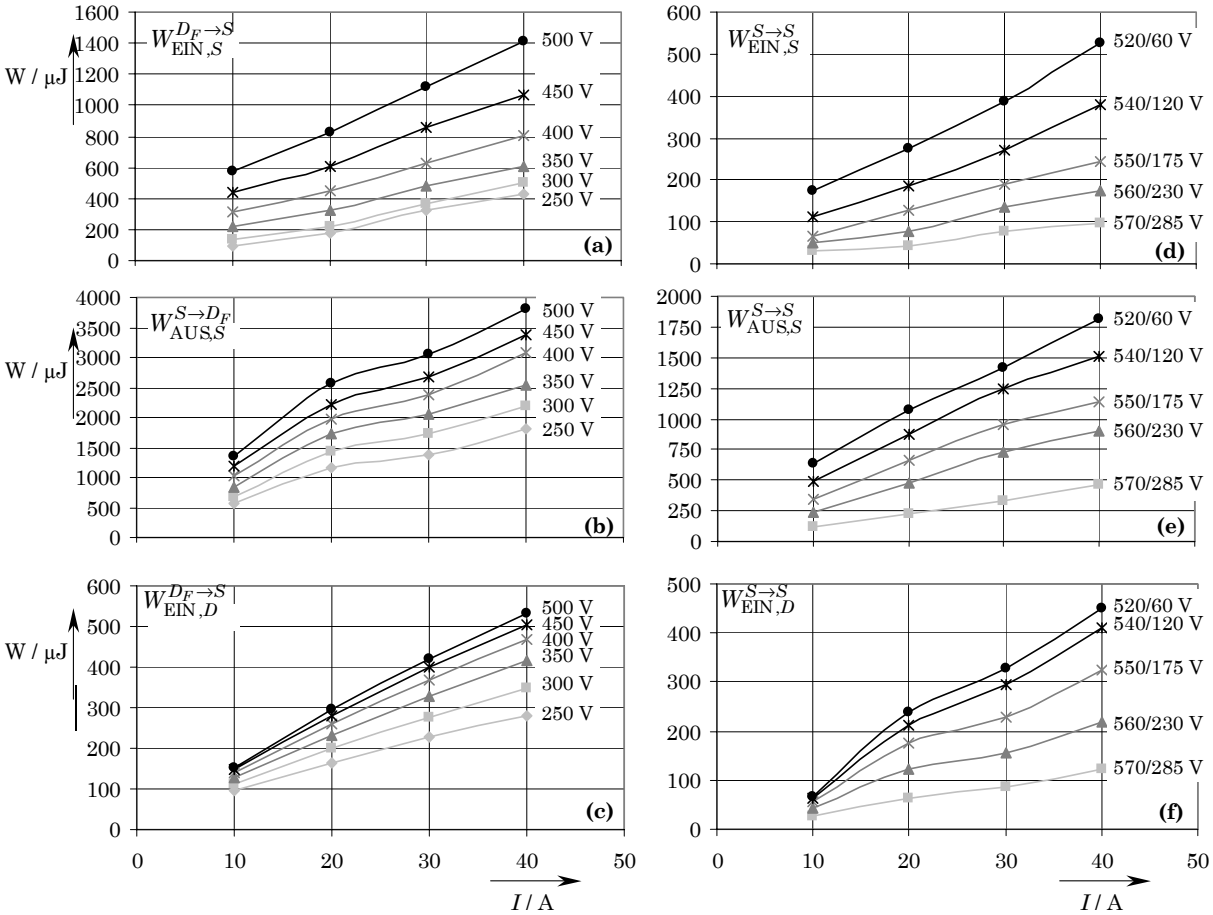


Abb. I.1: Schaltverlustenergie $W_{l,m}^{n}$ der Leistungstransistoren und Dioden für eine Sperrschichttemperatur von $T_J = 20$ °C mit der geschalteten Spannung als Parameter. Schaltverluste des Leistungstransistors **(a)** bei Übergang vom Freilauf in den aktiven Schaltzustand (Einschalten) und **(b)** bei Übergang vom aktiven Schaltzustand in den Freilauf (Ausschalten) und **(c)** Forward Recovery Verluste der Leistungsdiode D_{i-} beim Übergang vom Freilauf in den aktiven Schaltzustand. Schaltverluste des Leistungstransistors bei Übergang zwischen zwei aktiven Schaltzuständen **(d)** Einschalten und **(e)** Ausschalten und **(f)** Forward Recovery Verluste der Leistungsdiode D_{i-}. Parameter: (a) – (c): geschaltete Spannung u_{ST}; (d) – (f): geschaltete Spannungen u_{RT}/u_{ST}.

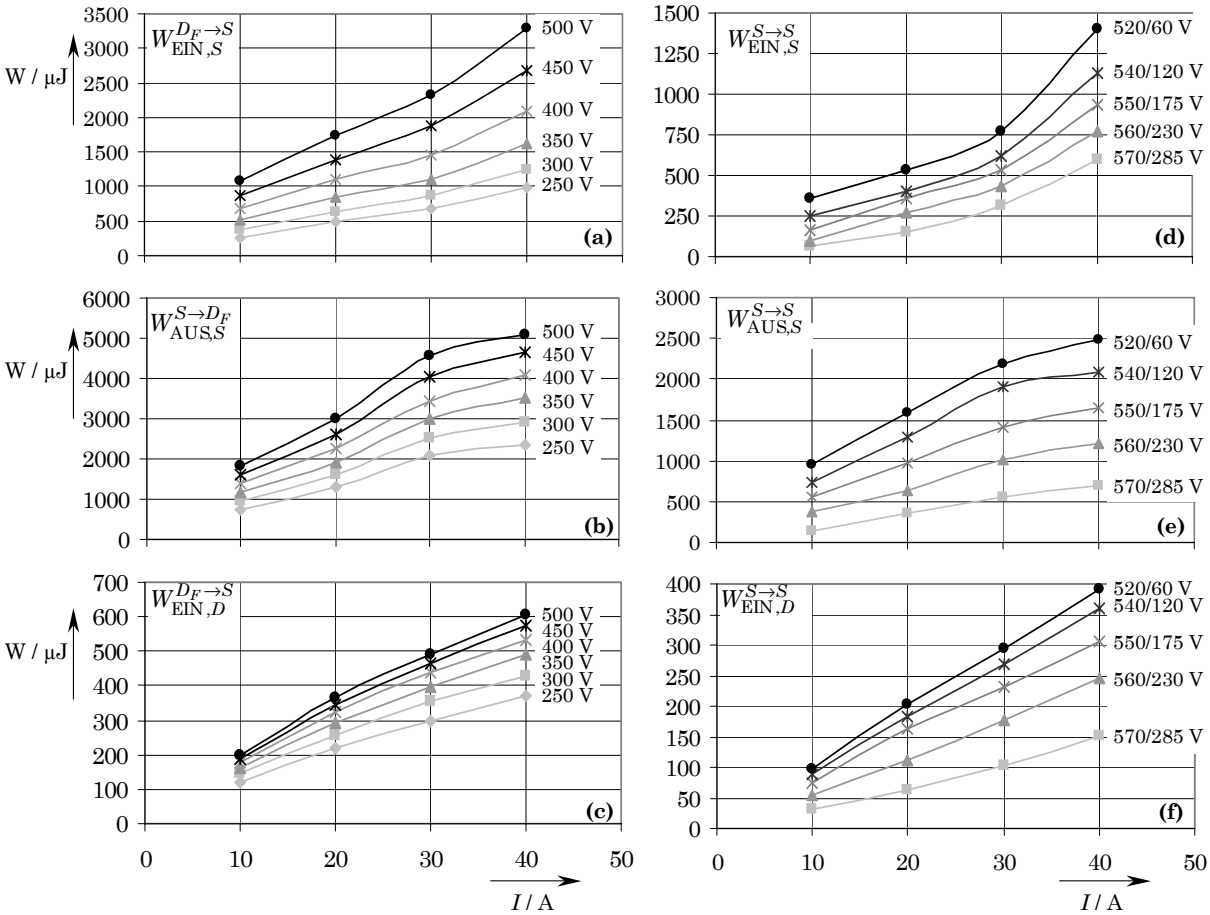


Abb. I.2: Schaltverlustenergie $W_{l,m}^{n}$ der Leistungstransistoren und Dioden für eine Sperrschichttemperatur von $T_J = 120$ °C mit der geschalteten Spannung als Parameter. Schaltverluste des Leistungstransistors **(a)** bei Übergang vom Freilauf in den aktiven Schaltzustand (Einschalten) und **(b)** bei Übergang vom aktiven Schaltzustand in den Freilauf (Ausschalten) und **(c)** Forward Recovery Verluste der Leistungsdiode D_{i-} beim Übergang vom Freilauf in den aktiven Schaltzustand. Schaltverluste des Leistungstransistors bei Übergang zwischen zwei aktiven Schaltzuständen **(d)** Einschalten und **(e)** Ausschalten und **(f)** Forward Recovery Verluste der Leistungsdiode D_{i-}. Parameter: (a) – (c): geschaltete Spannung u_{ST}; (d) – (f): geschaltete Spannungen u_{RT}/u_{ST}.

Anhang J

Spannungsrippel am Eingangsfilterkondensator

J.1 Zusammenhänge unter Annahme konstanter Bahngeschwindigkeit

Unter Annahme konstanter Bahngeschwindigkeit des Raumzeigers $\Delta\underline{u}_{C_F}$ erhält man den Zusammenhang

$$\frac{1}{t_{\mu,i+1}-t_{\mu,i}}\int_{t_{\mu,i}}^{t_{\mu,i+1}}\left[\Delta u^2_{C_F,\alpha}(t_\mu)+\Delta u^2_{C_F,\beta}(t_\mu)\right]dt_\mu = \tag{J.1}$$

$$= \frac{1}{3}\left[(\Delta u^2_{C_F,t_{\mu,i},\alpha}+\Delta u_{C_F,t_{\mu,i},\alpha}\Delta u_{C_F,t_{\mu,i+1},\alpha}+\Delta u^2_{C_F,t_{\mu,i+1},\alpha})+\right. \tag{J.2}$$
$$\left.(\Delta u^2_{C_F,t_{\mu,i},\beta}+\Delta u_{C_F,t_{\mu,i},\beta}\Delta u_{C_F,t_{\mu,i+1},\beta}+\Delta u^2_{C_F,t_{\mu,i+1},\beta})\right].$$

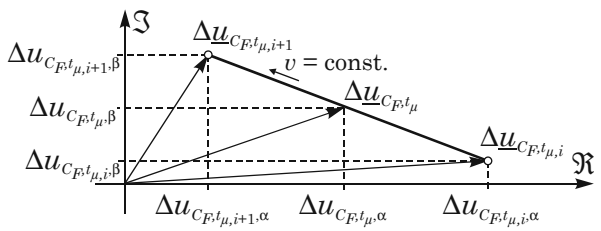


Abb. J.1: Bahnkurve des Raumzeigers des Spannungsrippels $\Delta\underline{u}_{C_F}$ zwischen zwei aufeinanderfolgenden Zeitpunkten $t_{\mu,i}$ und $t_{\mu,i+1}$.

Mit **Abb. J.1** ergibt sich für den Raumzeiger des Spannungsrippels am Eingangsfilterkondensator zu einem beliebigen Zeitpunkt $t_{\mu,i} \le t_\mu \le t_{\mu,i+1}$

$$\Delta\underline{u}_{C_F}(t_\mu) = \Delta u_{C_F,t_{\mu,i}} + \left(\Delta u_{C_F,t_{\mu,i+1}} - \Delta u_{C_F,t_{\mu,i}}\right)\frac{t_\mu - t_{\mu,i}}{t_{\mu,i+1}-t_{\mu,i}} \tag{J.3}$$

oder, nach Aufspaltung in Real- und Imaginärteil,

$$\Delta u_{C_F,\alpha}(t_\mu) = \Delta u_{C_F,t_{\mu,i},\alpha} + \left(\Delta u_{C_F,t_{\mu,i+1},\alpha} - \Delta u_{C_F,t_{\mu,i},\alpha}\right)\frac{t_\mu - t_{\mu,i}}{t_{\mu,i+1}-t_{\mu,i}} \tag{J.4}$$

$$\Delta u_{C_F,\beta}(t_\mu) = \Delta u_{C_F,t_{\mu,i},\beta} + \left(\Delta u_{C_F,t_{\mu,i+1},\beta} - \Delta u_{C_F,t_{\mu,i},\beta}\right)\frac{t_\mu - t_{\mu,i}}{t_{\mu,i+1}-t_{\mu,i}}. \tag{J.5}$$

Einsetzen von (J.5) in (J.1) und anschließendes Integrieren führt auf

$$\frac{1}{t_{\mu,i+1}-t_{\mu,i}}\quad\left[\Delta u_{C_F,t_{\mu,i},\alpha}\,t_\mu + 2\,\Delta u_{C_F,t_{\mu,i},\alpha}\left(\Delta u_{C_F,t_{\mu,i+1},\alpha} - \Delta u_{C_F,t_{\mu,i},\alpha}\right)\frac{\frac{1}{2}t_\mu^2 - t_{\mu,i}\,t_\mu}{t_{\mu,i+1}-t_{\mu,i}} + \right.$$

$$
\begin{aligned}
&+ \left(\Delta u_{C_F,t_{\mu,i+1},\alpha} - \Delta u_{C_F,t_{\mu,i},\alpha}\right)^2 \frac{\frac{1}{3}\left(t_\mu - t_{\mu,i}\right)^3}{\left(t_{\mu,i+1} - t_{\mu,i}\right)^2} + \\
&+ \Delta u_{C_F,t_{\mu,i},\beta}\, t_\mu + 2\,\Delta u_{C_F,t_{\mu,i},\beta}\left(\Delta u_{C_F,t_{\mu,i+1},\beta} - \Delta u_{C_F,t_{\mu,i},\beta}\right) \frac{\frac{1}{2}t_\mu^2 - t_{\mu,i}t_\mu}{t_{\mu,i+1} - t_{\mu,i}} + \\
&+ \left(\Delta u_{C_F,t_{\mu,i+1},\beta} - \Delta u_{C_F,t_{\mu,i},\beta}\right)^2 \frac{\frac{1}{3}\left(t_\mu - t_{\mu,i}\right)^3}{\left(t_{\mu,i+1} - t_{\mu,i}\right)^2}\Bigg]\Bigg|_{t_\mu = t_{\mu,i}}^{t_\mu = t_{\mu,i+1}} . \qquad \text{(J.6)}
\end{aligned}
$$

Nach Einsetzen der Integrationsgrenzen erhält man direkt (J.2).

J.2 Berechnung des Offsets für Modulationsverfahren 3

Mit der Bedingung, dass der Mittelwert des Spannungsrippels am Eingangsfilterkondensator innerhalb einer Pulshalbperiode verschwinden muss,

$$
\frac{2}{T_P}\int_{t_\mu=0}^{t_\mu=\frac{1}{2}T_P} \left[\Delta u_{C_F,R}(t_\mu) + \Delta u_{C_F,S}(t_\mu) + \Delta u_{C_F,T}(t_\mu)\right] \mathrm{d}t_\mu = 0 \qquad \text{(J.7)}
$$

lässt sich der dafür notwendige Offset der Trajektorie des zugehörigen Spannungsraumzeigers berechnen. Mit **Abb. J.2** erhält man

$$
\begin{aligned}
u_{t_{\mu,i},\alpha} &= u'_{t_{\mu,i},\alpha} + \Delta u_{0,\alpha}, \\
u_{t_{\mu,i},\beta} &= u'_{t_{\mu,i},\beta} + \Delta u_{0,\beta},
\end{aligned} \qquad \text{(J.8)}
$$

wobei die gestrichenen Größen dem ursprünglichen Koordinatensystem und die ungestrichenen Größen dem offsetbehafteten Koordinatensystem zugeordnet sind.

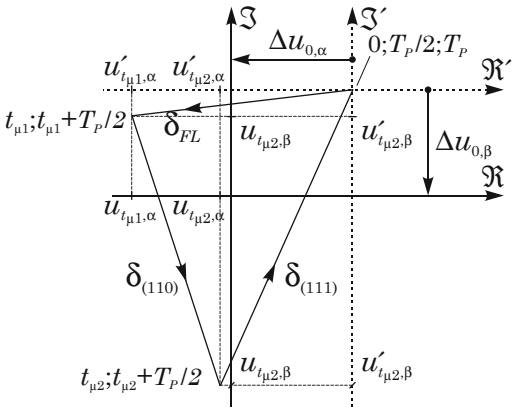


Abb. J.2: Bahnkurve des Raumzeigers des Spannungsrippels $\Delta\underline{u}_{C_F}$ für Modulationsverfahren 3 innerhalb einer Pulsperiode.

Für den zeitlichen Verlauf des Spannungsrippels am Eingangsfilterkondensator in Phase R ergibt sich

$$
f_1(t_\mu) = \Delta u_{C_F,R}(0 \le t_\mu \le t_{\mu 1}) = \frac{\Delta u_{C_F,t_{\mu 1},\alpha}}{\delta_{FL}}\, t + \Delta u_{0,\alpha}, \qquad \text{(J.9)}
$$

$$
\begin{aligned}
f_2(t_\mu) &= \Delta u_{C_F,R}(t_{\mu 1} \le t_\mu \le t_{\mu 2}) = \\
&= \frac{\Delta u_{C_F,t_{\mu 2},\alpha} - \Delta u_{C_F,t_{\mu 1},\alpha}}{\delta_{(110)}}\left(t - \delta_{FL}\right) + \Delta u_{C_F,t_{\mu 1}} + \Delta u_{0,\alpha},
\end{aligned} \qquad \text{(J.10)}
$$

$$
\begin{aligned}
f_3(t_\mu) &= \Delta u_{C_F,R}(t_{\mu 2} \le t_\mu \le T_P/2) = \\
&= \frac{\Delta u_{C_F,T_P/2,\alpha} - \Delta u_{C_F,t_{\mu 2},\alpha}}{\delta_{(111)}}\left(t - (1 - \delta_{(111)})\right) + \Delta u_{C_F,t_{\mu 2}} + \Delta u_{0,\alpha},
\end{aligned} \qquad \text{(J.11)}
$$

damit erhält man für den Mittelwert $\Delta\overline{u}_{C_F,R}(t_\mu)$ innerhalb einer Pulshalbperiode

$$\Delta\overline{u}_{C_F,R}(t_\mu) = \frac{2}{T_P}\{\int_0^{t_{\mu 1}} f_1(t_\mu)\,\mathrm{d}t_\mu + \int_{t_{\mu 1}}^{t_{\mu 2}} f_2(t_\mu)\,\mathrm{d}t_\mu + \int_{t_{\mu 2}}^{T_P/2} f_3(t_\mu)\,\mathrm{d}t_\mu\} = 0. \tag{J.12}$$

Auflösen der Gleichung nach $\Delta u_{0,\alpha}$ liefert für den Offset $\Delta u_{0,\alpha}$

$$\Delta u_{0,\alpha} = -\frac{1}{2}\left(\Delta u_{C_F,t_{\mu 1},\alpha}(1-\delta_{(111)}) + \Delta u_{C_F,t_{\mu 2},\alpha}(\delta_{(110)}+\delta_{(111)}) + \Delta u_{C_F,T_P/2,\alpha}\delta_{(111)}\right), \tag{J.13}$$

mit dem Verlauf des Spannungsrippels in Phase S

$$\begin{aligned} g_1(t_\mu) &= \Delta u_{C_F,S}(0 \le t_\mu \le t_{\mu 1}) = \\ &= \frac{-\frac{1}{2}\Delta u_{C_F,t_{\mu 1},\alpha} + \frac{\sqrt{3}}{2}\Delta u_{C_F,t_{\mu 1},\beta}}{\delta_{FL}}\,t + (-\frac{1}{2}\Delta u_{0,\alpha} + \frac{\sqrt{3}}{2}\Delta u_{C_F,t_{\mu 1},\beta}), \end{aligned} \tag{J.14}$$

$$\begin{aligned} g_2(t_\mu) &= \Delta u_{C_F,S}(t_{\mu 1} \le t_\mu \le t_{\mu 2}) = \\ &= \frac{-\frac{1}{2}\Delta u_{C_F,t_{\mu 2},\alpha} + \frac{\sqrt{3}}{2}\Delta u_{C_F,t_{\mu 2},\beta} - (-\frac{1}{2}\Delta u_{C_F,t_{\mu 1},\alpha} + \frac{\sqrt{3}}{2}\Delta u_{C_F,t_{\mu 1},\beta})}{\delta_{(110)}}\,(t-\delta_{FL}) + \\ &\quad +(-\frac{1}{2}\Delta u_{C_F,t_{\mu 1},\alpha} + \frac{\sqrt{3}}{2}\Delta u_{C_F,t_{\mu 1},\beta}) + (-\frac{1}{2}\Delta u_{0,\alpha} + \frac{\sqrt{3}}{2}\Delta u_{0,\beta}), \end{aligned} \tag{J.15}$$

$$\begin{aligned} g_3(t_\mu) &= \Delta u_{C_F,S}(t_{\mu 2} \le t_\mu \le T_P/2) = \\ &= \frac{-\frac{1}{2}\Delta u_{C_F,T_P/2,\alpha} + \frac{\sqrt{3}}{2}\Delta u_{C_F,T_P/2,\beta} - (-\frac{1}{2}\Delta u_{C_F,t_{\mu 2},\alpha} + \frac{\sqrt{3}}{2}\Delta u_{C_F,t_{\mu 2},\beta})}{\delta_{(111)}}\,(t-(1-\delta_{(111)})) + \\ &\quad +(-\frac{1}{2}\Delta u_{C_F,t_{\mu 2},\alpha} + \frac{\sqrt{3}}{2}\Delta u_{C_F,t_{\mu 2},\beta}) + (-\frac{1}{2}\Delta u_{0,\alpha} + \frac{\sqrt{3}}{2}\Delta u_{0,\beta}), \end{aligned} \tag{J.16}$$

und dem Mittelwert $\Delta\overline{u}_{C_F,S}(t_\mu)$ innerhalb einer Pulshalbperiode

$$\Delta\overline{u}_{C_F,S}(t_\mu) = \frac{2}{T_P}\{\int_0^{t_{\mu 1}} g_1(t_\mu)\,\mathrm{d}t_\mu + \int_{t_{\mu 1}}^{t_{\mu 2}} g_2(t_\mu)\,\mathrm{d}t_\mu + \int_{t_{\mu 2}}^{T_P/2} g_3(t_\mu)\,\mathrm{d}t_\mu\} = 0. \tag{J.17}$$

erhält man für den Offset $\Delta u_{0,\beta}$

$$\begin{aligned} &\Delta u_{0,\beta} = \\ &\frac{1}{2\sqrt{3}}\Big(2\Delta u_{0,\alpha} + \Delta u_{C_F,t_{\mu 1},\alpha}(1-\delta_{(111)}) + \sqrt{3}\Delta u_{C_F,t_{\mu 1},\beta}(\delta_{(111)}-1) + \Delta u_{C_F,t_{\mu 2},\alpha}(\delta_{(110)}+\delta_{(111)}) + \\ &\sqrt{3}\Delta u_{C_F,t_{\mu 2},\beta}(\delta_{(110)}-\delta_{(111)}) + \Delta u_{C_F,T_P/2,\alpha}\delta_{(111)} - \sqrt{3}\Delta u_{C_F,T_P/2,\beta}\delta_{(111)}\Big). \end{aligned} \tag{J.18}$$

Lösen der Gleichungen (J.13) und (J.18) liefert für die beiden Offsetgrößen

$$\Delta u_{0,\alpha} = \frac{\sqrt{3}}{4}\left(\delta_{(110)}+\delta_{(111)} - (\delta_{(110)}+\delta_{(111)})^2\right), \tag{J.19}$$

$$\Delta u_{0,\beta} = \frac{1}{4}\left(\delta_{(111)} - \delta_{(110)} + \delta_{(110)}^2 + 2\delta_{(110)}\delta_{(111)} - \delta_{(111)}^2\right). \tag{J.20}$$

Anhang K

Signalprozessorprogramm

```
/* ------------------------------------------------------------------------------------------------------ */
/*                                                                                                        */
/* Signal Processor Programm for the Control of a Three-Phase / Switch Buck Derived Wide Input            */
/* Voltage Range PWM Unity Power Factor Rectifer with Integrated DC/DC Boost Output Stage                 */
/*                                                                                                        */
/* ------------------------------------------------------------------------------------------------------ */


#include ''def21060.h''              /* File containing symbolic names of system- and I/O-processor bits
                                        (and register addresses of the I/O-processor). */

/* Directive defining handling of numbers in assembler. */
.PRECISION=32;                       /* Standard IEEE 32-bit single-precision format */
.ROUND_NEAREST;                      /* Rounding mode (to the next displayable value) */

/* Definitions for initializing the peripheral board ------------------------------------------------- */
#define PWM_Control 0x1              /* Defining the counting direction of the PWM channels in the PLDs:
                                        0x0 : triangle: PWM0-7 counting synchronuos up and down,
                                              switching signal for boost power transistor during
                                              active switching states of buck stage.
                                        0x1 : triangle: PWM0-3 counting ascending while
                                              PWM4-7 counting descending (and vice versa),
                                              switching signal for boost power transistor during
                                              free-wheeling state of buck stage.
                                        0x2 : sawtooth: PWM0-7 counting up all the time,
                                              switching signal for boost power transistor during
                                              active switching states of buck stage.
                                        0x3 : sawtooth: PWM0-3 counting ascending while
                                              PWM4-7 counting descending all the time,
                                              switching signal for boost power transistor during
                                              free-wheeling state of buck stage. */
/* ------------------------------------------------------------------------------------------------------ */

/* Defintion of constants ---------------------------------------------------------------------------- */
/* Addreses of peripheral components in the external memory of the DSP: ------------------------------- */
#define ADC1 0x400000                /* A/D converter 1 (memory bank 0, 12 bit, read only) */
#define ADC2 0x400001                /* A/D converter 2 (memory bank 0, 12 bit, read only) */
#define ADC3 0x400002                /* A/D converter 3 (memory bank 0, 12 bit, read only) */
#define ADC4 0x400003                /* A/D converter 4 (memory bank 0, 12 bit, read only) */
#define ADC5 0x400004                /* A/D converter 5 (memory bank 0, 12 bit, read only) */
#define ADC6 0x400005                /* A/D converter 6 (memory bank 0, 12 bit, read only) */
#define ADC7 0x400006                /* A/D converter 7 (memory bank 0, 12 bit, read only) */
#define ADC8 0x400007                /* A/D converter 8 (memory bank 0, 12 bit, read only) */
#define ADC9 0x400008                /* A/D converter 9 (memory bank 0, 12 bit, read only) */
#define DigitalIN 0x400009           /* Digital input (memory bank 0, 8 bit, read only) */
#define DAC_A 0x404000               /* DAC A (memory bank 2, 8 bit, write only) */
#define DAC_B 0x404001               /* DAC B (memory bank 2, 8 bit, write only) */
#define DAC_C 0x404002               /* DAC C (memory bank 2, 8 bit, write only) */
#define DAC_D 0x404003               /* DAC D (memory bank 2, 8 bit, write only) */
#define PWM0 0x406000                /* PWM channel 0 (memory bank 3, 8 bit, write only) */
```

```
#define PWM1 0x406001                /* PWM channel 1 (memory bank 3, 8 bit, write only) */
#define PWM2 0x406002                /* PWM channel 2 (memory bank 3, 8 bit, write only) */
#define PWM3 0x406003                /* PWM channel 3 (memory bank 3, 8 bit, write only) */
#define PWM4 0x406004                /* PWM channel 4 (memory bank 3, 8 bit, write only) */
#define PWM5 0x406005                /* PWM channel 5 (memory bank 3, 8 bit, write only) */
#define PWM6 0x406006                /* PWM channel 6 (memory bank 3, 8 bit, write only) */
#define PWM7 0x406007                /* PWM channel 7 (memory bank 3, 8 bit, write only) */
#define SectorInfo 0x406008          /* Sector information (memory bank 3, 8 bit, write only) */
#define DigitalOUT 0x406009          /* Digital Output (memory bank 3, 8 bit, write only) */
#define ControlReg 0x40600F          /* Control register in the PLDs (memory bank 3, 2 bit, write only) */

/* Masks for selection of the 6 intervals for the calculation of the relative on-times. For the correct
   arrangement of the switching states within one pulse period, each interval is divided into 2 sectors. */
#define mask1 0x80000000             /* Interval 1; (-Pi/6; Pi/6);  Sector 1 und Sector 12 */
#define mask2 0xC0000000             /* Interval 2; (Pi/6; Pi/2);   Sector 2 und Sector 3 */
#define mask3 0x40000000             /* Interval 3; (Pi/2; 5Pi/6);  Sector 4 und Sector 5 */
#define mask4 0x60000000             /* Interval 4; (5Pi/6; 7Pi/6); Sector 6 und Sector 7 */
#define mask5 0x20000000             /* Interval 5; (7Pi/6; 3Pi/2); Sector 8 und Sector 9 */
#define mask6 0xA0000000             /* Interval 6; (3Pi/2; -Pi/6); Sector 10 und Sector 11 */

/* Constants for controllers */
#define Kp_CurrentController 1.0     /* Gain Kp, DC link current controller (proportional part) */
#define Kp_VoltageController 0.005   /* Gain Kp, output voltage controller (proportional part) */
#define Ki_VoltageController 0.001   /* Gain Ki, output voltage controller (integrating part) */
#define Ki_CurrentController 0.001   /* Gain Ki, DC link current controller (integrating part) */

#define Anti_Windup_Bit 0            /* Bit 0 of the digtial input:
                                        High: no switching signals applied to the power stage,
                                              integration of the PI-type controllers disabled
                                        Low:  switching signals applied to the power stage,
                                              integration of the PI-type controllers enabled */

/* Limits */
#define M_max 0.99                   /* maximum modulation index of the buck stage,
                                        limits the maximum value of the buck stage output voltage */
#define Outputvoltage 0.0            /* Output voltage reference value, default: 0.0 V, changed on-line */

#define Konstante_TP 0.01            /* Constant for low-pass filtering output power reference */
#define IZKmax 25.0                  /* Maximum peak value of the DC link current */
#define P_max 6000.0                 /* Maximum allowable output power */

/* Reservation of memory space for variables in the RAM ---------------------------------------------  */

.SEGMENT/DM seg_dmda;                /* Declaration of variables in data store memory */

.VAR Kp_I;                           /* Gain of the DC link current controller (P-part) */
.VAR Kp_U;                           /* Gain of the output voltage controller (P-part) */
.VAR Ki_U;                           /* Gain of the output voltage controller (I-part) */
.VAR IntSum;                         /* Integration Sum */

.VAR Uc_R;                           /* Input filter capacitor voltage in phase R */
.VAR Uc_S;                           /* Input filter capacitor voltage in phase S */
.VAR Uc_T;                           /* Input filter capacitor voltage in phase T */
.VAR U;                              /* reference value of the buck stage output voltage u */
.VAR UBuck;                          /* Actual value of the buck stage output voltage */
.VAR IZK_ref;                        /* Reference value of the DC link current */
.VAR IZK;                            /* Actual value of the DC link current */
.VAR IZK_average;                    /* (IZK(k)+IZK(k-1))/2, Average value of two sampling values */
.VAR U0;                             /* Actual value of the output voltage */
.VAR U0_ref;                         /* Reference value of the output voltage (in Volt), changed on-line */
.VAR Delta;                          /* Modulation index of the boost converter */

.VAR U_ADC1;                         /* Value of ADC1, 2's complement */
.VAR U_ADC2;                         /* Value of ADC2, 2's complement */
.VAR U_ADC3;                         /* Value of ADC3, 2's complement */
.VAR U_ADC4;                         /* Value of ADC4, 2's complement */
.VAR U_ADC5;                         /* Value of ADC5, 2's complement */
.VAR U_ADC6;                         /* Value of ADC6, 2's complement */
```

```
.VAR DigitalIN_Data;                /* Data of the digital inputs */
.VAR ActiveSector;                  /* Actual sector, valid for an interrupt cycle
                                       binary code: sector 1 --> 0x1, Sector 2 --> 0x2, etc.;
                                       no sector detection: 0x0*/

.VAR t011;                          /* relative on-time of switching state j=011 (floating pt.) */
.VAR t101;                          /* relative on-time of switching state j=101 (floating pt.) */
.VAR t110;                          /* relative on-time of switching state j=110 (floating pt.) */

.VAR Start_PWM0;                    /* initial value of PWM0 (8 Bit) */
.VAR Start_PWM1;                    /* initial value of PWM1 (8 Bit) */
.VAR Start_PWM2;                    /* initial value of PWM2 (8-Bit) */

.VAR Err_NoSector;                  /* Number of times, where no sector could be detected */

.VAR K_TPU;                         /* Constant for low-pass filtering of abs_u_quad */
.VAR delta_max;                     /* Maximum modulation index of the boost stage */
.VAR U_unlim;                       /* Buck stage output voltage reference value, unlimited */
.VAR U_lim;                         /* Buck stage output voltage reference value, limited */
.VAR abs_u;                         /* absolute value of input filter cap. voltage space vector */
.VAR abs_u_quad;                    /* absolute value of square of the space vector */
.VAR Limit;                         /* 1 if P_soll>P_max, otherwise 0 */
.VAR abs_u_V;                       /* absolute value of space vector in Volt */
.VAR U_lim_V;                       /* limited buck stage output voltage referece value in Volt */
.VAR IZK_avg_A;                     /* Average value of the DC link current actual value in Amps */
.VAR PI_Reg;                        /* Output of the output voltage controller */
.VAR E;                             /* Control deviation U0_ref - U0 */
.VAR IZK_max;                       /* Maximum value of the DC link current, changed on-line */
.VAR UL;                            /* Voltage reference value across the DC link inductor */
.VAR K_TP;                          /* Constant for low-pass filtering */
.VAR Ki_I;                          /* Gain of DC link current controller (I-part) */
.VAR IntSum2;                       /* Integration sum of DC link current controller */
.VAR u_max;                         /* Maximum value of the buck stage output voltage
                                       u_max = 3/2 M_max abs_u */
.VAR IZK_neu;                       /* Actual value of the DC link current */
.VAR boost2;                        /* Auxiliary variable for calculation of DC link current */
.VAR iform;                         /* DC link current reference value */
.VAR boost;                         /* Auxiliary variable, boost stage active/deactivated */
.VAR Produkt;                       /* DC link current reference value */
.VAR fak;                           /* Factor for on-time calculation U/(3*(abs(u))^2) */
.VAR K_TPR;                         /* Constant for low-pass filtering */
.VAR UCR_alt;                       /* Peak detection phase R */
.VAR UCS_alt;                       /* Peak detection phase S*/
.VAR UCT_alt;                       /* Peak detection phase T*/
.VAR sum_u;                         /* 1/2*Sum_i (UCi_alt^2), i=R,S,T */
.VAR g_soll;                        /* Reference value of input conductivity */
.VAR P_soll;                        /* Output power reference value */
.VAR u0_max;                        /* Maximum value of output voltage */
.VAR Prod_alt;                      /* Peak detection DC link current */
.VAR K_TPP;                         /* Constant for low-pass filtering of DC link current ref. */
.VAR IZK_lim;                       /* Maximum value of DC link current */
.VAR Limit_IZK;                     /* Auxiliary var., DC link current at limit: 1, otherwise: 0 */
.VAR faktor;                        /* Correcting factor fc */
.ENDSEG;                            /* End of seg_dmda */


/* ------------------------------------------------------------------------------------------------ */
/* Table of Interrupt Vectors                                                                       */
/* ------------------------------------------------------------------------------------------------ */
/* The interrupt vectors have to lie in the runtime header (due to the given structure of the memory map of
   the EZ-KIT Lite Board). The addresses of the different interrupt vectors are defined and are given in
   the ADSP-2106x SHARC User's Manual (Appendix F). The interrupt vectors are shifted by 4 memory spaces.
   The vectors have decreasing priority and can be masked with MODE1 and IMASK Registers. */

.SEGMENT/PM   seg_rth;              /* Table in the Runtime Header */

NOP; NOP; NOP; NOP;                 /* reserved vector */

/* Resetvector, initiated by the reset button on the EZ-KIT Light Board */
```

```
RSTI_svc:      NOP;                   /* used for booting the kernel */
jump init;                            /* first instruction after Reset; jump to initialization */
NOP;
NOP;

NOP; NOP; NOP; NOP;                   /* reserved vector */

/* Vector for status stack/loop stack overflow or PC stack full: */
SOVFI_svc:     RTI; RTI; RTI; RTI;

/* Vector for high priority timer interrupt: */
TMZHI_svc:     RTI; RTI; RTI; RTI;

/* Vector for external Interrupts (Multiprocessor Vector): */
VIRPTI_svc:    RTI; RTI; RTI; RTI;

/* Vector for IRQ2 Interruptserviceroutine: */
/* for communication of the DSP-Kernels with the Host-PC via the UART, the UART generates an
   interrupt request via IRQ2, which must not be used elsewhere and/or be masked. */
IRQ2I_svc:     RTI; RTI; RTI; RTI;

/* Vector for IRQ1 Interruptserviceroutine: */
/* can be initiated via a button on the EZ-KIT Ligth Board; not used, therefore masked */
IRQ1I_svc:     RTI; RTI; RTI; RTI;

/* Vector for IRQ0 Interruptserviceroutine: */
IRQ0I_svc:     jump calculation;      /* Executing a calculation cycle */
RTI;
RTI;
RTI;

.ENDSEG;                              /* End of seg_rth */

.SEGMENT/PM    seg_pmco;              /* The actual program is placed in the User Code Segment
                                         of the program memory */

/* ------------------------------------------------------------------------------------------------ */
/* Initializing                                                                                     */
/* ------------------------------------------------------------------------------------------------ */
/* Basic settings of the DSP have to be done in the registers MODE1 and MODE2. In the IMASK register
   interrupts can be masked by setting according bits. In the WAIT register wait- and hold-cycles can be
   set for the communication with external memory spaces (separately for every memory bank). In the
   SYSCON register settings for the system configuration can be done (here, no changes are necessary). */

init:          bit set MODE1 IRPTEN|ALUSAT|RND32;
/* Global Interrupt Enable, ALU with saturation characteristic at overflow, rounding to 32 bit floating
   point. (furthermore: no interrupt-nesting, rounding: Round to Nearest, Use of primary Register-Files) */
bit set IMASK IRQ0I|IRQ2I|RSTI;       /* Masking IRQ0, IRQ2 and Resetinterrupt */
bit set MODE2 IRQ0E;                  /* IRQ0 has to be slope-sensitive, the other
                                         external interrupts are level-sensitive */

USTAT1=0x21A4A749;                    /* User-Statusregister (32bit): can be used freely
                                         memory bank 0: 2 wait states
                                         memory bank 1: Standard configuration:
                                                        6 wait states, for UART reserved
                                         memory bank 2: 2 wait states
                                         memory bank 3: 2 wait states */
DM(WAIT)=USTAT1;                      /* WAIT Register is no system register
                                         (can not be modyfied with bit set) */


r7=PWM_Control;
DM(ControlReg)=r7;                    /* Initializing of the control registeres in the PLD's */

/* Initializing of control parameters */
f7=Kp_CurrentController;
DM(Kp_I)=f7;                          /* current controller (proportional part) */
f7=Kp_VoltageController;
DM(Kp_U)=f7;                          /* voltage controller (proportional part) */
```

```
f7=Ki_VoltageController;
DM(Ki_U)=f7;                        /* voltage controller (integral part) */
f7=Ki_CurrentController;
DM(Ki_I)=f7;                        /* current controller (integral part) */

f7=Outputvoltage;
DM(U0_ref)=f7;                      /* Output voltage (in Volt) */

f7=0.0;                             /* Resetting of different variables */
DM(IntSum)=f7;
DM(IZK)=f7;
DM(UCR_alt)=f7;
DM(UCS_alt)=f7;
DM(UCT_alt)=f7;
DM(P_alt)=f7;
DM(g_soll)=f7;
DM(Limit)=f7;
DM(Prod_alt)=f7;
DM(Limit_IZK)=f7;

f14=255.0;                          /* Factor for conversion of the relative on-times from
                                       interval [0;1] to interval [0;255]. This equals the
                                       initial value of the counters for the PWM channels. */
f7=Konstante_TP;
DM(K_TP)=f7;                        /* constant for low-pass filering P_soll */
f7=0.0001;
DM(K_TPR)=f7;                       /* constant for low-pass filtering after peak detection */
DM(K_TPP)=f7;                       /* constant for low-pass filtering after peak detection
                                       of DC link current */
f7=0.0005;
DM(K_TPU)=f7;                       /* constant for low-pass filtering for abs_u_quad */
r7=0x0;
DM(Err_NoSector) = r7;              /* counting variable for failures */
DM(Delta)=r7;                       /* reset modulation index of the boost converter */
f7=0.99;
DM(delta_max)=f7;                   /* maximalum boost-stage modulation index */
f7=INmax;
DM(IN_max)=f7;                      /* maximalum mains phase current */
f7=IZKmax;
DM(IZK_lim)=f7;                     /* maximalum DC link current */
f7=1.0;
DM(faktor)=f7;                      /* correcting factor for DC link current */


/* ------------------------------------------------------------------------------------------------ */
/* Main Program                                                                                     */
/* ------------------------------------------------------------------------------------------------ */
/* The main program consists of an endless loop, which is intermitted by an interrupt. */

main:         idle;                 /* Wait for an interrupt in the energy saving mode. */
jump main;


/* ------------------------------------------------------------------------------------------------ */
/* Interrupt service routine of IRQ0                                                                */
/* ------------------------------------------------------------------------------------------------ */


calculation:
r7=PWM_Control;
DM(ControlReg)=r7;                  /* Initializing the control registers in the PLDs */


/* Read in and conversion to floating point ------------------------------------------------------- */
/* Scales:
   UcF_i: 0.005 V/V results in: 0.005V/V*2048 bit/2.5V=4.096 bit/V
   U, U0: 0.00273 V/V results in: 0.00273V/V*2048 bit/2.5V=2.236416 bit/V
   Adaptation of UcF_i and U, U0: factor 2.236416/4.096=0.546. */
```

```
f12=0.546;

r15=DM(DigitalIN);                  /* Read in from digital input (8 Bit) */
r7=0x000000FF;
r15=r15 and r7;                     /* reset all higher bits */
DM(DigitalIN_Data)=r15;             /* write to RAM */

r7=DM(ADC1);                        /* input voltage of phase R in 2's complement (12 bit) */
r7=fext r7 by 0:12 (SE);            /* extend from 12 to 32 Bit */
f1=float r7;                        /* UcF_R in floating point */
f1=f1*f12;                          /* Adaptation */
DM(U_ADC1)=r7;                      /* write to RAM */

r7=DM(ADC2);                        /* input voltage of phase S in 2's complement (12 Bit) */
r7=fext r7 by 0:12 (SE);            /* extend from 12 to 32 Bit */
f10=float r7;                       /* UcF_S in floating point */
f10=f10*f12;                        /* Adaptation */
DM(U_ADC2)=r7;                      /* write to RAM */

r7=DM(ADC3);                        /* input voltage of phase T in 2's complement (12 Bit) */
r7=fext r7 by 0:12 (SE);            /* extend from 12 to 32 Bit */
f13=float r7;                       /* UcF_T in floating point */
f13=f13*f12;                        /* Adaptation */
DM(U_ADC3)=r7;                      /* write to RAM */

r7=DM(ADC4);                        /* DC link current in 2's complement (12 Bit) */
r7=fext r7 by 0:12 (SE);            /* extend from 12 to 32 Bit */
f2=float r7;                        /* IZK in floating point */
DM(U_ADC4)=r7;                      /* write to RAM */
DM(IZK_neu)=f2;                     /* write to variable IZK_neu */

r7=DM(ADC5);                        /* Actual value of buck stage output voltage UBuck */
r7=fext r7 by 0:12 (SE);            /* extend from 12 to 32 Bit */
f3=float r7;                        /* UBuck in floating point */
DM(U_ADC5)=r7;                      /* write to RAM */
DM(UBuck)=f3;                       /* write to variable UBuck */

r7=DM(ADC6);                        /* neg. output voltage -U0 in 2's complement (12 Bit) */
r7=fext r7 by 0:12 (SE);            /* extend from 12 to 32 Bit */
f12=float r7;                       /* -U0 in floating point */
f12=-f12;                           /* U0 */
DM(U_ADC6)=r7;                      /* write to RAM */
DM(U0)=f12;                         /* write to variable U0 */

/* ----------- Eliminate Zero-Sequence System ------------------------------------------------------- */
              f7=f1+f10;
              f7=f7+f13;
              f8=0.333333333333333333;
              f7=f7*f8;             /* 1/3 (UcF_R+UcF_S+UcF_T)*/
              f1=f1-f7;             /* UcF_R without zero-sequence system */
              f10=f10-f7;           /* UcF_S without zero-sequence system */
              f13=f13-f7;           /* UcF_T without zero-sequence system */
/* ----------- End ---------------------------------------------------------------------------------- */

/* ----------- Square of the absolute value of the input filter capacitor voltage space vector --------- */
/* (abs(u))^2=1/9*(2*Uc_R-(Uc_S+Uc_T))^2+1/3*(Uc_S-Uc_T)^2
   f1 = Uc_R, f10 = Uc_S, f13 = Uc_T */

              f7=2.0;
              f9=f1*f7;             /* 2*Uc_R */
              f12=f10+f13;          /* Uc_S + Uc_T */
              f8=f10-f13;           /* Uc_S - Uc_T */
              f7=f8*f8;             /* (Uc_S-Uc_T)^2 */
              f3=0.33333333;        /* 1/3 */
              f7=f3*f7;             /* 1/3*(Uc_S-Uc_T)^2 */
              f8=f9-f12;            /* 2*Uc_R-(Uc_S+Uc_T) */
              f8=f8*f8;             /* (2*Uc_R-(Uc_S+Uc_T))^2 */
              f3=0.11111111;        /* 1/9 */
              f8=f3*f8;             /* 1/9*(2*Uc_R-(Uc_S+Uc_T))^2 */
```

```
              f2=f8+f7;              /* (abs(u))^2 */
              DM(abs_u_quad)=f2;     /* write to abs_u_quad */
/* ------------ End ------------------------------------------------------------------------------------ */

/* ------------ Calculation of the absolute value ------------------------------------------------------ */
/* The root of (abs(u))^2 is calculated employing an iterative convergence algorithm,
   the result shows an accuracy of one LSB (ADSP-2106x SHARC User's Manual (Appendix B)). */

              f2=DM(abs_u_quad);
              f8=3.0;
              f3=0.5;
              f7=0.0;
              comp(f7,f2);           /* If abs_u_quad = 0 -> no calculation! */
              if ge jump Null;       /* jump to label Null */
              f7=rsqrts f2;          /* 4 bit approximation of the reciprocal square root */
              f12=f7*f7;
              f12=f12*f2;
              f7=f3*f7, f12=f8-f12;
              f7=f7*f12;
              f12=f7*f7;
              f12=f12*f2;
              f7=f3*f7, f12=f8-f12;
              f7=f7*f12              /* 1/abs(u) */
              f7=f7*f2               /* absolute value abs(u), accuracy: one LSB */
              jump fertig;
Null:         f7=0.0                 /* abs_u is set to zero */
fertig:       DM(abs_u)=f7;          /* write to abs_u */
              f12=0.447144;          /* reciprocal value of 0.00273V/V*2048 bit/2.5V */
              f7=f7*f12;             /* abs_u in Volt */
              DM(abs_u_V)=f7;        /* write to variable */
/* ------------ End ------------------------------------------------------------------------------------ */

/* ------------ Calculation of u_max ------------------------------------------------------------------  */
/* u_max = 3/2 M_max abs_u */
              f3=1.5;                /* 3/2 */
              f12=M_max;             /* maximum buck stage modulation index */
              f3=f3*f12;             /* 3/2*M_max */
              f7=DM(abs_u);
              f7=f3*f7;              /* 3/2*M_max*abs(u) */
              DM(u_max)=f7;          /* write to u_max */
/* ------------ End ------------------------------------------------------------------------------------ */

/* ------------ Calculation of u0_max ------------------------------------------------------------------  */
/* u0_max = u_max/(1-delta_max) */
              f0=DM(delta_max);
              f7=1.0;
              f7=f7-f0;              /* 1-delta_max */
              f11=recips f7;         /* 1/(1-delta_max) */
              f7=DM(u_max);
              f7=f11*f7;             /* u_max/(1-delta_max) */
              f0=DM(U0_ref);
              f4=0.0;
              comp(f4,f0);           /* 0.0 >= U0_ref ?? */
              if ge f7=pass f4;      /* if U0_ref=0.0, then u0_max:=0.0 */
              DM(u0_max)=f7;         /* write to u0_max */
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- Peak Detection ------------------------------------------------------------------------ */
/* PHASE R */
              f0=DM(UCR_alt);        /* old value of UcF_R */
              f7=abs f1;             /* actual value of UcF_R, absolute value */
              comp(f7,f0);           /* abs(UCR) > UCR_alt ? */
              if ge jump diode_R;
tiefpass_R:   f0=DM(UCR_alt);        /* old value */
              f7=abs f1;             /* actual value of abs(UCR) */
              f11=f7-f0;             /* abs(UCR) - UCR_alt */
              f12=DM(K_TPR);
              f12=f11*f12;           /* (abs(UCR) - UCR_alt) x KTPR */
              f0=f12+f0;             /* (abs(UCR) - UCR_alt) x KTPR + UCR_alt */
```

```
               jump ausgang_R;
diode_R:       f7=abs f1;             /* actual value of UCR, absolute value */
               f0=pass f7;            /* UCR_alt:= actual value */
ausgang_R:     DM(UCR_alt)=f0;        /* write new value to UCR_alt for next calculation cycle */

/* PHASE S */
               f0=DM(UCS_alt);        /* old value of UcF_S */
               f7=abs f10;            /* actual value of UcF_S, absolute value */
               comp(f7,f0);           /* abs(UCS) > UCS_alt ? */
               if ge jump diode_S;
tiefpass_S:    f0=DM(UCS_alt);        /* old Wert */
               f7=abs f10;            /* actual value of abs(UCS) */
               f11=f7-f0;             /* abs(UCS) - UCS_alt */
               f12=DM(K_TPR);
               f12=f11*f12;           /* (abs(UCS) - UCS_alt) x KTPR */
               f0=f12+f0;             /* (abs(UCS) - UCS_alt) x KTPR + UCS_alt */
               jump ausgang_S;
diode_S:       f7=abs f10;            /* actual value of UCS, absolute value */
               f0=pass f7;            /* UCS_alt:= actual value */
ausgang_S:     DM(UCS_alt)=f0;        /* write new value to UCS_alt for next calculation cycle */

/* PHASE T */
               f0=DM(UCT_alt);        /* old value of UcF_T */
               f7=abs f13;            /* actual value of UcF_T, absolute value */
               comp(f7,f0);           /* abs(UCT) > UCT_alt ? */
               if ge jump diode_T;
tiefpass_T:    f0=DM(UCT_alt);        /* old value */
               f7=abs f13;            /* actual value of abs(UCT) */
               f11=f7-f0;             /* abs(UCT) - UCT_alt */
               f12=DM(K_TPR);
               f12=f11*f12;           /* (abs(UCT) - UCT_alt) x KTPR */
               f0=f12+f0;             /* (abs(UCT) - UCT_alt) x KTPR + UCT_alt */
               jump ausgang_T;
diode_T:       f7=abs f13;            /* actual value of UCT, absolute value */
               f0=pass f7;            /* UCT_alt:= actual value */
ausgang_T:     DM(UCT_alt)=f0;        /* write new value to UCT_alt for next calculation cycle */
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- Calculation of the input conductivity ------------------------------------------------- */
/* Calculation of 1/2*Sum_i (UCi_alt^2), i=R,S,T */
               f3=DM(UCR_alt);
               f7=f3*f3;
               f3=DM(UCS_alt);
               f0=f3*f3;
               f7=f0+f7;
               f3=DM(UCT_alt);
               f0=f3*f3;
               f7=f0+f7;
               f0=0.5;
               f7=f7*f0;              /* 1/2*Sum_i (UCi_alt^2), i=R,S,T */
               DM(sum_u)=f7;          /* write to sum_u */
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- OUTPUT VOLTAGE CONTROLLER (PI-type Controller) ---------------------------------------- */
/* Limitation of U0_ref */
               f7=DM(U0_ref);         /* read in U0_ref in Volt */
               f0=410.0;              /* maximum allowable output voltage U0_ref */
               f12=f7-f0;             /* U0_ref - U0_ref_max */
               if ge f7=pass f0;      /* if U0_ref > U0_ref_max then U0_ref:=U0_ref_max */
               DM(U0_ref)=f7;         /* write to U0_ref */
/* ------------ End ----------------------------------------------------------------------------------- */

/* ----------- Adaptation of Output Voltage Reference Value ------------------------------------------ */
               f0=2.236416;           /* 0.00273V/V*2048 bit/2.5V */
               f11=f0*f7;             /* Output voltage reference value in bit */
               f12=DM(U0);            /* read in U0 (in bit) */
               f0=f11-f12;            /* control deviation E = U0_ref - U0 */
               DM(E)=f0;
               f7=DM(Kp_U);           /* gain of the output voltage controller */
```

```
              f3=f0*f7;              /* Proportional part */
/* ------------ End ------------------------------------------------------------------------------------ */

/* ----------- Reset Integrator ------------------------------------------------------------------------ */
              f7=DM(IntSum);         /* actual value of IntSum -> f7 */
              f5=DM(U0_ref);         /* actual value of U0_ref -> f5 */
              f4=0.0;                /* Integral part = 0 if no integration should occur */
              btst r15 by Anti_Windup_Bit;/* Testing the according Bit at the digital input */
              if not sz f7=pass f4;  /* no integration if input = 1 */
              if not sz f5=pass f4;  /* if input = 1 then U0_ref = 0 */
              DM(U0_ref)=f5;
              if not sz jump summe;  /* if input = 1 -> jump to summation (no integr.) */
              comp(f4,f5);           /* 0.0 >= U0_ref ?? */
              if ge f7=pass f4;      /* if U0_ref=0.0, then IntSum:= 0.0 */
              DM(IntSum)=f7;
              if ge jump summe;      /* If U0_ref=0: jump to summation (no integration) */
/* ----------- End ------------------------------------------------------------------------------------- */

/* ----------- Integration ----------------------------------------------------------------------------- */
              f7=DM(IntSum);
              f5=0.0;
              f0=DM(Limit);
              comp(f0,f5);           /* Limit > 0.0 ? */
              if gt jump summe;      /* if Limit > 0.0 (i.e. Limit = 1.0): no integration
                                        IntSum = old value */
              f0=DM(faktor);         /* Correcting factor for DC link current */
              f5=1.0;
              comp(f0,f5);           /* faktor > 1.0 ? */
              if lt jump abfrage2;   /* if faktor < 1: no integration */
              jump regler;           /* IntSum = old value */
abfrage2:     f0=DM(U0);
              f4=2.236416;
              f7=DM(U0_ref);
              f7=f4*f7;              /* U0_ref in Bit */
              comp(f7,f0);           /* U0_ref > U0 ? */
              if gt jump summe;      /* if U0_ref > U0_ist: IntSum = old value */

regler:       f4=DM(Ki_U);           /* gain for integration */
              f0=DM(E);              /* control deviation */
              f0=f0*f4;
              f7=f7+f0;              /* add control deviation to IntSum */
              DM(IntSum)=f7;
/* ----------- End ------------------------------------------------------------------------------------- */

/* ----------- Summation I-part + P-part --------------------------------------------------------------- */
summe:        f3=f3+f7;              /* P-part + I-part */
              DM(PI_Reg)=f3;         /* write to PI_Reg*/
              f0=0.0;                /* lower limit: 0 */
              comp(f3,f0);           /* PI_reg > 0 ?? */
              if le f3=pass f0;      /* if PI_reg < 0 then PI_reg:= 0.0 */
              DM(P_soll)=f3;         /* write to P_soll, output power reference value */
/* ----------- End ------------------------------------------------------------------------------------- */
/* ----------- Low-Pass filtering of P_soll ------------------------------------------------------------  */
              f7=DM(P_soll);
              f0=DM(P_alt);          /* old value of P_soll */
              f11=f7-f0;             /* P_soll - P_alt */
              f12=DM(K_TP);          /* constant for low-pass filtering */
              f12=f12*f11;           /* (P_soll - P_alt) x K_TP */
              f7=f12+f0;             /* P_alt + (P_soll - P_alt) x K_TP */
              DM(P_alt)=f7;          /* save P_alt for next cycle */
              DM(P_soll)=f7;         /* write to P_soll */
/* ----------- End ------------------------------------------------------------------------------------- */

/* ----------- Limitation of P_soll -------------------------------------------------------------------  */
              f0=0.0;
              f2=1.0;
              DM(Limit)=f0;
              f11=P_max;
              comp(f7,f11);          /* P_soll > P_max ?? */
```

```
              if ge f7=pass f11;     /* if P_soll >= P_max then P_soll:=P_max */
              DM(P_soll)=f7;         /* write to P_soll */
              if ge f0=pass f2;      /* if P_soll >= P_max: f0 = 1.0, Limitation = active */
              DM(Limit)=f0;          /* Limit = 1.0 gesetzt, otherwise Limit = 0.0 */
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- Calculation of the input conductivity reference value g* ------------------------------- */
              f3=DM(P_soll);
              f0=DM(sum_u);
              f7=recips f0;          /* 1/sum_u */
              f7=f3*f7;              /* g_soll = P_soll / sum_u */
              DM(g_soll)=f7;         /* write to g_soll (reference value) */
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- Calculation of the DC link current reference value ------------------------------------- */
              f4=DM(U0);             /* actual value of U0 */
              f2=DM(u_max);          /* maximum value of the buck stage output voltage */
              comp(f4,f2);
              if le jump no_boost;   /* if u0 <= u_max, the boost stage is deactivated, boost = 0 */
              f5=1.0;                /* if u0 > u_max, the boost stage is active, boost = 1 */
              jump yes_boost;
no_boost:     f5=0.0;
              f12=f4;                /* actual value of U0 */
              f0=1.0;                /* numerator = f0, nominator = f12 */
/* Division (cf. reference manual p. B-39) */
              f11=2.0;
              f0=recips f12, f7=f0;
              f12=f0*f12;
              f7=f0*f7, f0=f11-f12;
              f12=f0*f12;
              f7=f0*f7,f0=f11-f12;
              f0=f0*f7;              /* result f0/f12 = 1/U0 */
              /* End of Division */
              f3=1.5;
              f0=f0*f3;              /* 3/2*1/U0 */
              f4=DM(abs_u_quad);
              f4=f0*f4;              /* 3 x |uCF|^2/(2 U0) */
              f11=DM(g_soll);
              f4=f4*f11;             /* 3 x |uCF|^2/(2 U0) x g_soll in Ampere! */
              jump weiter1;          /* Bit^2/Bit x A/Bit = A */
yes_boost:    f4=DM(abs_u);          /* constant modulation index limit !! */
              f12=M_max;
              f0=1.0;                /* numerator */
              /* Division */
              f11=2.0;
              f0=recips f12, f7=f0;
              f12=f0*f12;
              f7=f0*f7, f0=f11-f12;
              f12=f0*f12;
              f7=f0*f7,f0=f11-f12;
              f0=f0*f7;              /* result f0/f12 = 1/M_max */
/* End of Division */
              f4=f0*f4;              /* |uCF|/M_max (Bit) */
              f11=DM(g_soll);
              f4=f4*f11;             /* |uCF|/M_max x g_soll (Ampere) */
weiter1:      DM(boost2)=f5;         /* save boost2 */
              f11=0.0;
              comp(f11,f4);          /* 0.0 > iform ?? */
              if ge f4=pass f11;     /* if iform < 0.0 then iform:=0.0 */
              DM(iform)=f4;          /* save DC link current reference value iform */
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- DC LINK CURRENT CONTROLLER - Part 1 ---------------------------------------------------- */
/* ----------- Averaging of two subsequent sampling values -------------------------------------------- */
              CurrentControl:f4=DM(IZK); /* IZK(k-1), old sampling value */
              f2=DM(IZK_neu);        /* new sampling value IZK(k) */
              DM(IZK)=f2;            /* save IZK(k) for next cycle */
              f4=f2+f4;
              f2=0.5;
```

```
              f4=f2*f4;              /* mean value (IZK(k)+IZK(k-1))/2; actual value for control */
              DM(IZK_average)=f4;    /* write to IZK_average */
              f5=0.011355377;        /* Reciprocal value of 88.064 */
              f5=f5*f4;              /* local average value of the DC link current in Ampere */
              DM(IZK_avg_A)=f5;
              f3=88.064;
              f0=DM(iform);
              f3=f0*f3;              /* DC link current reference value iform x 88.064 (in Bit) */
              f7=DM(faktor);         /* correcting factor <= 1.0 */
              f3=f7*f3;
              DM(Produkt)=f3;        /* new DC link current reference value */
/* ------------ End ------------------------------------------------------------------------------------ */

/* ----------- Peak Detection und Low-Pass filtering of the DC link current reference value ------------ */
              f0=DM(Prod_alt);       /* old value of the DC link current reference value */
              f7=DM(Produkt);        /* new value */
              comp(f7,f0);           /* new value > old value ?? */
              if ge jump diode_P;    /* no low-pass filtering if new value > old value */
tiefpass_P:   f11=f7-f0;             /* (new - old) */
              f12=DM(K_TPP);         /* constant for low-pass filtering */
              f12=f11*f12;           /* (new-old) x K_TPP */
              f5=f12+f0;             /* (new-old) x K_TPP + old */
              jump ausgang_P;
diode_P:      f5=pass f7;            /* new value -> output (i.e. diode) */
ausgang_P:    DM(Prod_alt)=f5;       /* save new value (peak value IZK_peak) for next cycle */
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- Monitoring of DC link current to maximum allowable value IZK_lim ------------------------ */
              f3=DM(IZK_lim);        /* maximum allowable value for the DC link current */
              f4=88.064;
              f3=f3*f4;              /* IZK_lim in Bit */
              comp(f5,f3);           /* IZK_peak > IZK_lim ? */
              if ge jump yes_Limit;  /* if IZK_peak > IZK_lim then Limit_IZK:=1.0 */
              f12=0.0;               /* else Limit_IZK:=0.0 */
              jump save_Limit;
yes_Limit:    f12=1.0;
save_Limit:   DM(Limit_IZK)=f12;     /* save Limit_IZK */
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- Downscaling of the DC link current reference value ------------------------------------- */
              f11=0.5;
              f12=DM(Limit_IZK);
              comp(f12,f11);         /* Limit_IZK > 0.5 ? */
              if gt jump IZK_Limit;  /* if Limit_IZK > 0.5 -> Limitation is necessary ! */
              jump noIZK_Limit;
IZK_Limit:    f7=DM(Prod_alt);       /* Limitation necessary */
              f5=recips f7;          /* 1/Prod_alt */
              f3=DM(IZK_lim);
              f4=88.064;
              f3=f3*f4;              /* IZK_lim in Bit */
              f3=f3*f5;              /* IZK_lim/Prod_alt = faktor */
              DM(faktor)=f3;         /* correcting factor */
              jump save_faktor;
noIZK_Limit:  f3=1.0;
save_faktor:  DM(faktor)=f3;         /* save correcting factor <= 1.0 */
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- DC LINK CURRENT CONTROLLER - Part 2 ---------------------------------------------------- */
/* ----------- PI-type controller --------------------------------------------------------------------- */
              f0=DM(faktor);         /* correcting factor */
              f3=DM(Produkt);        /* DC link current reference value */
              f3=f3*f0;              /* new DC link current reference value */
              f4=DM(IZK_average);    /* actual DC link current */
              f5=f3-f4;              /* control deviation */
              f0=DM(Kp_I);           /* gain of DC link current controller (proportional part) */
              f4=f0*f5;              /* buck stage output voltage reference value */
              f0=DM(IntSum2);        /* old integration value */
              f11=DM(U0_ref);
              f7=0.0;
```

```
              comp(f7,f11);          /* if U0_ref = 0: no integration */
              if ge f0=pass f7;
              f7=DM(Ki_I);           /* gain of integration part */
              f5=f5*f7;              /* control deviation x gain */
              f0=f0+f5;              /* old integration part + new integration part */
              DM(IntSum2)=f0;        /* save new integration part */

              f4=f0+f4;              /* summation P-part + I-part */

              DM(UL)=f4;             /* controller output = voltage reference value uL* across
                                        DC link inductor L */

              f11=DM(U0_ref);
              f7=2.236416;           /* Bit/V scale */
              f11=f7*f11;            /* Adaptation */
              f4=f4+f11;             /* pre-control with the output voltage reference value */
              DM(U_unlim)=f4;        /* buck stage output voltage reference value u* */
/* ------------ End ------------------------------------------------------------------------------------ */

/* ------------ Limitation of the buck stage output voltage reference value ---------------------------- */
              f0=0.0;                /* Limitation to 0.0 */
              comp(f4,f0);
              if GE jump V_not_negative;
              f4=f0;
V_not_negative:DM(U_unlim)=f4;       /* save reference value to U_unlim */

              f7=DM(u_max);          /* maximum allowable buck stage output voltage */
              f0=DM(U_unlim);
              comp(f7,f0);           /* u_max > U_unlim ?? */
              if GT jump no_V_limit; /* if u_max > U_unlim: no limitation */
              f0=f7;                 /* else: limitation to u_max */
no_V_limit:   DM(U)=f0;              /* save to U */
              DM(U_lim)=f0;          /* save to U_lim */
              f12=0.447144;          /* V/bit scale */
              f12=f0*f12;
              DM(U_lim_V)=f12;       /* buck stage output voltage reference value in Volt */
/* ------------ End ------------------------------------------------------------------------------------ */

/* ------------ Factor for Calculating the relative On-Times ------------------------------------------ */
/* f = U/(3*(abs(u))^2) */
              f8=3.0;
              f2=DM(abs_u_quad);
              f12=f8*f2;             /* 3*(abs(u))^2 */
/* Division */
              f11=2.0;
              f0=recips f12, f7=f0;
              f12=f0*f12;
              f7=f0*f7, f0=f11-f12;
              f12=f0*f12;
              f7=f0*f7, f0=f11-f12;
              f0=f0*f7;              /* result (accuracy 1 LSB): U/(3*(abs(u))^2) */
              DM(fak)=f0;
/* ------------ End ------------------------------------------------------------------------------------ */

/* ------------ Calculation of the Boost Stage Modulation Index Delta ---------------------------------- */
              f6=DM(u_max);
              f8=DM(U_unlim);        /* Buck stage output voltage reference value u* */
              comp(f8,f6);           /* u* > u_max ? */
              if le jump Delta_Null; /* if u* <= u_max then delta:= 0.0 */
              f4=DM(UL);             /* voltage reference value uL* */
              f7=DM(U0_ref);
              f12=2.236416;          /* Bit/V scale */
              f12=f12*f7;            /* Adaptation */
              f0=1.0;                /* numerator */

/* Division (cf. manual p. B-39) */
              f11=2.0;
              f0=recips f12, f7=f0;
              f12=f0*f12;
```

```
              f7=f0*f7, f0=f11-f12;
              f12=f0*f12;
              f7=f0*f7,f0=f11-f12;
              f0=f0*f7;              /* result 1/U0_ref */
/* Ende of Division */

              f4=f6-f4;              /* u_max - uL* */
              f12=f4*f0;             /* (u_max - uL*)/U0_ref */
              f6=1.0;
              f12=f6-f12;            /* 1 - (u_max - uL*)/U0_ref */
              DM(boost)=f6;          /* Variable boost=1.0 */
              f6=DM(delta_max);      /* Maximum modulation index of the boost stage */
              comp(f12,f6);          /* Delta > Delta_max ? */
              if ge f12=pass f6;     /* Limitation to Delta_max */
              f6=0.0;
              comp(f12,f6);          /* Delta > 0 ? */
              if le f12=pass f6;     /* if Delta < 0: limitation to 0.0 */
              jump Save_Delta;
Delta_Null:   f12=0.0;
              DM(boost)=f12;         /* Variable boost=0.0 */
Save_Delta:   DM(Delta)=f12;
/* ----------- End ------------------------------------------------------------------------------------ */

/* ----------- Detection of Actual Mains Interval ------------------------------------------------------ */
              f8=0.0;
              f11=2.0;               /* used for calculation of relative on-times */
              f0=DM(fak);            /* fak = U/(3*(abs(u))^2) */
              comp(f13,f8);          /* Uc_T > 0 ?? */
              comp(f10,f8);          /* Uc_S > 0 ?? */
              comp(f1,f8);           /* Uc_R > 0 ?? */

              r6=ASTAT;              /* results of the three foregoing comparisons are accumulated
                                        in the ASTAT register */
              r7=0xE0000000;
              r6=r6 and r7;          /* Bits 28...0 are set to zero */

              r7=mask1;              /* Mask for interval 1 */
              comp(r6,r7);
              if EQ jump interval1;
              r7=mask2;              /* Mask for interval 2 */
              comp(r6,r7);
              if EQ jump interval2;
              r7=mask3;              /* Mask for interval 3 */
              comp(r6,r7);
              if EQ jump interval3;
              r7=mask4;              /* Mask for interval 4 */
              comp(r6,r7);
              if EQ jump interval4;
              r7=mask5;              /* Mask for interval 5 */
              comp(r6,r7);
              if EQ jump interval5;
              r7=mask6;              /* Mask for interval 6 */
              comp(r6,r7);
              if EQ jump interval6;

              jump NoSector;         /* Error, if no sector could be defined */

/* ------------ Calculations in Interval 1, (-Pi/6; Pi/6) ---------------------------------------------- */
interval1:    f12=f1+f10, f9=f1-f10; /* Uc_R+Uc_S, Uc_R-Uc_S */
              f6=f12-f13;            /* Uc_R+Uc_S-Uc_T */
              f6=f0*f6, f7=f9+f13;   /* t101, Uc_R-Uc_S+Uc_T ; f0 = U/(3*(abs(u))^2) */
              f7=f0*f7, f5=f8;       /* t110, t011 ; f8 = 0.0 */

              comp(f10,f13);         /* comparison of Uc_S and Uc_T: Sector 1 or 12 */
              if GE jump sector1;    /* Uc_T > Uc_S --> Sector 1 */
              jump sector12;         /* otherwise: Sector 12 */

/* ------------ Calculations in Interval 2, (Pi/6; Pi/2) ---------------------------------------------- */
interval2:    f9=f1-f10, f6=f11;     /* Uc_R-Uc_S, f11 = 2.0 */
```

```
              f6=f0*f6, f5=f9+f13;   /* 2 x U/(3*(abs(u))^2), Uc_R-Uc_S+Uc_T */
              f5=f0*f5, f7=f8;       /* -t011, t110 ; f8 = 0.0 */
              f6=f1*f6;              /* t101 */
              f5=-f5;                /* t011 */

              comp(f1,f10);          /* comparison of Uc_R and Uc_S: Sector 2 or 3 */
              if GE jump sector2;    /* Uc_R > Uc_S --> Sector 2 */
              jump sector3;          /* otherwise: Sector 3 */

/* ------------ Calculations in Interval 3, (Pi/2; 5Pi/6) ---------------------------------------------- */
interval3:    f9=f1+f10, f7=f11;     /* Uc_R+Uc_S, f11 = 2.0 */
              f7=f0*f7, f5=f9-f13;   /* 2 x U/(3*(abs(u))^2), Uc_R+Uc_S-Uc_T */
              f5=f0*f5, f6=f8;       /* t011, t101 ; f8 = 0.0 */
              f7=f1*f7;              /* -t110 */
              f7=-f7;                /* t110 */

              comp(f1,f13);          /* comparison of Uc_T and Uc_R: Sector 4 or 5 */
              if GE jump sector4;    /* Uc_T < Uc_R --> Sector 4 */
              jump sector5;          /* otherwise: Sector 5 */

/* ------------ Calculations in Interval 4, (5Pi/6; 7Pi/6) ---------------------------------------------- */
interval4:    f12=f1+f10, f9=f1-f10; /* Uc_R+Uc_S, Uc_R-Uc_S */
              f6=f12-f13;            /* Uc_R+Uc_S-Uc_T */
              f6=f0*f6, f7=f9+f13;   /* -t101, Uc_R-Uc_S+Uc_T ; f0 = U/(3*(abs(u))^2) */
              f7=f0*f7, f5=f8;       /* -t110, t011 ; f8 = 0.0 */
              f6=-f6;                /* t101 */
              f7=-f7;                /* t110 */

              comp(f13,f10);         /* comparison of Uc_T and Uc_S: Sector 6 or 7 */
              if LE jump sector6;    /* Uc_S <= Uc_T --> Sector 6 */
              jump sector7;          /* otherwise: Sector 7 */

/* ------------ Calculations in Interval 5, (7Pi/6; 3Pi/2) ---------------------------------------------- */
interval5:    f9=f1-f10, f6=f11;     /* Uc_R-Uc_S, f11 = 2.0 */
              f6=f0*f6, f5=f9+f13;   /* 2 x U/(3*(abs(u))^2), Uc_R-Uc_S+Uc_T */
              f5=f0*f5, f7=f8;       /* t011, t110 ; f8 = 0.0 */
              f6=f1*f6;              /* -t101 */
              f6=-f6;                /* t101 */

              comp(f1,f10);          /* comparison of Uc_R and Uc_S: Sector 8 or 9 */
              if LE jump sector8;    /* Uc_R <= Uc_S --> Sector 8 */
              jump sector9;          /* otherwise: Sector 9 */

/* ------------ Calculations in Interval 6, (3Pi/2; -Pi/6) ---------------------------------------------- */
interval6:    f9=f1+f10, f7=f11;     /* Uc_R+Uc_S, f11 = 2.0 */
              f7=f0*f7, f5=f9-f13;   /* 2 x U/(3*(abs(u))^2), Uc_R+Uc_S-Uc_T */
              f5=f0*f5, f6=f8;       /* -t011, t101 ; f8 = 0.0 */
              f7=f1*f7;              /* t110 */
              f5=-f5;                /* t011 */

              comp(f1,f13);          /* comparison of Uc_R and Uc_T: Sector 10 or 11 */
              if LE jump sector10;   /* Uc_T <= Uc_R --> Sector 10 */
              jump sector11;         /* otherwise: Sector 11 */
/* ----------- End ------------------------------------------------------------------------------------- */

/* ----------- Switching State Sequences in Sectors 1...12 ---------------------------------------------- */
/* For the selected switching state sequence, the use of the EPROMs is not necessary. The outputs
   of the PWM channels can be directly used as switching signals for the power transistors. */

/* ------------ Sector 1 , (0; Pi/6) ------------------------------------------------------------------- */
sector1:      r1=0xFF;               /* Initial value of PWM1 */
              f0=f6+f7;              /* t101+t110 */
              f0=f0*f14;             /* Adaptation to interval [0;255] */
              f2=f6*f14;             /* Adaptation to interval [0;255] */
              r8=0x0;                /* Sector 1 */

              r10=B#110100;          /* Sector boundaries */
              DM(DigitalOUT)=r10;    /* write to digital output */
```

```
              call save2ram (DB);    /* writing different values to the RAM */
              r0=fix f0;             /* Initial value of PWM0 */
              r2=fix f2;             /* Initial value of PWM2 */
              jump writeback;

/* ------------ Sector 2 , (Pi/6; Pi/3) ------------------------------------------------------------------ */
sector2:      r1=0xFF;               /* Initial value of PWM1 */
              f2=f5+f6;              /* t011+t101 */
              f2=f2*f14;             /* Adaptation to interval [0;255] */
              f0=f6*f14;             /* Adaptation to interval [0;255] */
              r8=0x1;                /* Sector 2 */

              r10=B#110110;          /* Sector boundaries */
              DM(DigitalOUT)=r10;    /* write to digital output */

              call save2ram (DB);    /* writing different values to the RAM */
              r2=fix f2;             /* Initial value of PWM2 */
              r0=fix f0;             /* Initial value of PWM0 */
              jump writeback;

/* Sector 3 , (Pi/3; Pi/2) ------------------------------------------------------------------------------ */
sector3:      r0=0xFF;               /* Initial value of PWM0 */
              f2=f5+f6;              /* t011+t101 */
              f2=f2*f14;             /* Adaptation to interval [0;255] */
              f1=f5*f14;             /* Adaptation to interval [0;255] */
              r8=0x2;                /* Sector 3 */

              r10=B#010110;          /* Sector boundaries */
              DM(DigitalOUT)=r10;    /* write to digital output */

              call save2ram (DB) ;   /* writing different values to the RAM */
              r2=fix f2;             /* Initial value of PWM2 */
              r1=fix f1;             /* Initial value of PWM1 */
              jump writeback;

/* Sector 4 , (Pi/2; 2Pi/3) ----------------------------------------------------------------------------- */
sector4:      r0=0xFF;               /* Initial value of PWM0 */
              f1=f5+f7;              /* t011+t110 */
              f1=f1*f14;             /* Adaptation to interval [0;255] */
              f2=f5*f14;             /* Adaptation to interval [0;255] */
              r8=0x3;                /* Sector 4 */

              r10=B#010010;          /* Sector boundaries */
              DM(DigitalOUT)=r10;    /* write to digital output */

              call save2ram (DB);    /* writing different values to the RAM */
              r1=fix f1;             /* Initial value of PWM1 */
              r2=fix f2;             /* Initial value of PWM2 */
              jump writeback;

/* Sector 5 , (2Pi/3; 5Pi/6) ---------------------------------------------------------------------------- */
sector5:      r2=0xFF;               /* Initial value of PWM2 */
              f1=f5+f7;              /* t011+t110 */
              f1=f1*f14;             /* Adaptation to interval [0;255] */
              f0=f7*f14;             /* Adaptation to interval [0;255] */
              r8=0x4;                /* Sector 5 */

              r10=B#011010;          /* Sector boundaries */
              DM(DigitalOUT)=r10;    /* write to digital output */

              call save2ram (DB);    /* writing different values to the RAM */
              r0=fix f0;             /* Initial value of PWM0 */
              r1=fix f1;             /* Initial value of PWM1 */
              jump writeback;

/* Sector 6 , (5Pi/6; Pi) ------------------------------------------------------------------------------- */
sector6:      r2=0xFF;               /* Initial value of PWM2 */
              f0=f6+f7;              /* t101+t110 */
              f0=f0*f14;             /* Adaptation to interval [0;255] */
```

```
              f1=f7*f14;            /* Adaptation to interval [0;255] */
              r8=0x5;               /* Sector 6 */

              r10=B#011011;         /* Sector boundaries */
              DM(DigitalOUT)=r10;   /* write to digital output */

              call save2ram (DB);   /* writing different values to the RAM */
              r1=fix f1;            /* Initial value of PWM1 */
              r0=fix f0;            /* Initial value of PWM0 */
              jump writeback;

/* Sector 7 , (Pi; 7Pi/6) ------------------------------------------------------------------------- */
sector7:      r1=0xFF;              /* Initial value of PWM1 */
              f0=f6+f7;             /* t101+t110 */
              f0=f0*f14;            /* Adaptation to interval [0;255] */
              f2=f6*f14;            /* Adaptation to interval [0;255] */
              r8=0x6;               /* Sector 7 */

              r10=B#001011;         /* Sector boundaries */
              DM(DigitalOUT)=r10;   /* write to digital output */

              call save2ram (DB);   /* writing different values to the RAM */
              r0=fix f0;            /* Initial value of PWM0 */
              r2=fix f2;            /* Initial value of PWM2 */
              jump writeback;

/* Sector 8 , (7Pi/6; 4Pi/3) ---------------------------------------------------------------------- */
sector8:      r1=0xFF;              /* Initial value of PWM1 */
              f2=f5+f6;             /* t011+t101 */
              f2=f2*f14;            /* Adaptation to interval [0;255] */
              f0=f6*f14;            /* Adaptation to interval [0;255] */
              r8=0x7;               /* Sector 8 */

              r10=B#001001;         /* Sector boundaries */
              DM(DigitalOUT)=r10;   /* write to digital output */

              call save2ram (DB);   /* writing different values to the RAM */
              r2=fix f2;            /* Initial value of PWM2 */
              r0=fix f0;            /* Initial value of PWM0 */
              jump writeback;

/* Sector 9 , (4Pi/3; 3Pi/2) ---------------------------------------------------------------------- */
sector9:      r0=0xFF;              /* Initial value of PWM0 */
              f2=f5+f6;             /* t011+t101 */
              f2=f2*f14;            /* Adaptation to interval [0;255] */
              f1=f5*f14;            /* Adaptation to interval [0;255] */
              r8=0x8;               /* Sector 9 */

              r10=B#101001;         /* Sector boundaries */
              DM(DigitalOUT)=r10;   /* write to digital output */

              call save2ram (DB);   /* writing different values to the RAM */
              r2=fix f2;            /* Initial value of PWM2 */
              r1=fix f1;            /* Initial value of PWM1 */
              jump writeback;

/* Sector 10 , (3Pi/2; -Pi/3) --------------------------------------------------------------------- */
sector10:     r0=0xFF;              /* Initial value of PWM0 */
              f1=f5+f7;             /* t011+t110 */
              f1=f1*f14;            /* Adaptation to interval [0;255] */
              f2=f5*f14;            /* Adaptation to interval [0;255] */
              r8=0x9;               /* Sector 10 */

              r10=B#101101;         /* Sector boundaries */
              DM(DigitalOUT)=r10;   /* write to digital output */

              call save2ram (DB);   /* writing different values to the RAM */
              r1=fix f1;            /* Initial value of PWM1 */
              r2=fix f2;            /* Initial value of PWM2 */
```

```
              jump writeback;

/* Sector 11 , (-Pi/3; -Pi/6) ------------------------------------------------------------------------- */
sector11:     r2=0xFF;              /* Initial value of PWM2 */
              f1=f5+f7;             /* t011+t110 */
              f1=f1*f14;            /* Adaptation to interval [0;255] */
              f0=f7*f14;            /* Adaptation to interval [0;255] */
              r8=0xA;               /* Sector 11 */

              r10=B#100101;         /* Sector boundaries */
              DM(DigitalOUT)=r10;   /* write to digital output */

              call save2ram (DB);   /* writing different values to the RAM */
              r1=fix f1;            /* Initial value of PWM1 */
              r0=fix f0;            /* Initial value of PWM0 */
              jump writeback;

/* Sector 12 , (-Pi/6; 0) ----------------------------------------------------------------------------- */
sector12:     r2=0xFF;              /* Initial value of PWM2 */
              f0=f6+f7;             /* t101+t110 */
              f0=f0*f14;            /* Adaptation to interval [0;255] */
              f1=f7*f14;            /* Adaptation to interval [0;255] */
              r8=0xB;               /* Sector 12 */

              r10=B#100100;         /* Sector boundaries */
              DM(DigitalOUT)=r10;   /* write to digital output */

              call save2ram (DB);   /* writing different values to the RAM */
              r0=fix f0;            /* Initial value of PWM0 */
              r1=fix f1;            /* Initial value of PWM1 */
              jump writeback;
/* ----------- End ------------------------------------------------------------------------------------- */

/* ------------ Writing New Initial Values to Counters ------------------------------------------------- */
writeback:    DM(SectorInfo)=r8;
              DM(PWM0)=r0;          /* Transistor in Phase R */
              DM(PWM1)=r1;          /* Transistor in Phase S */
              DM(PWM2)=r2;          /* Transistor in Phase T */
              f0=DM(Delta);         /* Boost stage modulation index Delta */
              f0=f0*f14;            /* Adaptation to interval [0;255] */
              r3=fix f0;
/* ----------- End ------------------------------------------------------------------------------------- */

/* ------------ Writing Sectorinformation to Digital Output -------------------------------------------- */
              DM(DigitalOUT)=r8;
/* ----------- End ------------------------------------------------------------------------------------- */

rti           /* End of Interruptserviceroutine IRQ0 */

/* ------------ Subroutines and Error Treatment -------------------------------------------------------- */
/* ------------ Save Active Sector, On-Times and Initial Counter Values -------------------------------- */
              save2ram: DM(ActiveSector)=r8;
              DM(t011)=f5;
              DM(t101)=f6;
              DM(t110)=f7;
              DM(Start_PWM0)=r0;
              rts (DB);
              DM(Start_PWM1)=r1;
              DM(Start_PWM2)=r2;
/* ----------- End ------------------------------------------------------------------------------------- */

/* ----------- Error Treatment, if no Sector could be detected ---------------------------------------- */
/* All initial counter values for PWM are set to 0x00, the sector information is set to 0x00, too.*/
NoSector:     r7=DM(Err_NoSector);  /* Counting of the errors */
              r8=0x1;
              r7=r7+r8;
              DM(Err_NoSector)=r7;
              r8=0x00;
              DM(SectorInfo)=r8;    /* no valid sector */
```

```
            DM(PWM0)=r8;          /* Transistor in phase R */
            DM(PWM1)=r8;          /* Transistor in phase S */
            DM(PWM2)=r8;          /* Transistor in phase T */
            DM(PWM4)=r8;          /* Boost Transistor */
            rti;
/* ----------- End ------------------------------------------------------------------------------------- */

.ENDSEG;                          /* End of seg_pmco */

/* ---------------------------------------- E N D ------------------------------------------------------ */
```

Anhang L

Berechnungen zur Regelung

L.1 Berechnung der Einschaltdauern und des Zwischenkreisstromsollwerts

Für den Zwischenkreisstrom i erhält man mit (7.5)

$$\begin{aligned} i &= \frac{\overline{i}_{U,R}}{\delta_{(101)} + \delta_{(110)}}, \\ i &= -\frac{\overline{i}_{U,S}}{\delta_{(110)}}, \\ i &= -\frac{\overline{i}_{U,T}}{\delta_{(101)}}. \end{aligned} \tag{L.1}$$

Aus (7.6) erhält man nach Umformen und Division durch i auf beiden Seiten

$$\frac{\overline{u}}{i} = \frac{u_{C_F,R}}{i}(\delta_{(101)} + \delta_{(110)}) - \frac{u_{C_F,S}}{i}\delta_{(101)} - \frac{u_{C_F,T}}{i}\delta_{(110)}. \tag{L.2}$$

Ersetzt man den Zwischenkreisstrom i auf der rechten Gleichungsseite durch die Zusammenhänge in (L.1) ergibt sich

$$\frac{\overline{u}}{i} = \frac{u_{C_F,R}}{\overline{i}_{U,R}}(\delta_{(101)} + \delta_{(110)})^2 + \frac{u_{C_F,S}}{\overline{i}_{U,S}}\delta_{(101)}^2 + \frac{u_{C_F,T}}{\overline{i}_{U,T}}\delta_{(110)}^2, \tag{L.3}$$

und mit (7.1) erhält man

$$\frac{\overline{u}}{i} = \frac{1}{G}(\delta_{(101)} + \delta_{(110)})^2 + \frac{1}{G}\delta_{(101)}^2 + \frac{1}{G}\delta_{(110)}^2, \tag{L.4}$$

Ausmultiplizieren und Umformen liefert schließlich

$$\overline{u} = \frac{2}{G} \cdot (\delta_{(101)}^2 + \delta_{(101)}\delta_{(110)} + \delta_{(110)}^2) \cdot i. \tag{L.5}$$

Aus (7.11) erhält man für den Zwischenkreisstrom

$$i = -\frac{u_{C_F,T} \cdot G}{\delta_{(101)}}, \tag{L.6}$$

Einsetzen in (7.10) liefert

$$u_{C_F,R} \cdot G = -(\delta_{(101)} + \delta_{(110)}) \cdot \frac{u_{C_F,T} \cdot G}{\delta_{(101)}}. \tag{L.7}$$

Daraus erhält man für die relative Einschaltdauer $\delta_{(110)}$

$$\delta_{(110)} = -\delta_{(101)} \cdot \frac{u_{C_F,R} + u_{C_F,T}}{u_{C_F,T}}, \tag{L.8}$$

Einsetzen in (7.9) und Vereinfachen ergibt schließlich

$$\delta_{(101)} = -\frac{\overline{u}}{2} \cdot \frac{u_{C_F,T}}{u_{C_F,R}^2 + u_{C_F,R}u_{C_F,T} + u_{C_F,T}^2}, \tag{L.9}$$

für die zweite relative Einschaltdauer erhält man

$$\delta_{(110)} = \frac{\overline{u}}{2} \cdot \frac{u_{C_F,R} + u_{C_F,T}}{u_{C_F,R}^2 + u_{C_F,R}u_{C_F,T} + u_{C_F,T}^2}, \tag{L.10}$$

bzw. gilt für nullsystemfreie Spannungen

$$-u_{C_F,S} = u_{C_F,R} + u_{C_F,T}, \tag{L.11}$$

womit man für $\delta_{(110)}$ vereinfacht schreiben kann

$$\delta_{(110)} = -\frac{\overline{u}}{2} \cdot \frac{u_{C_F,S}}{u_{C_F,R}^2 + u_{C_F,R}u_{C_F,T} + u_{C_F,T}^2}. \tag{L.12}$$

Einsetzen in (L.6) liefert für den Zwischenkreisstrom

$$i = \frac{2\,G}{\overline{u}} \cdot \left(u_{C_F,R}^2 + u_{C_F,R}u_{C_F,T} + u_{C_F,T}^2\right). \tag{L.13}$$

Gemäß Anhang A.3 gilt folgender Zusammenhang

$$u_{C_F,R}^2 + u_{C_F,R}u_{C_F,T} + u_{C_F,T}^2 = \frac{3}{4} \cdot |\underline{u}_{C_F}|^2 = \frac{1}{2}\left(u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2\right), \tag{L.14}$$

man erhält damit für relative Einschaltdauern und Zwischenkreisstrom

$$\delta_{(101)} = -\frac{\overline{u}}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,T}, \tag{L.15}$$

$$\delta_{(110)} = -\frac{\overline{u}}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,S}, \tag{L.16}$$

$$i = \frac{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2}{\overline{u}} \cdot G. \tag{L.17}$$

L.2 Berechnungen für maximales Limit des Modulationsindex

Die Ausgangsspannung der Tiefsetzstellereingangsstufe $\overline{u}$, vgl. (7.6), kann mit $-u_{C_F,S} = u_{C_F,R} + u_{C_F,T}$ für nullsystemfreie Spannungen und mit dem für maximales Limit des Modulationsindex geltenden Zusammenhang $\delta_{(101)} + \delta_{(110)} = 1$ folgendermaßen ausgedrückt werden,

$$\overline{u} = \delta_{(101)}(u_{C_F,R} + 2\,u_{C_F,T}) + u_{C_F,R} - u_{C_F,T}. \tag{L.18}$$

Gleichsetzen mit (7.9) ergibt

$$\delta_{(101)}(u_{C_F,R} + 2u_{C_F,T}) + u_{C_F,R} - u_{C_F,T} = \frac{2}{G} \cdot (\delta_{(101)}^2 + \delta_{(101)}\delta_{(110)} + \delta_{(110)}^2) \cdot i, \tag{L.19}$$

Ersetzen des Zwischenkreisstromes mit (L.6), Ausmultiplizieren und Vereinfachen ergibt schließlich

$$\delta_{(101)} = -\frac{u_{C_F,T}}{u_{C_F,R}}, \tag{L.20}$$

für den zweiten aktiven Schaltzustand erhält man mit

$$\delta_{(110)} = 1 - \left(-\frac{u_{C_F,T}}{u_{C_F,R}}\right) = \frac{u_{C_F,R} + u_{C_F,T}}{u_{C_F,R}} = -\frac{u_{C_F,S}}{u_{C_F,R}}, \tag{L.21}$$

für den Zwischenkreisstrom ergibt sich über (L.6)

$$i = -u_{C_F,T} \cdot G \frac{1}{\delta_{(101)}} = u_{C_F,R} \cdot G. \tag{L.22}$$

Die Berechnung des Zwischenkreisstromes in den weiteren Sektoren zeigt, dass sich die Formel folgendermaßen verallgemeinern lässt:

$$i = \max\{|u_{C_F,i}|\} \cdot G, \tag{L.23}$$

d.h. dass jene Spannung an den Eingangsfilterkondensatoren in die Berechnung einfließt, die momentan den größten Absolutwert aufweist.

L.3 Zusammenstellung aller Formeln zur Berechnung der relativen Einschaltdauern

Spannungsbedingung	$\delta_{(011)}$	$\delta_{(101)}$	$\delta_{(110)}$
$u_{C_F,R} > 0 > u_{C_F,T} > u_{C_F,S}$ $u_{C_F,R} > 0 > u_{C_F,S} > u_{C_F,T}$	$-$	$-\frac{u^* \cdot u_{C_F,T}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$	$-\frac{u^* u_{C_F,S}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$
$u_{C_F,R} > u_{C_F,S} > 0 > u_{C_F,T}$ $u_{C_F,S} > u_{C_F,R} > 0 > u_{C_F,T}$	$+\frac{u^* \cdot u_{C_F,S}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$	$+\frac{u^* \cdot u_{C_F,R}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$	$-$
$u_{C_F,S} > 0 > u_{C_F,R} > u_{C_F,T}$ $u_{C_F,S} > 0 > u_{C_F,T} > u_{C_F,R}$	$-\frac{u^* \cdot u_{C_F,T}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$	$-$	$-\frac{u^* \cdot u_{C_F,R}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$
$u_{C_F,S} > u_{C_F,T} > 0 > u_{C_F,R}$ $u_{C_F,T} > u_{C_F,S} > 0 > u_{C_F,R}$	$-$	$+\frac{u^* \cdot u_{C_F,R}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$	$+\frac{u^* \cdot u_{C_F,S}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$
$u_{C_F,T} > 0 > u_{C_F,S} > u_{C_F,R}$ $u_{C_F,T} > 0 > u_{C_F,R} > u_{C_F,S}$	$-\frac{u^* \cdot u_{C_F,S}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$	$-\frac{u^* \cdot u_{C_F,R}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$	$-$
$u_{C_F,T} > u_{C_F,R} > 0 > u_{C_F,S}$ $u_{C_F,R} > u_{C_F,T} > 0 > u_{C_F,S}$	$+\frac{u^* \cdot u_{C_F,T}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$	$-$	$+\frac{u^* \cdot u_{C_F,R}}{u^2_{C_F,R}+u^2_{C_F,S}+u^2_{C_F,T}}$

Tabelle L.1: Berechnung der relativen Einschaltdauern δ_j der aktiven Schaltzustände der Tiefsetzstellereingangsstufe für die gesamte Netzperiode in Abhängigkeit der Spannungsbedingung an den Eingangsfilterkondensatoren. Falls u^* den maximal möglichen Wert $\overline{u}_{\max}$ der Ausgangsspannung des Tiefsetzstellers überschreitet, so muss u^* auf $\overline{u}_{\max}$ limitiert werden (d.h. durch $\overline{u}_{\max}$ ersetzt werden). Die Formeln sind sowohl bei symmetrischen als auch bei unsymmetrischen Netzbedingungen bzw. bei Netzfehlerzuständen gültig.

L.4 Berechnungen der relativen Einschaltdauern bei Phasenausfall

Liegt ein Ausfall der Phase T vor, so gilt für die Spannungen an den Eingangsfilterkondensatoren

$$u_{C_F,R} = \hat{U}_{C_F} \cdot \cos\left(\varphi + \frac{\pi}{6}\right), \tag{L.24}$$

$$u_{C_F,S} = -\hat{U}_{C_F} \cdot \cos\left(\varphi + \frac{\pi}{6}\right), \tag{L.25}$$

$$u_{C_F,T} = 0. \tag{L.26}$$

Es liegen damit nur vier unterschiedliche Sektoren vor, die sich über die gesamte Netzperiode erstrecken: in Sektoren 11 und 12 gilt $u_{C_F,R} > u_{C_F,T} > u_{C_F,S}$, in Sektoren 5 und 6 gilt $u_{C_F,S} > u_{C_F,T} > u_{C_F,R}$, man erhält mit

$$\overline{u}_{\max} = \frac{3}{2} \cdot M_{\max} \cdot \sqrt{\frac{2}{3}\left(u^2_{C_F,R} + u^2_{C_F,S} + u^2_{C_F,T}\right)} = \sqrt{3} \cdot M_{\max} \cdot \hat{U}_{C_F} \cdot \cos\left(\varphi + \frac{\pi}{6}\right) \tag{L.27}$$

für die relativen Einschaltdauern in den Sektoren 11 und 12 – gekennzeichnet durch die hochgestellte geklammerte Sektornummer – vgl. Tab. A.7,

$$\delta^{(11)}_{Akt,1} = \delta_{(110)} = +\frac{\overline{u}_{\max}}{u^2_{C_F,R} + u^2_{C_F,S} + u^2_{C_F,T}} \cdot u_{C_F,R} = \frac{\sqrt{3}}{2} \cdot M_{\max}, \tag{L.28}$$

$$\delta_{Akt,2}^{(11)} = \delta_{(011)} = +\frac{\overline{u}_{\max}}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,T} = 0, \tag{L.29}$$

$$\delta_{Akt,1}^{(12)} = \delta_{(110)} = -\frac{\overline{u}_{\max}}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,S} = \frac{\sqrt{3}}{2} \cdot M_{\max}, \tag{L.30}$$

$$\delta_{Akt,2}^{(12)} = \delta_{(101)} = -\frac{\overline{u}_{\max}}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,T} = 0. \tag{L.31}$$

Die Berechnungen ergeben für Sektoren 5 und 6 analog dazu

$$\delta_{Akt,1}^{(5)} = \delta_{(110)} = \frac{\sqrt{3}}{2} \cdot M_{\max}, \tag{L.32}$$

$$\delta_{Akt,2}^{(5)} = \delta_{(011)} = 0, \tag{L.33}$$

$$\delta_{Akt,2}^{(6)} = \delta_{(110)} = \frac{\sqrt{3}}{2} \cdot M_{\max}, \tag{L.34}$$

$$\delta_{Akt,2}^{(6)} = \delta_{(101)} = 0, \tag{L.35}$$

die relative Einschaltdauer des Freilaufzustandes ist in allen Sektoren ebenfalls konstant,

$$\delta_{FL} = 1 - \frac{\sqrt{3}}{2} \cdot M_{\max}. \tag{L.36}$$

L.5 Berechnungen der relativen Einschaltdauern bei Kurzschluss und gleichzeitigem Phasenausfall

Liegt ein Ausfall der Phase T und ein gleichzeitiger Kurzschluss der Phasen S und T vor, so gilt für die Spannungen an den Eingangsfilterkondensatoren

$$u_{C_F,R} = \hat{U}_{C_F} \cdot \cos\left(\varphi + \frac{\pi}{6}\right), \tag{L.37}$$

$$u_{C_F,S} = -\frac{\hat{U}_{C_F}}{2} \cdot \cos\left(\varphi + \frac{\pi}{6}\right), \tag{L.38}$$

$$u_{C_F,T} = -\frac{\hat{U}_{C_F}}{2} \cdot \cos\left(\varphi + \frac{\pi}{6}\right). \tag{L.39}$$

D.h. wir befinden uns an der Grenze zwischen den Sektoren 12 und 1 für $u_{C_F,R} > 0$ und an der Grenze zwischen den Sektoren 6 und 7 für $u_{C_F,R} < 0$. Die Berechnung der relativen Einschaltdauern ist jedoch für die Sektoren 12 und 1 bzw. 6 und 7 identisch, vgl. Tab. A.7, man erhält mit

$$\overline{u}_{\max} = \frac{3}{2} \cdot M_{\max} \cdot \sqrt{\frac{2}{3}\left(u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2\right)} = \tag{L.40}$$

$$= \frac{3}{2} \cdot M_{\max} \cdot \hat{U}_{C_F} \cdot \cos\left(\varphi + \frac{\pi}{6}\right) \tag{L.41}$$

für die relativen Einschaltdauern der Sektoren 12 und 1

$$\delta_{Akt,1}^{(12,1)} = \delta_{(110)} = -\frac{\overline{u}_{\max}}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,S} = \frac{1}{2} \cdot M_{\max}, \tag{L.42}$$

$$\delta_{Akt,2}^{(12,1)} = \delta_{(101)} = -\frac{\overline{u}_{\max}}{u_{C_F,R}^2 + u_{C_F,S}^2 + u_{C_F,T}^2} \cdot u_{C_F,T} = \frac{1}{2} \cdot M_{\max} \tag{L.43}$$

und analog dazu für die Sektoren 6 und 7

$$\delta_{Akt,1}^{(6,7)} = \frac{1}{2} \cdot M_{\max}, \tag{L.44}$$

$$\delta_{Akt,2}^{(6,7)} = \frac{1}{2} \cdot M_{\max}, \tag{L.45}$$

die relative Einschaltdauer des Freilaufzustandes ist in allen Sektoren ebenfalls konstant,

$$\delta_{FL} = 1 - 2 \cdot \frac{1}{2} \cdot M_{\max} = 1 - M_{\max}, \tag{L.46}$$

bzw. hat für $M_{\max} = 1$ den Wert Null.

Anhang M

Berechnungen zur Parallelschaltung

Im Folgenden ist die Berechnung der Stromänderungsraten des Zwischenkreisstromes in den vier Induktivitäten $L_{12}^{\pm}$ anhand des Schaltzustandes $j = \binom{111}{100}$ erläutert. In **Abb. M.1**(a) sind die Strompfade für den Schaltzustand angegeben, betrachtet man einen fixen Zeitpunkt in der Netzperiode, können die Wechselspannungen durch Gleichspannungsquellen ersetzt werden, und vernachlässigt man die Flussspannungsabfälle der Leistungshalbleiter, so erhält man das in Abb. M.1(b) gegeben Ersatzschaltbild.

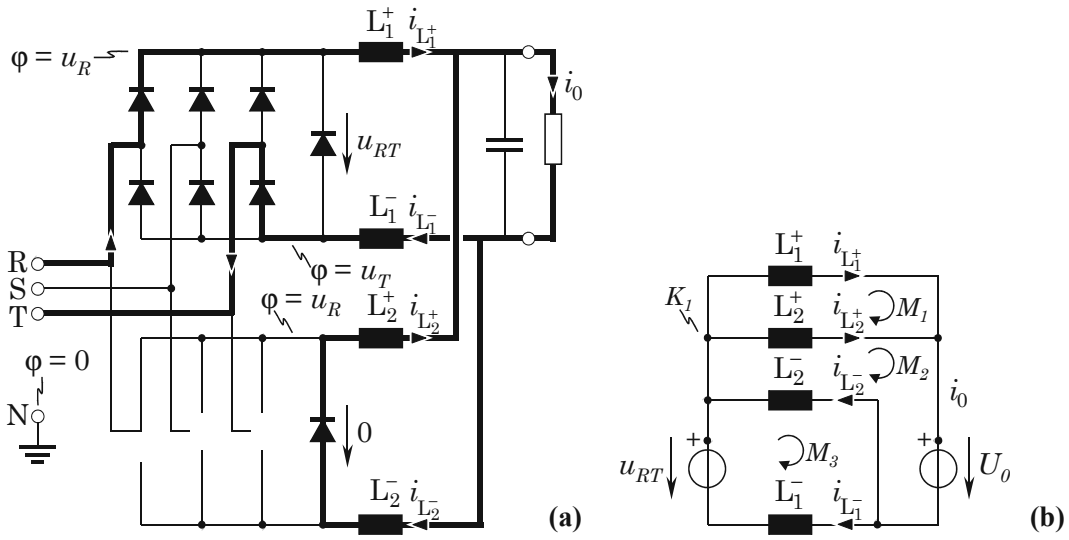


Abbildung M.1: Schaltzustand $j = \binom{111}{100}$. **(a)**: Die Strompfade sind mittels dicker Linien gekennzeichnet, aus Gründen der Übersichtlichkeit sind nur die Leistungshalbleiter jener Brückenzweige gezeigt, die an der Stromführung beteiligt sind. Die die Stromänderungsraten in den Zwischenkreisinduktivitäten beeinflussenden Potentiale φ_i sind bezüglich eines fiktiven Sternpunkts N angegeben, weiters sind die Ausgangsspannungen der Tiefsetzstellereingangsstufen u_1 und u_2 angegeben. **(b)**: zugehöriges Ersatzschaltbild mit einer Gleichspannungsersatzquelle u_{RT} und unter Vernachlässigung der Flussspannungsabfälle.

Aufstellung der Maschen- und Knotengleichungen ergibt

$$M_1: \qquad L_1^+ \cdot \frac{\mathrm{d}i_{L_1^+}}{\mathrm{d}t} - L_2^+ \cdot \frac{\mathrm{d}i_{L_2^+}}{\mathrm{d}t} = 0, \tag{M.1}$$

$$M_2: \qquad L_2^+ \cdot \frac{\mathrm{d}i_{L_2^+}}{\mathrm{d}t} + L_2^- \cdot \frac{\mathrm{d}i_{L_2^-}}{\mathrm{d}t} = -U_0, \tag{M.2}$$

$$M_3: \qquad L_1^- \cdot \frac{\mathrm{d}i_{L_1^-}}{\mathrm{d}t} - L_2^- \cdot \frac{\mathrm{d}i_{L_2^-}}{\mathrm{d}t} = u_{RT}, \tag{M.3}$$

$$K_1: \qquad i_{L_1^+} + i_{L_2^+} = i_{L_1^-} + i_{L_2^-}. \tag{M.4}$$

Es wird angenommen, dass alle Induktivitäten gleich groß sind,

$$L_1^+ = L_1^- = L_2^+ = L_2^- = L, \tag{M.5}$$

damit folgt unmittelbar aus der Maschengleichung M_1 (M.1) bzw. aus der direkten Parallelschaltung der Induktivitäten L_1^+ und L_2^+

$$\frac{\mathrm{d}i_{L_1^+}}{\mathrm{d}t} = \frac{\mathrm{d}i_{L_2^+}}{\mathrm{d}t} = \frac{\mathrm{d}i_{L^+}}{\mathrm{d}t}. \tag{M.6}$$

für die Knotengleichung K_1 (M.4) ergibt sich damit nach Differenzieren nach der Zeit t

$$2\frac{\mathrm{d}i_{L^+}}{\mathrm{d}t} = \frac{\mathrm{d}i_{L_1^-}}{\mathrm{d}t} + \frac{\mathrm{d}i_{L_2^-}}{\mathrm{d}t}, \tag{M.7}$$

nach Einsetzen in die Maschengleichung M_3 (M.3) erhält man

$$-L \cdot \frac{\mathrm{d}i_{L_2^-}}{\mathrm{d}t} + L\left(2\frac{\mathrm{d}i_{L^+}}{\mathrm{d}t} - \frac{\mathrm{d}i_{L_2^-}}{\mathrm{d}t}\right) = u_{RT} \tag{M.8}$$

$$-2L \cdot \frac{\mathrm{d}i_{L_2^-}}{\mathrm{d}t} + 2L \cdot \frac{\mathrm{d}i_{L^+}}{\mathrm{d}t} = u_{RT}. \tag{M.9}$$

Für Maschengleichung M_2 erhält man mit (M.6)

$$L \cdot \frac{\mathrm{d}i_{L_2^-}}{\mathrm{d}t} + L \cdot \frac{\mathrm{d}i_{L^+}}{\mathrm{d}t} = U_0, \tag{M.10}$$

Multiplikation der Maschengleichung M_2 mit 2 und Addition zu Maschengleichung M_3 liefert schließlich

$$\frac{\mathrm{d}i_{L^+}}{\mathrm{d}t} = \frac{\mathrm{d}i_{L_1^+}}{\mathrm{d}t} = \frac{\mathrm{d}i_{L_2^+}}{\mathrm{d}t} = \frac{u_{RT} + 2\,U_0}{4L}. \tag{M.11}$$

Einsetzen dieses Ergebnisses in (M.10) ergibt

$$\frac{\mathrm{d}i_{L_2^-}}{\mathrm{d}t} = \frac{-u_{RT} - 2\,U_0}{4L} \tag{M.12}$$

und weiteres Einsetzen in Maschengleichung M_3 liefert schließlich

$$\frac{\mathrm{d}i_{L_1^-}}{\mathrm{d}t} = \frac{3u_{RT} - 2\,U_0}{4L}. \tag{M.13}$$

Für die Matrix $\mathbf{D}_{\left(\begin{smallmatrix}111\\100\end{smallmatrix}\right)}$ (vgl. (8.5)) erhält man daher

$$\mathbf{D}_{\left(\begin{smallmatrix}110\\011\end{smallmatrix}\right)} = \begin{pmatrix} 1 & 0 & 0 & -2 \\ 3 & 0 & 0 & -2 \\ 1 & 0 & 0 & -2 \\ -1 & 0 & 0 & -2 \end{pmatrix}. \tag{M.14}$$