DISS. ETH Nr. 16370

MODULARE DREIPHASEN-PULSGLEICHRICHTERSYSTEME

ABHANDLUNG
zur Erlangung des Titels

DOKTOR DER TECHNISCHEN WISSENSCHAFTEN
der
EIDGENÖSSISCHEN TECHNISCHEN HOCHSCHULE ZÜRICH

vorgelegt von

ROLAND DIETMAR GREUL
Dipl.-Ing., TU Wien
geboren am 10. September 1973
in Linz, Österreich

Angenommen auf Antrag von

Prof. Dr. Johann W. Kolar, Referent
Prof. Dr. Alfred Rufer, Korreferent

2006

Vorwort

Die vorliegende Arbeit entstand in den Jahren 2001-2005 während meiner Tätigkeit als wissenschaftlicher Assistent an der Professur für Leistungselektronik und Messtechnik der ETH Zürich.

Herrn Professor Dr. J. W. Kolar, der mir die Durchführung dieser interessanten Forschungsarbeit ermöglichte, danke ich für seine vielfältige Förderung und sein stetes Interesse am Fortschritt der Arbeit. Insbesondere für die zahlreichen Diskussionen, für die intensive Unterstützung bei Veröffentlichungen und die Bereitstellung eines modernen Forschungsumfeldes möchte ich mich herzlich bedanken.

Ich danke Herrn Professor Dr. A. Rufer für die freundliche Übernahme des Korreferats und sein Interesse an dieser Arbeit.

Ferner möchte ich mich bei allen Kollegen am Institut für die zahlreichen Anregungen, Hilfestellungen und Ratschläge recht herzlich bedanken. Ein besonderer Dank geht an Gerold Laimer, Johann Miniböck und Dr. Uwe Drofenik. Von ihrem Fachwissen und ihrer Unterstützung konnte ich immens profitieren. Ferner gilt mein Dank meinen Bürokollegen Chunghong Zhao, Kazuaki Mino und Dominik Bortis für das angenehme Arbeitsklima.

Ein herzliches Dankeschön gebührt auch den Studenten, die mit grosser Begeisterung und zeitlichem Einsatz im Rahmen ihrer Semester- und Diplomarbeiten das Projekt tatkräftig unterstützt haben. Besonderer Dank in diesem Zusammenhang geht an Thomas Friedli, Florian Giezendanner, Reto Stalder und Michel Wagner.

Ebenso ein grosses Dankeschön richtet sich an die beiden Mitarbeiter des Elektroniklabors Peter Seitz und Hansueli Altorfer für die zahlreichen Handgriffe und Hilfestellungen bei den Laboraufbauten sowie an Markus Berger und Peter Albrecht für die Schaffung einer sehr guten Arbeitsinfrastruktur.

Schliesslich möchte ich mich bei meinen Eltern und meiner Schwester für die moralische Unterstützung in dieser sehr intensiven Zeit herzlichst bedanken. Auch an meine Freunde Markus N., Markus L. und Felix richte ich ein liebes Dankeschön für ihr offenes Ohr und die aufmunternden Worte.

Möge diese Arbeit in die Hände zahlreicher interessierter Leser gelangen!

Inhaltsverzeichnis

VORWORT 1

INHALTSVERZEICHNIS 3

KURZFASSUNG 9

ABSTRACT 11

SYMBOLVERZEICHNIS 13

1 EINLEITUNG **17**

1.1 ÜBERBLICK 17

1.2 GRUNDIDEE 22

1.3 AUFGABENSTELLUNG UND ZIELE 25

1.3.1 Überblick über den Stand der Technik modularer Dreiphasensysteme 26

1.3.2 Gliederung der Arbeit 32

2 DELTA-RECTIFIER **35**

2.1 ÜBERBLICK 35

2.2 ANALYSE DES GRUNDPRINZIPS DES *DELTA-RECTIFIER* 36

2.2.1 Stern-Ersatzschaltbild 37

2.2.2 Spannungsraumzeiger für den 2-Punkt Delta-Rectifier 40

2.2.3 Optimale Modulation für die 2-Punkt Struktur 44

2.2.3.1 Modulare Stromregelung 45

2.2.3.2 Optimale Modulation – Koordination der Trägersignale 47

2.2.4 Spannungsraumzeiger für den 3-Punkt Delta-Rectifier 51

2.2.5 Optimale Modulation für die 3-Punkt Struktur 54

2.2.5.1 Einprägung einer 3. Stromoberschwingung 57

2.2.6 Charakterisierung der beiden Ausführungen nach Spannungsniveaus 59

2.2.7 Analytische Berechnung des globalen Effektivwertes des Modulstromrippels 59

2.2.7.1 2-Punkt Ausgangsstruktur 60

2.2.7.2 3-Punkt Ausgangsstruktur 62

2.2.8 Numerische Berechnung des globalen Effektivwertes des

Eingangsstromrippels ... 65
2.2.9 Erweiterung der Topologie für zweiphasigen Nennleistungsbetrieb ... 67
2.3 SYSTEMDIMENSIONIERUNG ... 68
2.3.1 Spezifikation des Systems ... 69
2.3.2 Wahl der Topologie und Festlegung der Schaltfrequenz ... 70
2.3.3 Analytische Berechnung der Beanspruchung der Komponenten eines Leistungsmoduls ... 72
2.3.3.1 Netzdioden ... 73
2.3.3.2 Freilaufdioden ... 74
2.3.3.3 Leistungstransistor ... 75
2.3.3.4 Ausgangskapazität ... 76
2.3.3.5 Induktivität ... 76
2.3.3.6 Zusammenfassung der Strombelastungen ... 76
2.3.3.7 Spannungsbeanspruchung der Leistungskomponenten ... 77
2.3.3.8 Auswahl der Leistungskomponenten ... 78
2.3.3.9 Halbleiterverluste und Auslegung des Kühlkörpers ... 86
2.3.4 Bestimmung der Gesamtverlustleistung ... 88
2.4 SYSTEMDESIGN, REGELUNG, MESSERGEBNISSE ... 92
2.4.1 Delta-Rectifier (Prototyp A) mit hybrider Regelung ... 92
2.4.1.1 Leistungsteil ... 93
2.4.1.2 Regelungs- und Schutzkonzept ... 94
2.4.1.3 Auslegung der Systemregler ... 95
2.4.1.4 Softwarekonzept für den Microcontroller (μC- Atmel AT90S8535) ... 104
2.4.1.5 Experimentelle Ergebnisse zum Labormuster A ... 106
Einbussen in der Stromqualität durch das multipliziererfreie Stromregelkonzept ... 111
2.4.2 Delta-Rectifier (Prototyp B) mit volldigitaler DSP-Regelung ... 112
2.4.2.1 Aufbau- und Systemkonzept des Prototyps B ... 112
2.4.2.2 Auslegung einer volldigitalen DSP- Regelung (Prototyp B) ... 114
2.4.2.3 Implementierung der Regelung ... 120
2.4.2.4 Erweiterungen der Regelung für den Betrieb des Systems bei Phasenausfall ... 129
2.4.2.5 Experimentelle Ergebnisse zum Labormuster B ... 135
2.4.3 Gesamtsystem mit DC/DC-Ausgangsstufe ohne Umschaltmöglichkeit der Eingangsphase bei Phasenausfall ... 143
2.4.3.1 Regelungsstruktur des Gesamtsystems ... 143
2.4.3.2 Digitale Simulation des Gesamtsystems ... 149
2.4.3.3 Stabiles Systemverhalten durch den Eingriff des Balancierreglers ... 157

A.1 DEFINITION DES RAUMZEIGERS UND DER NULLGRÖSSE 163

3 *Y-RECTIFIER*..... 167

3.1 ÜBERSICHT..... 167
3.2 ANALYSE DES GRUNDPRINZIPS DES *Y-RECTIFIER*..... 168
3.2.1 Prinzipielle Wirkungsweise des Systems..... 169
3.2.2 2-Punkt Ausgangsstruktur..... 173
3.2.3 Simulation des Verhaltens am idealisierten System mit modularer Stromregelung..... 176
3.2.4 Simulationsergebnisse für den 2-Punkt Y-Rectifier..... 178
3.2.5 3-Punkt Ausgangsstruktur..... 184
3.2.6 Simulationsergebnisse für den 3-Punkt Y-Rectifier..... 185
3.3 FESTLEGUNG DER SCHALTUNGSSTRUKTUR FÜR DEN *Y-RECTIFIER* PROTOTYP..... 188
3.3.1 Gleichrichtereingangsstufe..... 188
3.3.2 DC/DC-Ausgangsstufe..... 189
3.3.3 Berechneter Gesamtwirkungsgrad des Y-Rectifier..... 190
3.4 HARDWARE DES *Y-RECTIFIER*..... 191
3.4.1 Leistungsteil und Messgrössen des Y-Rectifier..... 192
3.4.2 Messgrössenerfassung..... 193
3.4.3 Generierung der PWM-Ansteuersignale..... 196
3.5 ANALYSE DER VERKOPPLUNG DER MODULE..... 200
3.5.1 Serienschaltung von zwei DC/DC-Hochsetzstellern..... 200
3.5.2 Serienschaltung von zwei Einphasen PFC-Modulen..... 208
3.5.3 Verkopplung der in Sternschaltung liegenden Module im dreiphasigen Betrieb..... 211
3.6 DAS IMPLEMENTIERTE REGELUNGSKONZEPT..... 221
3.6.1 Regelungsstruktur mit ausgangsseitiger Balancierung der Zwischenkreisspannungen im dreiphasigen Betrieb..... 222
3.6.1.1 Korrektur der abgetasteten Phasenspannungen..... 226
3.6.2 Regelungsstruktur mit eingangsseitiger Balancierung der Zwischenkreisspannungen im dreiphasigen Betrieb..... 228
3.6.3 Regelungskonzept bei Ausfall einer Phase mit ausgangsseitiger Balancierung der Zwischenkreisspannungen..... 231
3.7 AUSLEGUNG DER SYSTEMREGLER..... 234

3.7.1 PFC-Eingangsstufe 235
3.7.2 DC/DC-Ausgangsstufe 237
3.7.3 Reduzierung der Ausgangsspannungsschwankung 243
3.7.4 Simulation des dynamischen Systemverhaltens im dreiphasigen Betrieb 245
3.8 INITIALISIERUNG DES SYSTEMS 248
3.8.1 Funktionsweise des laufenden Programms 248
3.9 EXPERIMENTELLE ERGEBNISSE 252

B.1 ÜBERBLICK ÜBER EINPHASEN-PFC TOPOLOGIEN BASIEREND AUF DEM HOCHSETZSTELLERPRINZIP 263

B.1.1 STANDARD-PFC TOPOLOGIE 264
B.1.2 PFC TOPOLOGIEN MIT REDUZIERTEN HALBLEITERVERLUSTEN 265
B.1.3 TOPOLOGIEAUSWAHL FÜR DEN EINSATZ ALS *Y-RECTIFIER* MODUL 266
B.1.4 VERGLEICH MIT *DELTA-RECTIFIER* MODUL 268

B.2 STROMBELASTUNG UND WIRKUNGSGRAD FÜR DAS *Y-RECTIFIER* MODUL 269

B.2.1 ANALYTISCHE GLEICHUNGEN FÜR DIE STROMBELASTUNG DER LEISTUNGSKOMPONENTEN 269
B.2.2 GEGENÜBERSTELLUNG DER VERLUSTE VON 2-PUNKT-TOPOLOGIEN 270
B.2.3 GEGENÜBERSTELLUNG DER VERLUSTE EINER 2-SCHALTER 2-PUNKT TOPOLOGIE MIT EINER 3-PUNKT TOPOLOGIE 272

B.3 GLOBALER EFFEKTIVWERT DES SCHALTFREQUENTEN STROMRIPPELS 274

B.3.1 ANALYTISCHE BERECHNUNG DES PHASENSTROMRIPPELS FÜR $N = N_S$ 274
B.3.2 NUMERISCHE BERECHNUNG DES PHASENSTROMRIPPELS FÜR DAS VERKOPPELTE SYSTEM 278

B.4 DIMENSIONIERUNG DES LEISTUNGSTEILS EINES *Y-RECTIFIER* MODULS 280

B.4.1 EINGANGSSTUFE 281
B.4.2 AUSGANGSSTUFE 283
B.4.3 GESAMTVERLUSTE DER DC/DC-AUSGANGSTUFE 292

4 BEWERTUNG UND VERGLEICH MIT DIREKTEN DREIPHASENSYSTEMEN 293

4.1 DELTA-RECTIFIER 293

4.1.1 Strombeanspruchung und Verluste in den Halbleiterkomponenten 293

4.1.2 Netzstromrippel und Verluste in den passiven Komponenten 301

4.1.3 Gesamtwirkungsgrad, Leistungsdichte 305

4.1.4 Besonderheiten des Delta-Rectifier 306

4.1.5 Grad der Modularität (Leistungsteil / Steuerteil) 307

4.1.6 Realisierungsaufwand 308

4.1.6.1 Leistungshardware 308

4.1.6.2 Messwerterfassung / Regelung / Modulation 309

4.1.7 Abschlussbewertung 310

4.2 Y-RECTIFIER 313

4.2.1 Beanspruchung der Leistungshalbleiter und deren Verluste 313

4.2.2 Netzstromrippel und Verluste in den passiven Komponenten 313

4.2.3 Wirkungsgrad 314

4.2.4 Besonderheiten des Y-Rectifier 314

4.2.5 Grad der Modularität (Leistungsteil / Regelung) 315

4.2.6 Realisierungsaufwand 315

4.2.7 Abschlussbewertung 316

5 ZUSAMMENFASSUNG 317

Patentschrift 318

Publikationen 318

Ausblick 318

LITERATURVERZEICHNIS 321

LEBENSLAUF 329

Kurzfassung

Die vorliegende Arbeit beinhaltet die Forschungsergebnisse von modular aufgebauten, dreiphasigen Pulsgleichrichtersystemen hoher Leistungsdichte und geringer Netzrückwirkung mit konstant geregelter Ausgangsspannung und kontinuierlichen sinusförmigen Eingangsströmen. Die beiden prinzipiell möglichen Konzepte für den Aufbau eines modularen Dreiphasensystems, d.h. die Stern- und die Dreieckschaltung von Einphasenmodulen mit einer Hochsetzstellertopologie und deren dreiphasige koordinierte Modulation und Regelung werden mittels analytischer Rechnung und digitaler Simulation untersucht. Es wird die Ausführung der Hochsetzstellermodule als Zweipunkt- oder Dreipunkttopologie analysiert und eine passende Auswahl für den Aufbau von Labormustern in Hinblick auf eine eingeschränkte Systemkomplexität, einen hohen Wirkungsgrad und einen reduzierten Oberschwingungsgehalt der Phasenströme getroffen. Die in der Fachliteratur bisher nur sehr oberflächlich behandelten modularen Konzepte bieten gegenüber direkt dreiphasigen Konvertertopologien den Vorteil der Gleichteiligkeit mit Teilsystemen kleinerer Leistung und den Bezug auf eine bestehende Wissensbasis für Einphasenmodule, womit der Entwicklungsaufwand und die Fertigungskosten reduziert werden können. Ein Hauptanwendungsgebiet stellt die Versorgung von informationsverarbeitenden Systemen dar.

Der Leistungsteil des *Delta-Rectifier* ist aus drei identen Einphasen-Dreipunkt-Hochsetzstellern aufgebaut, die in Dreieckschaltung (Δ) an das Niederspannungsnetz angeschlossen sind. Die Regelung des Systems wurde in einem ersten Schritt als modulare hybride Regelung, d.h. mit einer analogen multiplizierfreien Stromregelung und einer digitalen Spannungsregelung für die einzelnen Leistungsmodule ausgeführt; in einem Redesign des Systemaufbaus zu einer kompakten Gesamteinheit mit einer Nennleistung von 10,5kW und einer Leistungsdichte von 2,6kW/dm^3 werden alle Leistungsmodule durch einen *DSP* volldigital geregelt. Als Folge des Anschlusses an die verketteten Eingangsspannungen und der damit verbundenen geringeren Strombelastung zeichnet sich das System durch einen hohen Wirkungsgrad von 97,3%, eine hohe bzw. nominelle Leistungsabgabe auch bei Phasenausfall und einen sehr geringen Netzstromrippel mit doppelter Schaltfrequenz aus. Die Topologie weist infolge der fehlenden Verkopplung der Module im dreiphasigen Betrieb eine sehr hohe Systemstabilität auf, und kann auch bei individuell unterschiedlicher Belastung der Module stabil betrieben werden. Eine Verkopplung zwischen zwei Modulen tritt erst bei Phasenausfall auf. Die Systemstabilität für diesen Betrieb kann nicht mehr über eine

ausschliesslich modulare Regelung erreicht werden. Verschiedene Möglichkeiten des stabilen Regeleingriffes werden im Detail dargestellt.

Der *Y-Rectifier* bezeichnet den Zusammenschluss von drei verlustoptimalen Einphasen-Hochsetzstellermodulen in Sternschaltung (*Y*) an das Dreiphasennetz und wird durch dieselben Raumzeiger der Umrichterspannungen wie direkte Dreipunktsysteme charakterisiert. Die vorliegende Verkopplung der drei Phasenmodule zufolge des gemeinsamen systeminternen Netzsternpunktes ist über eine Netzperiode gemittelte in Abhängigkeit der Belastung für symmetrische Netzverhältnisse analytisch berechnet. Basierend darauf wird die Regelung des Systems ausgelegt. Die Stabilisierung des Systemsternpunktes bzw. der Zwischenkreisspannungen der Teilsysteme wird sowohl eingangseitig über die Änderung der Sollstromamplituden der Phasenstromregler als auch ausgangsseitig über die Ausgangsstromsollwerte gezeigt. Die theoretischen Ergebnisse werden anhand eines kompakt aufgebauten Labormusters (840W/dm^3), je Phase bestehend aus der Gleichrichtereingangsstufe und einer nachgeschalteten *DC/DC*-Ausgangstufe mit einem Gesamtwirkungsgrad von 92,3% im Nennlastpunkt (Dreiphasenleistung 5,4kW) verifiziert.

Ein abschliessender Vergleich der beiden modularen Konzepte mit direkten Dreipunkt-Dreiphasensystemen hinsichtlich Oberschwingungsgehalt des Eingangsstromes, Wirkungsgrad, Realisierungsaufwand und Komplexität der Modulation und Regelung zeigt, dass der *Delta-Rectifier* bei hohen Bauleistungen (>10kW) für den industriellen Einsatz konkurrenzfähig mit einer direkt dreiphasigen Lösung ist.

Abstract

This thesis contains the analysis and experimental results of three-phase rectifier systems, which are constructed with single-phase boost-rectifier modules, that have a high power density, low effect on the mains, a controlled output voltage and continuous, sinusoidal phase currents. The two principle configurations for connecting the single-phase modules are the delta and star arrangement. A detailed analysis of the modulation and control of both configurations is presented by analytical calculation and simulation. Single-phase rectifiers with a two-level and a three-level output stage are considered in the analysis and evaluated for the delta and star configurations in order to achieve a good compromise between high efficiency, reduced current ripple and limited system complexity. The main advantage of using single-phase rectifiers is that their use is widespread in industrial applications and therefore reduced development effort and costs are expected in manufacturing a modular three-phase rectifier system. However, very little research has been undertaken on a detailed analysis of the control interactions between the single-phase modules. Hence, the main contribution of this thesis is the design of a control-oriented model and the development of suitable cascaded control concepts for the delta and star three-phase rectifier systems.

The *Delta-Rectifier* is formed by a delta-connection of single-phase three-level rectifier modules. For this system two control designs are presented, firstly an individual hybrid control with an analog multiplier-free current controller and an outer digital voltage control loop, secondly a full-digital control with an inner average current mode controller. A compact design of the prototype with nominal power of 10.5kW, a power density of 2.6kW/dm^3, and operating at 50kHz switching frequency is presented. The system shows a high efficiency of 97.3% and is able to deliver nominal output power in case of a mains phase loss and has a smaller input current ripple with twice the switching frequency compared to direct three-phase rectifier systems. Additionally, the system behaviour during three-phase operation is stable in case of unequal power distribution to the modules because no coupling exists between each module. A mutual coupling of two modules occurs in case of a phase loss. To guarantee system stability at all operating conditions different possibilities for enhancements of the modular control design are presented. Finally, a full-digital control concept for the *Delta-Rectifier* including a DC/DC-converter stage is discussed in detail.

The *Y-Rectifier* prototype is based on the star-connection of loss-optimized 2-level single-phase rectifiers. It is shown that the *Y-Rectifier* can be characterized by the same space vectors of the rectifier voltages as a direct three-phase, three-level system. The isolated star point results in a mutual coupling of the individual phase rectifier outputs. An analytical expression for the mutual coupling averaged over a mains period, for the case of symmetrical mains, is determined. Based on this expression, the maximum value for the control gain of the individual current controllers can be derived, such that the cross coupling does not have significant influence on the system stability for symmetric mains conditions. For unbalanced mains and two phase operation the balancing of the rectifier output voltages can be achieved by either modifying the reference values of the phase currents or by changing the reference values of the DC/DC output currents. The theoretical and simulated results are proved by experimental operation of a fully digitally controlled prototype. Each power module consists of a single phase rectifier and a two-switch forward DC/DC converter. The system is designed for a nominal power of 5.4kW, an output voltage of 48V, and operates at a switching frequency of 50kHz. It has a power density of 840W/dm^3 and an efficiency of 92.3% at nominal load.

Finally, the delta and star rectifier concepts are compared to direct three-level, three-phase rectifiers concerning the input current ripple, efficiency, realization effort and complexity of the modulation and control. Based on this evaluation it is shown that the direct three-phase rectifier has advantages over the *Y-Rectifier* due to the lower control complexity. In the case of the *Delta-Rectifier*, this rectifier shows high potential when an output power above 10kW and/or fully rated output power in case of a mains phase loss is required.

Symbolverzeichnis

Grundsätzliches

x	Kleinbuchstaben kennzeichnen zeitlich veränderliche Grössen
$\dot{x}$	zeitliche Ableitung der Grösse x
$\hat{X}$	Spitzenwert einer zeitlich veränderlichen Grösse
$\overline{X}$, X_{avg}	Mittelwert einer zeitlich veränderlichen Grösse
X, X_{rms}	Effektivwert einer zeitlich veränderlichen Grösse
x^*	Sollwert der Grösse x
$\underline{x}$	Vektor x
$x[kT_S]$	k-ter Abtastwert der Grösse x
f_N	Netzfrequenz
f_P	Taktfrequenz
T_N	Netzperiode
T_P	Pulsperiode
T_S	Abtastperiode oder Berechnungsperiode
$G(s)$	Übertragungsfunktion der Strecke
$M(s)$	Übertragungsfunktion des Messglieds
$R(s)$	Übertragungsfunktion des Reglers
$L(s)$	Übertragungsfunktion des offenen Regelkreises (Schleifenverstärkung)
$T(s)$	Führungs-Übertragungsfunktion des Regelkreises

In Teilen der Arbeit werden einzelne Grössen mit einer abweichenden Symbolik gekennzeichnet. Unmittelbar bei der Verwendung dieser Grössen wird deren Bezeichnung genau erläutert.

Symbole

$\underline{a}$	Drehoperator $e^{j2\pi/3}$
A_{fe}	Querschnitt des Magnetkerns
A_W	Querschnitt des Wickelfensters
B	magnetische Induktion
C	Zwischenkreiskapazität des Gleichrichtermoduls
C_O	Ausgangskapazität der DC/DC-Ausgangsstufe
d	relative Einschaltdauer; Tastverhältnis
$\tilde{d}$	Anteil des Tastverhältnisses seitens des Proportionalstromreglers
D, m	vorgesteuerter Anteil des Tastverhältnisses
d'	relative Ausschaltdauer $(1-d)$
D_F	Freilaufdiode
D_N	Netzdiode
f_{fe}	Ummagnetisierungsfrequenz des Magnetkerns
G	Eingangsleitwert des Systems
$G_{i,ges}$	resultierender Gesamtleitwert für das Modul i
$G_{P,i}$	Leitwertanteil durch eine Lastvorsteuerung
H	Feldstärke
$\underline{H}$	Koppelmatrix
i_D	Trägersignal (symmetrisches Dreiecksignal) der Modulation

$\hat{I}_D$	Amplitude des dreieckförmigen Trägersignals
$i_{N,i}$	Phasenstrom
$i_{N,i,(1)}$	Grundschwingung des Phasenstroms
$i_{N,ij}$	Modulstrom des *Delta-Rectifier*
$i_{N,ij,(3)}$	3. Harmonische des Modulstroms
i_0	Nullkomponente des Modulstroms
K	Proportionalregler
$k_{1,OFF}$, $k_{1,ON}$	Schaltverlustkoeffizienten
k_M	resultierende Proportionalverstärkung der Mess- und Stellglieder
k_P	Proportionalverstärkung des Stromreglers
L	Induktivität je Gleichrichtermodul
L_{DC}	Induktivität des DC/DC Moduls
L_S	Phasen- bzw. Modulinduktivität des *Y-Rectifier* bzw. der direkten Dreiphasensysteme ($L_\Delta=3L_S$)
L_Δ	Modulinduktivität des *Delta-Rectifier*
M	Modulationsindex (-faktor) definiert mit $M=2\hat{U}_N/U_O$
$\underline{M}$	Entkopplungsmatrix
m_{ij}	vorgesteuerter Anteil (1-$\lvert u_{N,ij}\rvert/U_O$) des Tastverhältnisses d_{ij}
n	Windungszahlverhältnis N_1/N_2
N	Netzsternpunkt
N'	Nachbildung des Netzsternpunktes N mittels gleicher ohmscher Widerstände in Sternschaltung
N_S	der durch die Sternschaltung der Module gebildete schaltfrequente Systemsternpunkt
P	Leistung
P_{fe}	Ummagnetisierungsverluste
P_M	Leistung eines Moduls
P_N	Nennleistung des Systems
P_O	Ausgangsleistung
P_S	Gesamtbauleistung einer Versorgungseinheit bestehend aus mehreren Systemen
P_V	Verlustleistung
R_{Cu}	Wicklungswiderstand
r_{on}, $r_{on,DS}$	differentieller Einschaltwiderstand des MOSFETs
$r_{on,D}$	differentieller Widerstand der internen Diode des MOSFETs
R_{th}	Wärmeübergangswiderstand
s_i, s_{ij}	Schaltzustand des Transistors oder die Zusammenfassung aller Schaltfunktionen
$s_{\Delta,3P}$	Schaltfunktion des 3-Punkt *Delta-Rectifier*
$u'_{N,i}$	Momentanwert der Phasenspannungen bezogen auf eine Nachbildung N' des Netzsternpunkts
u_0	Nullspannungskomponente in der Umrichterspannung u_U
$u_{N,i}$	Momentanwert der Phasennetzspannung
$u_{N,ij}$	Momentanwert der verketteten Netzspannung
U_O	Modulzwischenkreisspannung der AC/DC-Eingangsstufe
U_{out}	Ausgangsspannung der DC/DC-Ausgangsstufe
U_{OY}	Modulzwischenkreisspannung des Y-Rectifier ($U_{OY}=U_O/2$)
U_{res}	Spannungsreserve für induktive Überspannungsspitzen
u_U	Umrichterspannung
$\underline{u}_U$	Raumzeiger der Umrichtereingangsspannungen

$u_{U,\alpha}$	Realteil des Raumzeigers der Umrichtereingangsspannung
$u_{U,\beta}$	Imaginärteil des Raumzeigers der Umrichtereingangsspannung
V	Bauvolumen des Systems
ΔB	schaltfrequenter Anteil der magnetischen Induktion
Δd	Korrekturanteil des Tastverhältnisses für eine 3-Punkt Topologie seitens des Symmetrierreglers
ΔG^*	Leitwertvorgabe des Gesamtausgangsspannungsreglers
$\Delta G^*_{i,bal}$	Leitwertvorgabe des Balancierreglers für das Modul i
ΔG_i	Niederfrequente Änderung des Eingangsleitwertes
$\Delta i'_{N,ij}$	Modulstromrippel ohne einer Nullgrösse
$\Delta I_{D,i}$	Änderung des gemittelten Diodenausgangstromes des Moduls i
$\Delta \hat{I}_i$	Niederfrequente Änderung des Spitzenwertes des Phasenstromes $i_{N,i}$
Δi_L	Stromrippel in der Induktivität L
ΔI_L	globaler Effektivwert des Stromrippels Δi_L
$\Delta \hat{I}_{L,nax}$	Maximalwert des Stromrippels in der Induktivität L
$\Delta i_{N,i}$	Netzstromrippel (Netzstrom $i_{N,i}$ minus Grundschwingungsanteil $i_{N,i,(1)}$)
$\Delta I_{N,i}$	globaler Effektivwert des Phasenstromrippels $\Delta i_{N,i}$
$\Delta i_{N,ij}$	Modulstromrippel
$\Delta u_{O,p\text{-}p}$	Spitze-Spitze-Wert des Ausgangsspannungsrippels
η	Wirkungsgrad
φ	Phasenverschiebung der Netzstromgrundschwingung gegenüber der Netzspannung
λ	Leistungsfaktor
ω_C	Knick-Kreisfrequenz
ω_D	Durchtritts-Kreisfrequenz der Schleifenverstärkung

Indizes

(1)	Grundschwingungsanteil einer periodischen Grösse
(3)	3. Harmonische einer periodischen Grösse
add	Zusatzanteil
amb	Umgebung
avg	Mittelwert
bal	Balancierung
block	Sperrspannungsfestigkeit
C	Kapazität
CCM	kontinuierliche Stromführung
C-HS	Gehäuse-Kühlkörper
Ctrl_GND	Bezugspotential der Regelelektronik
DCM	diskontinuierliche Stromführung
D_F	Freilaufdiode
D_N	Netzdiode
E	Elektronik
FAN	Lüfter
filt	gefilterte Messgrösse
ges	gesamt
i,j	stellvertretend für die Phasen R, S, T; *ij = RS, ST, TR*

J-C	Sperrschicht - Gehäuse
korr	korrigierte Messgrösse
LV	Leitverluste
m	Berücksichtigung der Proportionalverstärkung der Mess- und Stellglieder
max	Maximalwert einer zeitlich veränderlichen Grösse oder einer Komponente
min	Minimalwert einer zeitlich veränderlichen Grösse oder einer Komponente
n	Nominalwert der Grösse *X*
norm	normierte Grösse
O	Ausgang
p-p	Spitze-Spitze-Wert
res	Sicherheitsreserve
rms	Effektivwert
RR	*Reverse Recovery*
S, T	Transistor
snub	Snubber
SV	Schaltverluste
sym	Symmetrierung
SYM	symmetrische Netzverhältnisse
V	Verluste
VL	Vorladung
VR	*Vienna-Rectifier*
zw	Zwischengrösse
*	Sollgrösse
+	bezogen auf die obere Hochsetzstellerstufe eines 3-Punkt Ausganges
–	bezogen auf die untere Hochsetzstellerstufe eines 3-Punkt Ausganges
Δ	*Delta-Rectifier*

Abkürzungen

A/D	Analog / Digital
AC/DC	*Alternating Current / Direct Current*; Wechselstrom / Gleichstrom
CCM	*Continuous Conduction Mode;* Kontinuierliche Stromführung in *L*
CISPR	*Comité International Speciál des Perturbations Radioélectriques*
D/A	Digital / Analog
DC/DC	*Direct Current / Direct Current*; Gleichstrom / Gleichstrom
DCM	*Discontinuous Conduction Mode*; Diskontinuierliche Stromführung in *L*
DSP	*Digital Signal Processor*
EMI	Elektromagnetische Interferenz
EMV	Elektromagnetische Verträglichkeit
IGBT	*Insulated Gate Bipolar Transistor*
LTI	*Linear time-invariant*
MOSFET	*Metal Oxide Semiconductor Field Effect Transistor*
PFC	*Power Factor Corrector*
PI	Proportional-Integral Regler
PIT_1	Proportional-Integral Regler mit Tiefpass 1. Ordnung
PLD	*Programmable Logic Device*
PWM	*Pulse Width Modulation*
RMS	*Root Means Square*
SPI	*Serial Port Interface*
THD	*Total Harmonic Distortion*; Klirrfaktor
VHDL	*Verilog Hardware Description Language*
ZVS	*Zero Voltage Switching*

1 Einleitung

1.1 Überblick

Ein wachsender Markt für AC/DC-Stromversorgungen mit geregelter Ausgangsspannung bei einem weiten Eingangsspannungsbereich insbesondere für die Energieversorgung von Vermittlungsstellen der Nachrichten- und Datenübertragung, die vorliegenden Standards, Richtlinien, und Empfehlungen (IEEE-519, IEC-555, EN61000-3-2; [Key93], [Red01], [Red95]) hinsichtlich der Limitierung von niederfrequenten Netzstromoberschwingungen und eines optimalen Leistungsbezugs mit einem Leistungsfaktor nahe $\lambda=1$, sowie wirtschaftliche Aspekte hinsichtlich Baugrösse / Platzbedarf, Gewicht, Wirkungsgrad, Kosten und Ausfallsicherheit haben den Bedarf an Gleichrichtersystemen mit Leistungsfaktorkorrektur stark angehoben.

In den letzten 10-15 Jahren ist ein verstärkter Trend von passiven bzw. niederfrequentgetakten Gleichrichtersystemen hin zu hochfrequent getakten aktiven Systemen sowohl für einphasige Applikationen bis zu einem Leistungsbereich von typisch 1,5kW als auch für dreiphasige Systeme im Leistungsbereich ab 1,5kW bis etwa 10kW zu erkennen. Treibender Faktor dieser Entwicklung ist vor allem der Wunsch nach immer kleineren Baugrössen, d.h. höherer Leistungsdichte und verbesserter Regeldynamik. Die technologischen Fortschritte in der Halbleiterindustrie und in der Verbindungstechnik führen einerseits auf eine stetig ansteigende Performance der Leistungshalbleiter mit geringeren Leit- und Schaltverlusten und einer höheren Sperrspannungsfestigkeit, anderseits sind deren Stückkosten aufgrund der Massenproduktion stark gefallen. Im Gegensatz dazu ist für passive Komponenten ein stagnierender Preisverlauf festzustellen ([Bos92]), wodurch aktive Systeme mit neuester Halbleitertechnologie, hoher Schaltfrequenz, kleinen passiven Komponenten in der Konvertertopologie und einem EMV-Eingangsfilter für die Begrenzung der leitungsgebundenen Störaussendung ([EN01a], [EN01b]) verstärkt als die vorrangige Lösung angesehen werden.

Aus der Historie heraus ist ein grosser Teil der im Einsatz befindlichen aktiven Dreiphasen-Pulsgleichrichtersysteme noch auf der Topologie eines bidirektionalen Sechsschalter-Hochsetzstellers ([Ert86], [Mao96]), der aus der Antriebstechnik durch Umkehrung der Einsatzfunktion bzw. der Energierichtung eines Wechselrichters entstanden ist, aufgebaut.

Diese Gleichrichtersysteme (s. **Bild 1.1**) haben den Nachteil von hohen Schaltverlusten aufgrund der relativ geringen Schaltgeschwindigkeit der Leistungshalbleiter, welche eine Sperrspannungsfestigkeit in Höhe der gesamten DC-Ausgangsspannung U_O (typisch 800V) aufweisen müssen, wodurch der Einsatz von IGBTs anstelle von MOSFETs erforderlich ist. Weiters tritt trotz der kontinuierlichen Stromführung in den Eingangsinduktivitäten eine erhöhte elektromagnetische Störaussendung (*EMI*) durch das Schalten zwischen den beiden Spannungsniveaus 0 und U_O (2-Punkt Struktur) auf, und eine Schutzfunktion für die gegenseitige Verriegelung der Leistungsschalter eines Brückenzweiges zur Verhinderung eines Ausgangskurzschlusses ist vorzusehen.

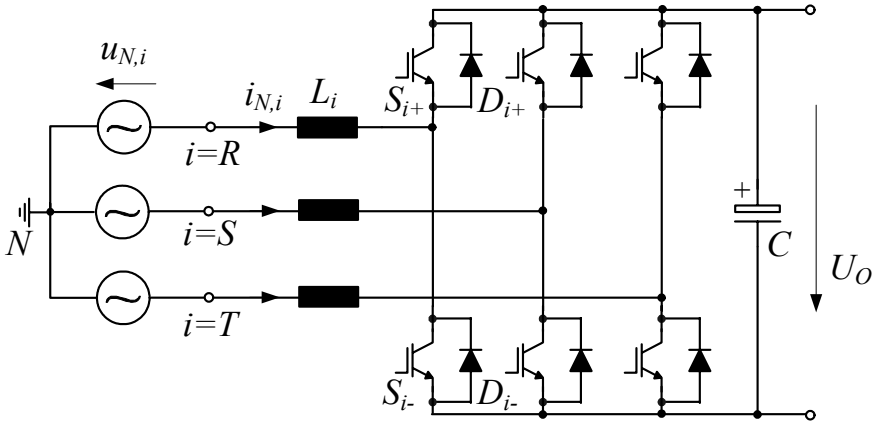


Bild 1.1: Bidirektionaler Dreiphasen / 6-Schalter / 2-Punkt PWM-Hochsetzsteller.

Vor allem für den rasant ansteigenden Bedarf an hochwertigen Stromversorgungen für Einrichtungen und Rechneranlagen im Telekom- und IT-Bereich mit der Notwendigkeit eines ausschliesslich von der AC- auf die DC-Seite gerichteten Energieflusses und der Anforderung nach ohmschem Grundschwingungs-Netzverhalten zur Reduzierung der Netzrückwirkungen wurden ab Anfang der 90-iger Jahre unidirektionale dreiphasige Pulsgleichrichtersysteme entwickelt. Diese hochfrequent-getakteten Systeme erfüllen die Anforderungen nach

- sinusförmigem Eingangsstrom (gefordert ist typisch ein THD_i<5%[1] zur Reduzierung von Netzrückwirkungen [Red97]),
- weitem Eingangsspannungsbereich (für den universellen, weltweiten Einsatz),
- konstant geregelter Ausgangsspannung (für den Anschluss einer nachgeschalteten DC/DC-Ausgangsstufe),

[1] Oberschwingungsgehalt der Netzströme i_N (THD … Total Harmonic Distortion) $THD_i = \dfrac{\sqrt{I_N^2 - I_{N,(1)}^2}}{I_{N,(1)}}$

- Leistungsfaktor[2] nahezu 1 (ohmsches Netzverhalten für eine möglichst geringe Belastung des öffentlichen Netzes) und
- hoher Leistungsdichte.

Einsatzschwerpunkte sind

- Stromversorgungen in Telekommunikations- und Datenzentren,
- unterbrechungsfreie Stromversorgungsanlagen für medizinische Geräte oder EDV-Anlagen,
- industrielle Stromversorgungen (z. B. Schweissgeräte, Hochleistungslaser),
- Eingangsstufen von Ladegeräten für elektrisch betriebene Fahrzeuge und
- Luft- und Raumfahrttechnik.

Zwei Vertreter unidirektionaler 3-Punkt-Topologien sind in **Bild 1.2** dargestellt. Die Topologie in **(a)** wurde in [Zha93] unter dem Namen *Force Commutated Three Level Boost Type Rectifier* eingeführt und wird hier nachfolgend als Konventioneller Dreiphasen-Pulsgleichrichter bezeichnet. Im Teilbild **(b)** ist die mit der Bezeichnung *Vienna-Rectifier* in die Fachliteratur eingegangene Pulsgleichrichtertopologie dargestellt ([Kol94a], [Kol97]).

Beide Topologien weisen den entscheidenden Vorteil auf, dass durch Einbindung des Mittelpunktpotenzials der Ausgangsgleichspannung U_O die Sperrspannungsbeanspruchung aller Halbleiterkomponenten auf die halbe Ausgangsspannung herabgesetzt wird, womit der Einsatz von MOSFETs mit 500V oder 600V Sperrspannungsfestigkeit und geringeren Schaltverlusten möglich ist. Durch die Dreipunkt-Ausgangsstruktur kann der Eingangsstromrippel gegenüber dem bidirektionalen Sechsschalter–Hochsetzsteller reduziert, und das EMV-Filter für die Unterdrückung der schaltfrequenten leitungsgebundenen Störaussendung kleiner ausgelegt werden. Weiters ist aufgrund einer Fehlschalthandlung ein Kurzschluss der Ausgangsspannung nicht möglich. Aufgrund der reduzierten Anzahl an Leistungsschaltern stellt der *Vienna-Rectifier* mit den etwas höheren Leitverlusten die bevorzugte Variante der beiden unidirektionalen Dreiphasen-Pulsgleichrichtersysteme dar. Beide Topologien führen auf dieselben Raumzeiger der Gleichspannung und stellen insgesamt 9 verschiedene Spannungsniveaus zur Spannungsbildung bereit. Verstärkt hat sich bei heutigem Stand der Technik der *Vienna-Rectifier* als die Systemtopologie mit der besten

---

[2] Leistungsfaktor $\lambda_i = \frac{P}{S} = \frac{I_{N,(1)}}{I_1}\cos\varphi = \frac{1}{\sqrt{1+THD_i^2}}\cos\varphi$, wobei φ die Phasenverschiebung der Netzstromgrundschwingung gegenüber der Netzspannung bezeichnet.

Balance zwischen Systemkomplexität, Effizienz, Leistungsdichte und elektromagnetischer Verträglichkeit (EMV) heraus kristallisiert ([Ide97], [Kan04], [Car01]).

Ein umfassender Überblick über den Stand der Technik und eine Klassifizierung bekannter Schaltungskonzepte dreiphasiger Pulsgleichrichtersysteme kann aus ([Sin04], [Kol99], [Sal95]) entnommen werden.

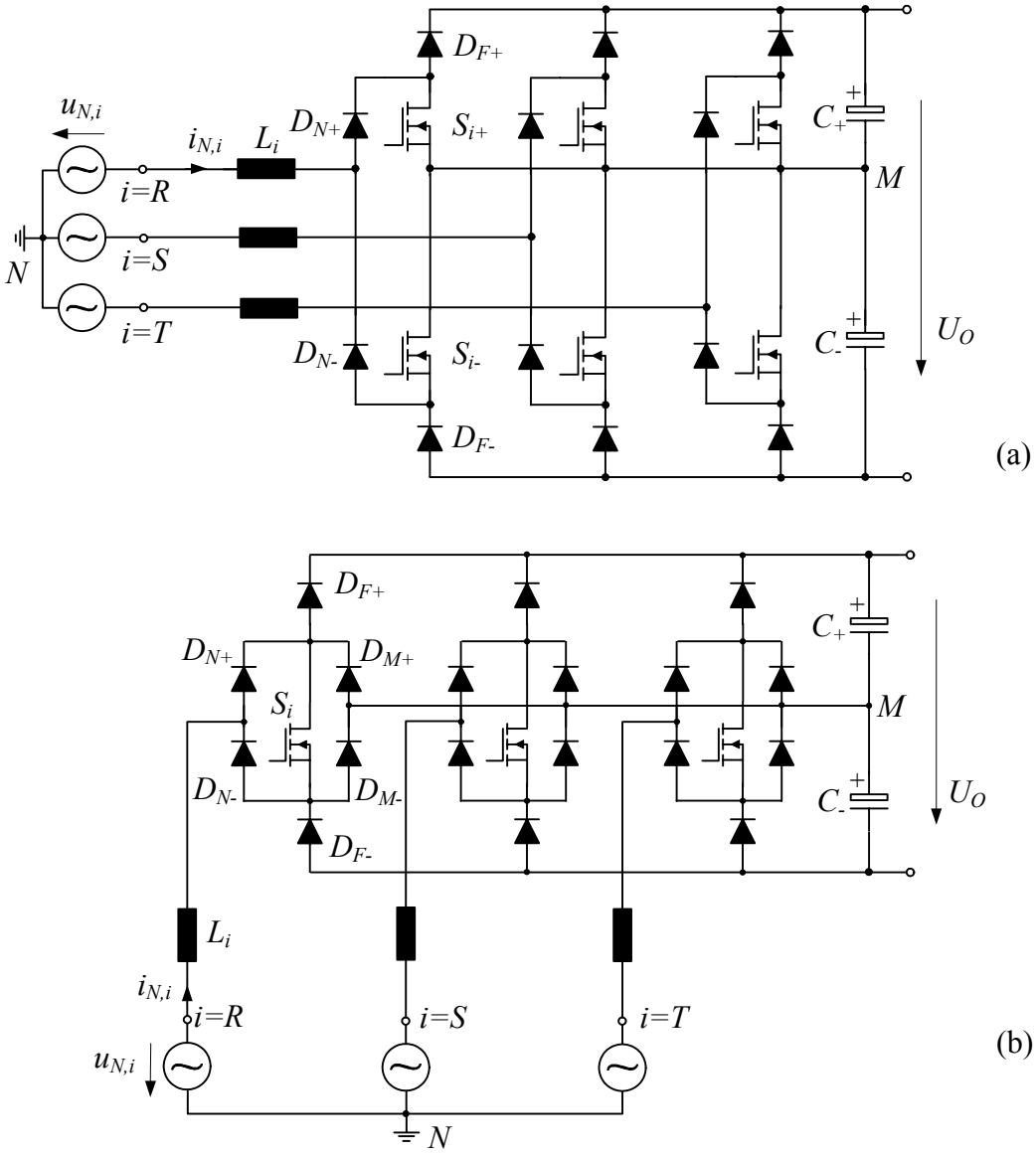


Bild 1.2: Direkte unidirektionale Dreiphasen-Pulsgleichrichtersysteme. **(a)** Konventioneller Pulsgleichrichter mit sechs Leistungsschaltern. **(b)** Topologie des *Vienna-Rectifier* mit drei bidirektionalen Leistungsschaltern.

Neben den dreiphasigen Systemen wurde für den unteren Leistungsbereich (bis zu einer Modulleistung von typisch 3kW) eine Vielzahl von aktiven Einphasen-PFC-Topologien entwickelt [Red94]. Wie bei den Dreiphasen-Gleichrichtern haben sich die Hochsetzsteller-

Topologien vermehrt durchgesetzt, vorrangig aufgrund der Tatsache, dass für diese Konverter ein hoher Ausnutzungsgrad des Leistungsschalters bezogen auf die übertragene Leistung, eine Spannungsanpassung in einem weiten Bereich und eine kontinuierliche Stromführung auf der Netzseite, womit ein reduzierter EMV-Filteraufwand einhergeht, vorliegen. Als nachteilig ist die notwendige Vorladeeinrichtung zur Verhinderung von Einschaltstromspitzen anzuführen.

Ein weiterer wichtiger Punkt im Design einer Stromversorgung mit dem Erfordernis einer potenzialgetrennten DC-Ausgangsspannung (typisch 46...56V für den Einsatz im Telekom-bereich) ist die Frage nach dem Konzept der Energieumformung in einer (AC - DC) oder in zwei Stufen (AC/DC – DC/DC). Generell kann gesagt werden, dass sich für Ausgangs-leistungen oberhalb von 500W die zweistufige Energieumformung durchgesetzt hat. Einstufige einphasige Konzepte weisen den entscheidenden Nachteil der Energiespeicherung auf der sekundären Niederspannungsseite auf, wodurch für die geforderte Spannungskonstanz sehr hohe Kapazitätswerte einzusetzen sind. Die hohe Speicherladung führt einerseits zu einer eingeschränkten Dynamik der Ausgangsspannung, andererseits auf eine hohe Kurzschlussleistung im Fehlerfall. Im Weiteren weisen die einstufigen Konzepte i. a. die Problematik von Schaltüberspannungen aufgrund der Trafostreuinduktivität auf. Mit einem zweistufigen Aufbau kann ein höherer Gesamtwirkungsgrad und ein reduzierter EMI-Störpegel erzielt werden. Ebenso können die Inbetriebnahme und die optimale Reglerauslegung durch ein getrenntes Testen der Eingangsstromführung und der Ausgangsspannungs- bzw. -stromregelung vereinfacht werden.

Mit dem zunehmenden Leistungsbedarf in den oben angeführten Anwendungsgebieten im speziellen für Telekom- und Serveranwendungen kommen vermehrt die vorstehend genannten dreiphasigen Pulsgleichrichtersysteme als Eingangsstufe eines Stromversorgungsmoduls zum Einsatz. Eine Ablösung von einphasigen Versorgungseinheiten ist vorrangig durch deren geringere Leistungsdichte und das Auftreten eines Nullleiterstroms bei unsymmetrischer Lastaufteilung auf die einzelnen Netzphasen bedingt.

Generell ist die Energieversorgung im Telekom-Bereich modular über zweistufige Stromversorgungseinheiten aufgebaut. Der Aufbau über verteilte Systeme hat sich hinsichtlich einer erhöhten Zuverlässigkeit von kleineren Leistungseinheiten, eine gesteigerte Ausfallssicherheit des Gesamtsystems durch Redundanz von Teilsystemen und durch die Vorteile in der Wartung, im Service und in der Erweiterung von Anlagen als Standard durchgesetzt. Die ausschlaggebenden Kriterien für die Topologiewahl sind neben dem Kostenfaktor vor allem Forderungen nach einer hohen Leistungsdichte, einem hohen

Wirkungsgrad zur Reduzierung der anfallenden Verlustleistung und eine hohe Zuverlässigkeit. In **Bild 1.3** ist das gewünschte Netzverhalten eines idealen Dreiphasen-Gleichrichters mit potenzialgetrenntem DC-Ausgang dargestellt. Die gesamte Ausgangsleistung soll entsprechend einer symmetrisch ohmschen Belastung auf die drei Netzphasen aufgeteilt werden. Es ist die Aufgabe der Systemregelung, ein unter Vernachlässigung des schaltfrequenten Stromrippels durch die Ersatzwiderstände R_e zu modellierendes Verhalten der Gleichrichtereingangsstufe zu erzielen.

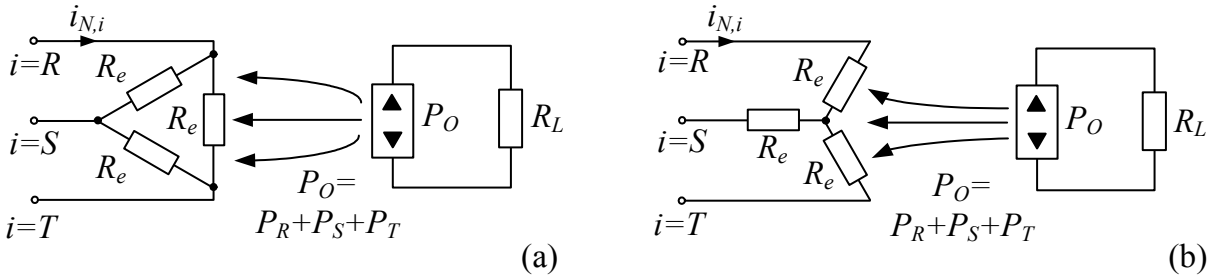


Bild 1.3: Ersatzschaltbild zur Darstellung des gewünschten Systemverhaltens eines Dreiphasen-Pulsgleichrichtersystems bei Abgabe einer Gesamtausgangsleistung P_O an eine DC-Ausgangslast R_L. Der ohmsch-symmetrische Leistungsbezug ist durch die Anordnung äquivalenter Eingangswiderstände R_e in Dreieckschaltung **(a)** oder Sternschaltung **(b)** dargestellt.

1.2 Grundidee

Neben den oben genannten direkten Dreiphasensystemen mit angeschlossener DC/DC-Ausgangsstufe stellt sich grundsätzlich die Frage, welche Performance durch einen modularen Aufbau einer dreiphasigen Stromversorgung mit gleichen Einphasenmodulen erzielt werden kann. Das Konzept der dreiphasigen Verschaltung von Einphasensystemen wurde bisher in der Fachliteratur im Vergleich zu den direkten Dreiphasensystemen nur ansatzweise behandelt. Der Vorteil der Gleichteiligkeit mit Systemen kleinerer Leistung und der direkte Bezug auf die bestehende Wissensbasis von Einphasen-Gleichrichtersystemen und DC/DC-Konvertern kleinerer Leistungen, womit der Entwicklungsaufwand und die Fertigungskosten reduziert werden können, geben den Ausschlag für eine in der vorliegenden Arbeit tiefer gehende Behandlung dieser wichtigen Themenstellung.

Grundsätzlich bestehen gemäss Bild 1.3 zwei mögliche Konzepte für den modularen symmetrischen Aufbau eines Dreiphasen-Pulsgleichrichtersystems; die Stern- und Dreieckschaltung von Einphasenmodulen, dargestellt in **Bild 1.4**.

Der Sachverhalt, dass die drei DC-Zwischenkreise abhängig vom Schaltzustand des Gleichrichtereingangsmoduls zueinander auf unterschiedlichem Potenzial liegen, stellt für das Gesamtkonzept mit nachgeschalteten, potenzialtrennenden DC/DC-Konvertern keine Einschränkung dar. Jedoch führt der modulare Aufbau auf eine AC/DC-Energieumformung in den einzelnen Modulen mit einer mit doppelter Netzfrequenz ($f_N = 2\times50\text{Hz}$) pulsierenden Zwischenkreisleistung, womit die Zwischenkreiskondensatoren auf die Einhaltung einer maximalen 100Hz-Spannungsschwankung auszulegen sind. Bei den direkten Dreiphasensystemen ist bei symmetrischen Netzverhältnissen eine pulsationsfreie Energielieferung an den Zwischenkreis möglich. Wird jedoch ein Betrieb bei Phasenausfall gefordert, muss ebenso die Zwischenkreiskapazität hinsichtlich einer maximal zulässigen 100Hz-Spannungsschwankung dimensioniert werden.

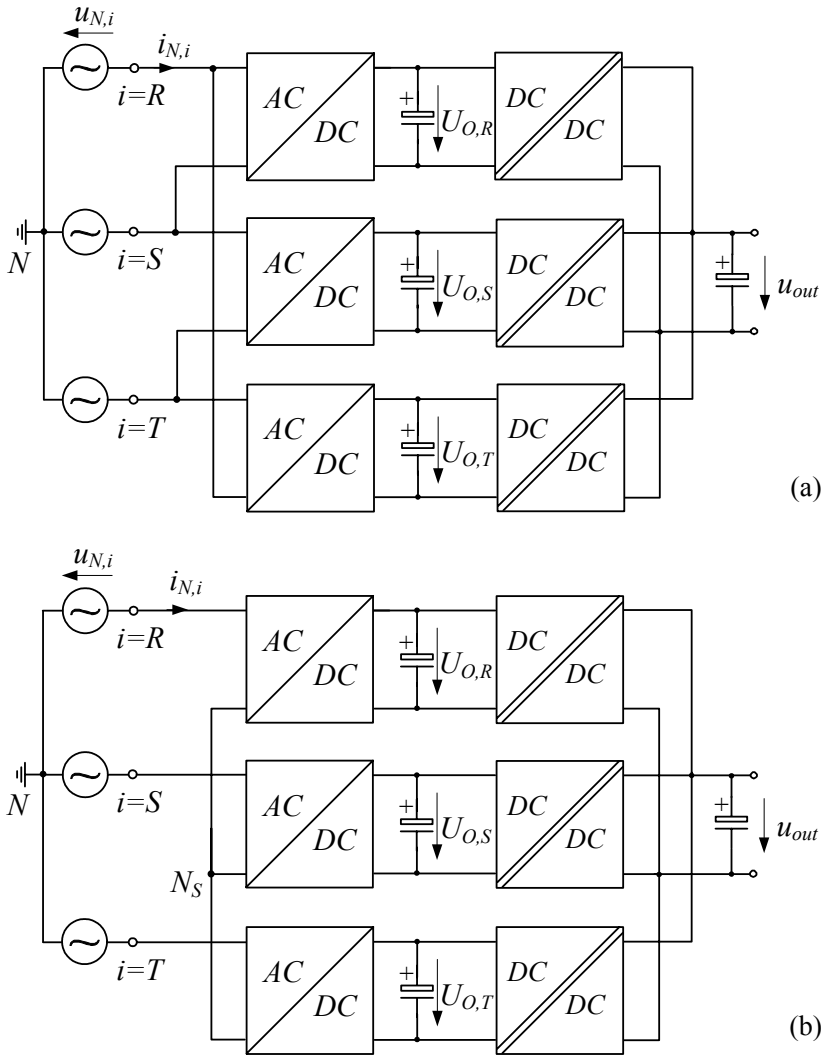


Bild 1.4: Prinzipielle Struktur modular aufgebauter Dreiphasen-Pulsgleichrichter mit nachgeschalteten DC/DC-Konvertern zur Speisung einer gemeinsamen Ausgangslast. Die Eingangsstufe dieser typisch mit einer Leistung von 1…3,5kW ausgeführten Module bildet ein AC/DC-Hochsetzsteller, welcher

bei ohmschen Netzverhalten, d.h. bei sinusförmigen Eingangsstrom eine geregelte Ausgangsgleichspannung $U_{O,i}$ von 800V in **(a)** und 400V in **(b)** realisiert. Nachgeschaltet ist ein Gleichspannungs-Gleichspannungswandler zur Potenzialtrennung und Herabsetzung des Spannungsniveaus auf z.B. die Batteriespannungsebene (u_{out} = 46…56V) von Telekomversorgungsnetzen.

Wirtschaftlich betrachtet muss die Zunahme an Bauelementen in den modularen Strukturen durch die Kostenersparnis aus der Einschränkung der Produktpalette auf wenige Teilmodule mit höheren Stückzahlen, durch einen eingeschränkten Komponentenumfang und geringere Fertigungskosten kompensiert werden. Im Weiteren sind eine gesteigerte Zuverlässigkeit und die Sicherstellung einer Fehlereingrenzung für modular aufgebaute Systeme einfacher zu realisieren. Z. B. kann ein Modul bei einem Kurzschluss im Zwischenkreis durch ein Ansprechen der Eingangssicherung selektiv abgetrennt werden, während die beiden anderen Module den Betrieb aufrecht halten. Ein Kurzschluss im Zwischenkreis eines direkten Dreiphasensystems führt unweigerlich zu einem gesamten Systemausfall.

Ein interessanter Aspekt für die in Bild 1.4 (a) dargestellte Dreieckschaltung von Einphasen-Modulen kommt zu tragen, wenn die Eingangsgleichrichtung dieser Module mittels einer sechspulsigen Thyristorbrücke ausgeführt wird, um bei einem Phasenausfall die Parallelschaltung aller drei Module an die beiden verbleibenden Phasen vornehmen zu können. Ist z. B. eine leistungsstarke, aus einzelnen dreiphasigen Einheiten aufgebaute Stromversorgungsanlage zu installieren, die sowohl bei einem Phasenausfall also auch bei einem Ausfall einer Einheit die Nennleistung P_N abgeben können muss, kommt ein wesentlicher Vorteil der Dreieckschaltung von Einphasenmodulen (kurz mit *Delta-Rectifier* bezeichnet) zu tragen. Ergänzend sei noch vorausgesetzt, dass die beiden Fehlerfälle (Phasenausfall und Systemausfall) i. a. als nicht gleichzeitig auftretend angenommen werden. Mit der Möglichkeit der Phasenumschaltung stellt ein Phasenausfall für den *Delta-Rectifier* keine Einschränkung hinsichtlich der Leistungsabgabe dar. Eine Stromversorgungsanlage, die aus n einzelnen *Delta-Rectifier* Systemen aufgebaut ist, muss hinsichtlich der Gesamtbauleistung P_N nur für den Ausfall eines Systems ausgelegt werden. Somit ist es ausreichend, die n Systeme mit einer Gesamtbauleistung von $\Sigma P_S = n/(n-1) \cdot P_N$ zu installieren. n bezeichnet die Anzahl der parallel geschalteten Systeme, P_S die Nennleistung eines Systems ($P_S = P_N/(n-1)$) und P_N die auch im Fehlerfall sicherzustellende Nennleistung der Anlage. Mit steigender Anzahl an Systemeinheiten nimmt die zu installierende Leistungsreserve stetig ab.

Im Vergleich dazu, nimmt die mögliche Ausgangsleistung für die direkten Dreiphasensysteme bei einem Phasenausfall auf 1/√3=57% der Nennleistung ab. Daher ist eine Stromversorgungsanlage basierend auf einer Parallelschaltung von mehr als zwei direkten Dreiphasensystemen für eine unabhängig von der Systemanzahl konstante Gesamtbauleistung $\Sigma P_S = \sqrt{3} P_N$ auszulegen.

In **Bild 1.5** ist der soeben besprochene Zusammenhang zwischen der zu installierenden Leistung für das einzelne System **(a)** und die Anlage **(b)** bezogen auf die im Fehlerfall geforderte Nennausgangsleistung P_N in Abhängigkeit der Systemanzahl ($n \geq 2$) dargestellt.

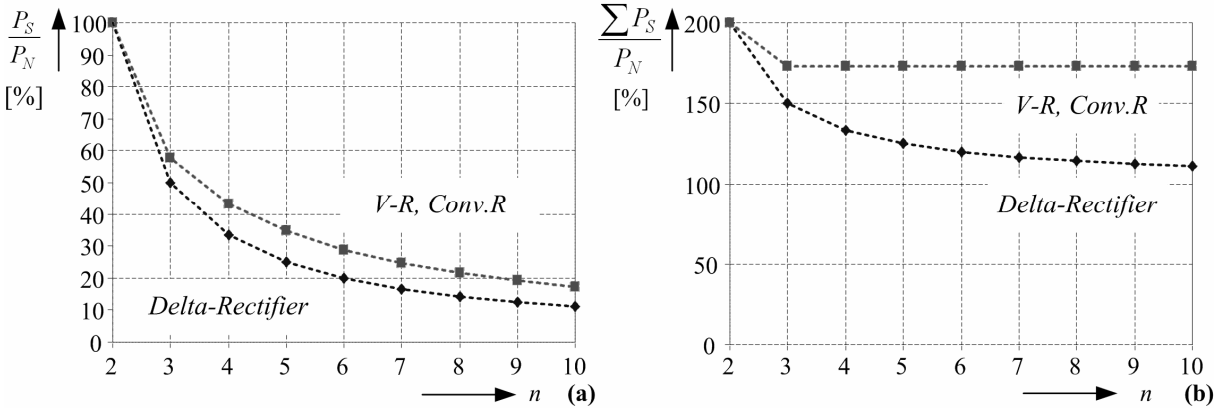


Bild 1.5: Vergleich eines Aufbaus einer modularen Stromversorgungsanlage mit n dreiphasigen Gleichrichtersystemen, die entweder als direkte dreiphasige Topologie (*Vienna-Rectifier* (V-R), *Conventional Rectifier* (Conv.R)) oder als Dreieckschaltung von Einphasen-PFC-Modulen mit der Möglichkeit der Phasenumschaltung (*Delta-Rectifier*, s. Bild 2.17 auf S. 68) ausgeführt sind. **(a)** zeigt die Bauleistung der einzelnen (Teil-)systeme bezogen auf die Nennausgangsgesamtleistung P_S/P_N für die beiden Ausführungsvarianten (direkte Dreiphasensysteme oder *Delta-Rectifier*) in Abhängigkeit der Systemanzahl n. **(b)** zeigt das Verhältnis der gesamten Anlagenleistung bezogen auf die geforderte Nennausgangsgesamtleistung. Die Nennausgangsgesamtleistung in **(a)** und **(b)** ist bei einem Phasenausfall oder einem Totalausfall eines Teilsystems zu gewährleisten. (n…Anzahl der parallel geschalteten Systeme, P_S… Systemleistung, P_N … Nennausgangsgesamtleistung).

1.3 Aufgabenstellung und Ziele

Im Rahmen der vorliegenden Arbeit werden die beiden grundsätzlich möglichen Konzepte für den Aufbau eines modularen Dreiphasen-Pulsgleichrichtersystems, d.h. die Zusammenschaltung von Einphasenmodulen basierend auf einer Hochsetzstellertopologie in Stern- und Dreieckschaltung am Dreileiternetz, untersucht. Beide Systeme sollen mit kontinuierlicher Stromführung in den Eingangsphasen arbeiten und über ein modulares, kaskadiertes Regelkonzept gesteuert werden. Die Frage nach der Auslegung der Eingangsstufen stellt sich

zum einen hinsichtlich der Ausführung der PFC-Eingangsstufe als Zweipunkt- oder als Dreipunkt-Topologie, zum anderen bezüglich der koordinierten Modulation der Ansteuersignale. Ein weiterer Schwerpunkt liegt auf der regelungstechnischen Modellierung der Systeme und der Analyse der Verkopplung der Teilsysteme. Für beide Varianten soll ein industrienahes Labormuster aufgebaut werden, wobei für die Sternschaltung der Module sowohl die PFC-Eingangsstufe als auch die DC/DC-Ausgangsstufe zu realisieren ist. Die theoretischen Ergebnisse sollen anhand von Messungen verifiziert und die hierbei gefundenen Kennwerte (Wirkungsgrad, Eingangsstromrippel, THD, Verlustleistungsaufteilung) der Systeme abschliessend einer direkt dreiphasigen Ausführung (*Vienna-Rectifier*) vergleichend gegenübergestellt werden.

1.3.1 Überblick über den Stand der Technik modularer Dreiphasensysteme

Nachfolgend werden die im Zuge der Literaturrecherche gefundenen Veröffentlichungen zu modularen Dreiphasen-Pulsgleichrichtersystemen kurz diskutiert.

Die Dreieckschaltung von Einphasen-PFC-Modulen auf Basis eines Tief-Hochsetzstellers wurde in ([Rid93], [Ful93]) erstmalig vorgestellt. Die Topologie (s. **Bild 1.6**) ermöglicht den Betrieb bei weitem Eingangsspannungsbereich ($U_{N,ij}$=150V…540V$_{\mathrm{eff}}$) und variabler Ausgangsspannung $U_{O,i}$, die für den Einsatz von Leistungsschaltern mit 500V Sperrspannungsfestigkeit und für den Anschluss von Standard-DC/DC-Konvertern typisch mit 400V gewählt wird. Liegt die gleichgerichtete Eingangsspannung unterhalb der Ausgangsspannung, ist T_{11} dauerhaft eingeschaltet und der MOSFET T_{21} der Hochsetzstellerstufe arbeitet gepulst im Hochsetzbetrieb. Überschreitet die Eingangsspannung die Ausgangsspannung, wird die Ansteuerung von T_{21} gesperrt und der T_{11} arbeitet im Tiefsetzbetrieb. Zur Reduzierung der Schaltverluste arbeitet das System mit kontinuierlicher Stromführung in der Induktivität. Die Schaltung weist gegenüber einer alternativen Zweipunkt-Hochsetzsteller-Topologie mit Leistungskomponenten für 800V Ausgangsspannung geringere Gesamtverluste auf. Als Nachteil ist zu erwähnen, dass im Tiefsetzstellerbetrieb höhere harmonische Störungen durch den diskontinuierlichen Eingangsstrom auftreten, und die Abhängigkeit der Kleinsignalverstärkung des Tiefsetzstellers von der Eingangsspannung in der Reglerauslegung zu berücksichtigen ist.

In der vorliegenden Arbeit wird der Nachteil der hohen Sperrspannungsbeanspruchung der Leistungshalbleiter einer Zweipunkt-Hochsetzstellertopologie durch den Übergang auf eine Dreipunkt-Ausgangsstruktur aufgehoben. Für die nachgeschalteten potenzialtrennenden

DC/DC-Konverter eignen sich dann Topologien mit Einbezug des Mittelpunktpotenzials (z.B. *Diode clamped 3-level ZVS DC/DC-Konverter* in [Bac01], [Gul99]) oder die Serienschaltung von zwei DC/DC-Konvertern (*Dual Interleaved Two-Transistor DC/DC Forward Converter* [Min00]*),* oder einfache Vollbrückenschaltungen *(Full-Bridge (ZVS) DC/DC-Converter* [Hel99]*,* [Pre96])*.*

Der Unterbruch in einer Phase führt für die Dreieckschaltung nicht, wie in ([Ful93], [Rid93]) angegeben, auf den Ausfall der beiden mit dieser Phase verbundenen Module. Auf diesen Sachverhalt wird im Detail in Kapitel 2.4.2.4 eingegangen. In [Kol01] wird die Dreieckschaltung mit Zweipunkt-Hochsetzsteller-Modulen neu aufgegriffen und die Topologiebezeichnung *Delta-Rectifier* in die Fachliteratur eingeführt.

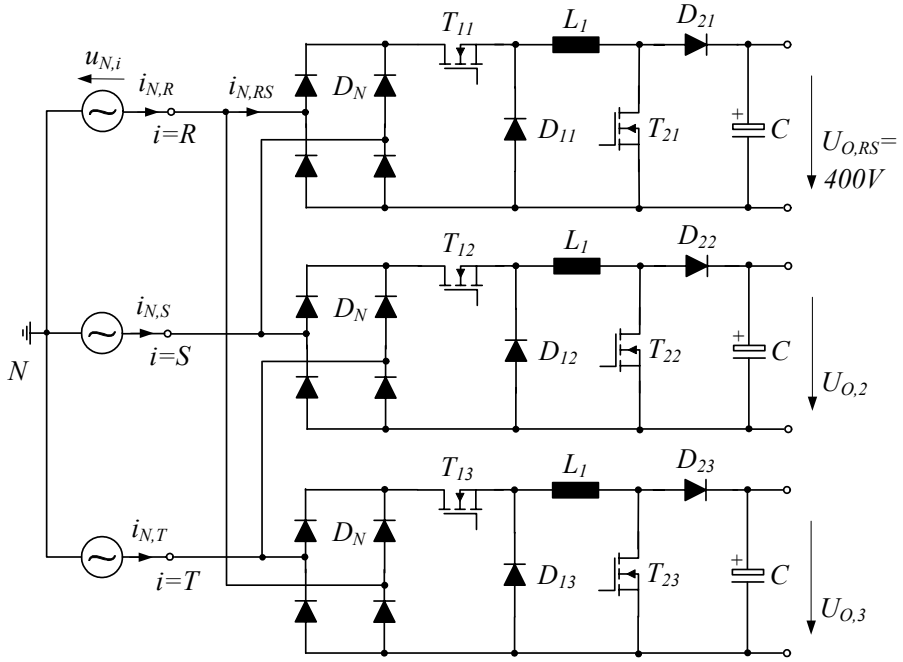


Bild 1.6: Dreieckschaltung von drei PFC-Einphasenmodulen basierend auf einer Tief-Hochsetzsteller-Topologie. Die Topologie bietet den Vorteil einer niedrigen Ausgangsspannung $U_{O,i}$ *(*$<\hat{U}_{N,ij}$*)* und ermöglicht somit den Einsatz von Leistungsschaltern (MOSFET) mit 500V Sperrspannungsfestigkeit.

Im Unterschied zur Dreieckschaltung der Module, die im dreiphasigen Betrieb keine schaltungsbedingte regelungstechnische Verkopplung der Module aufweist, ist die Sternschaltung von Einphasenmodulen aufgrund der Stromsummenbedingung ($\sum i_{N,i} = 0$) durch eine immanente Verkopplung charakterisiert. Dieses Schaltungskonzept wurde für eine Dreileiteranspeisung erstmals in [Cha93] vorgestellt, und führte zur industriellen Umsetzung in einer 48V, 200A Telekom-Stromversorgungseinheit. Die für den Betrieb insbesondere bei asymmetrischen Netzverhältnissen notwendige Stabilisierung des Systemsternpunktes N_S ist

in [Cha93] wie in **Bild 1.7** dargestellt realisiert. Der Eingriff der Systemstabilisierung erfolgt an der Zwischenkreisausgangsseite über die Balancierung der von den DC/DC-Konvertern (Resonanzkonverter) aufgenommenen Leistungen, indem deren Schaltfrequenz variiert wird. Bei Volllast arbeiten die DC/DC-Konverter mit einer Schaltfrequenz von 150kHz, im Leerlauf mit 380kHz. Im ausbalancierten Zustand des Systems stimmt der über eine Schaltperiode gemittelte Potenzialwert des Systemsternpunktes N_S mit dem des Referenzsternpunktes N' überein (die Schalter in den Phasenzuleitungen und zum Referenzsternpunkt sind geschlossen). Entsprechend ist die Regelabweichung des Stabilisierungseingriffs gleich Null. Ist die Systembalance gestört, baut sich ein Potenzialunterschied zwischen N_S und N' auf. Mit Berücksichtigung des Vorzeichens der nullgrössenfreien Phasenspannungen $u'_{N,i}$ können daraus die Korrekturstellgrössen der DC/DC-Module ermittelt werden. Um eine Stabilisierung bei Phasenausfall zu gewährleisten, müssen die der ausgefallenen Phase zugeordneten Schalter ($S_{a,i}$ und $S_{b,i}$) geöffnet werden. Diese Systemumschaltung stellt einen wesentlichen Nachteil dieser Form der Systemstabilisierung dar. Die PFC-Eingangsstufen werden getrennt voneinander geregelt. Genauere Angaben über die Implementierung der Regelung sind aus [Cha93] nicht zu entnehmen.

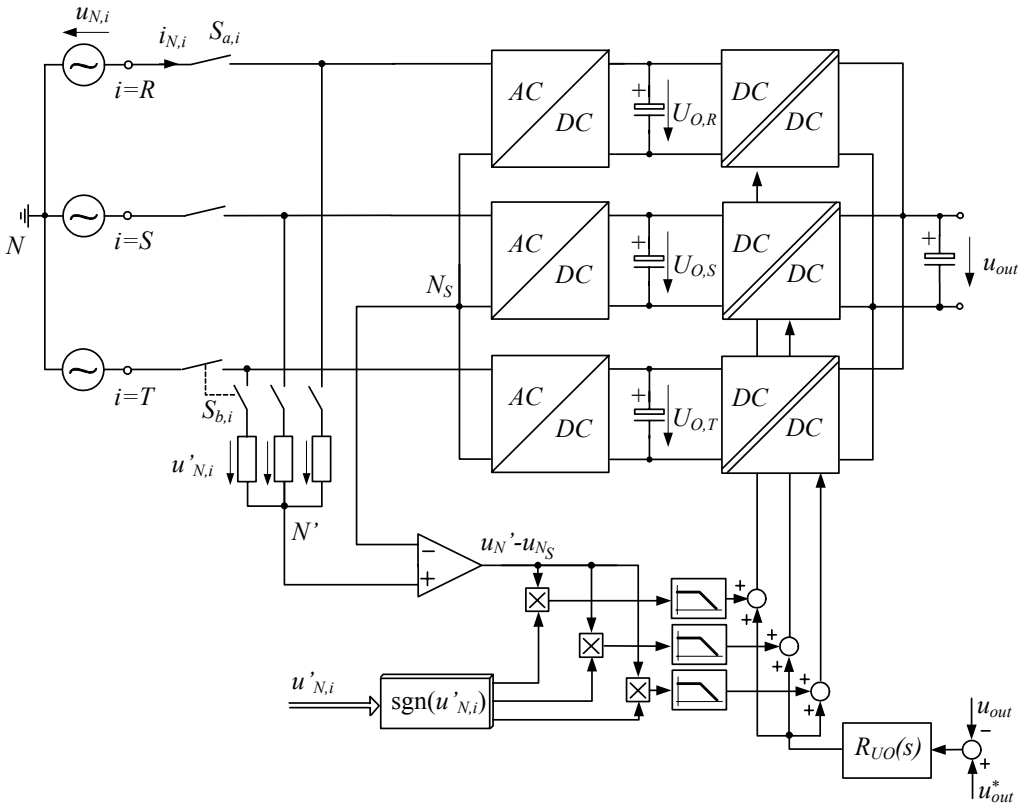


Bild 1.7: Sternschaltung von Einphasenmodulen mit einem Zweipunkt-Hochsetzsteller in der Eingangsstufe und einem resonanten DC/DC Konverter in der Ausgangsstufe. Für die Stabilisierung

des Systemsternpunktes N_S wird für jedes DC/DC-Modul eine Zusatzstellgrösse ermittelt, die sich aus der mittleren Spannungsabweichung zwischen dem Referenz-Sternpunkt *N'* und dem schaltfrequenten Systemsternpunkt N_S bei Berücksichtigung des Spannungsvorzeichens der nullgrössenfreien Phasenspannungen ($\mathrm{sgn}(u'_{N,i})$) ergibt. Zu diesen Stellgrössen wird die Ausgangsgrösse des Ausgangsspannungsreglers addiert. Die so gebildeten Steuersignale definieren die Schaltfrequenzen der resonanten DC/DC-Konverter und damit den Leistungstransfer in die einzelnen Ausgangsmodule.

Eine andere Art der Systemstabilisierung wurde in [Kar99] vorgestellt. Auch diese Realisierung wurde in einer industriellen Stromversorgung (Fa. Emerson, *ACTURA Power System* 4860) umgesetzt, ist aber aufgrund der zusätzlichen Hardwarekomponenten kritisch zu hinterfragen (in der neuesten Produktserie *CANDEO XL* kommt ein direkter Dreipunkt-Dreiphasengleichrichter [Bac01] zum Einsatz). Die Stabilisierung des Systemsternpunktes setzt sich aus zwei Vorkehrungen zusammen:

- Drei kleine Transformatoren, deren Primärwicklungen in Stern- und deren Sekundärwicklungen in Dreieckschaltung zusammengeschlossen sind, bilden einen künstlichen Systemsternpunkt N_A mit geringer Nullimpedanz und damit guter Stabilität.
- Eine Zusatzregelung vermeidet einen Grundschwingungsanteil des Nullleiterstroms i_N, womit die Balancierung der Teilsysteme sichergestellt wird.

Die Zusammenschaltung der Transformatoren zur Bildung des künstlichen Sternpunkts wird als *ANP* (*Artificial Neutral Point*) bezeichnet, die Zusatzregelung trägt den Namen *CBU* (*Current Balancing Unit*). In **Bild 1.8** ist schematisch die Topologie mit dem Eingriff zur Systemstabilisierung dargestellt.

Die Dreieckschaltung der sekundären Trafowicklungen führt dazu, dass Nullkomponenten der Phasenspannungen über die sehr kleine Trafostreuimpedanz kurzgeschlossen werden. Somit kann erreicht werden, dass der Sternpunkt N_A auf der Primärseite des Trafos (*ANP*) auch bei asymmetrischen Verhältnissen, d.h. bei Auftreten eines Stromes $i_{N,}$ nahe dem Netzsternpunkt *N* liegt. Um die erforderliche kleine Trafoimpedanz zu erzielen, muss der magnetische Kern typisch für 5% der gesamten Bauleistung des Gleichrichters ausgelegt werden, womit bezogen auf den gesamten Leistungsteil der Stromversorgung ein zusätzlicher Platzbedarf von etwa 10% benötigt wird. An diesen künstlichen und mit Nullleiterstrom belastbaren Sternpunkt N_A wird der Systemsternpunkt N_S angeschlossen.

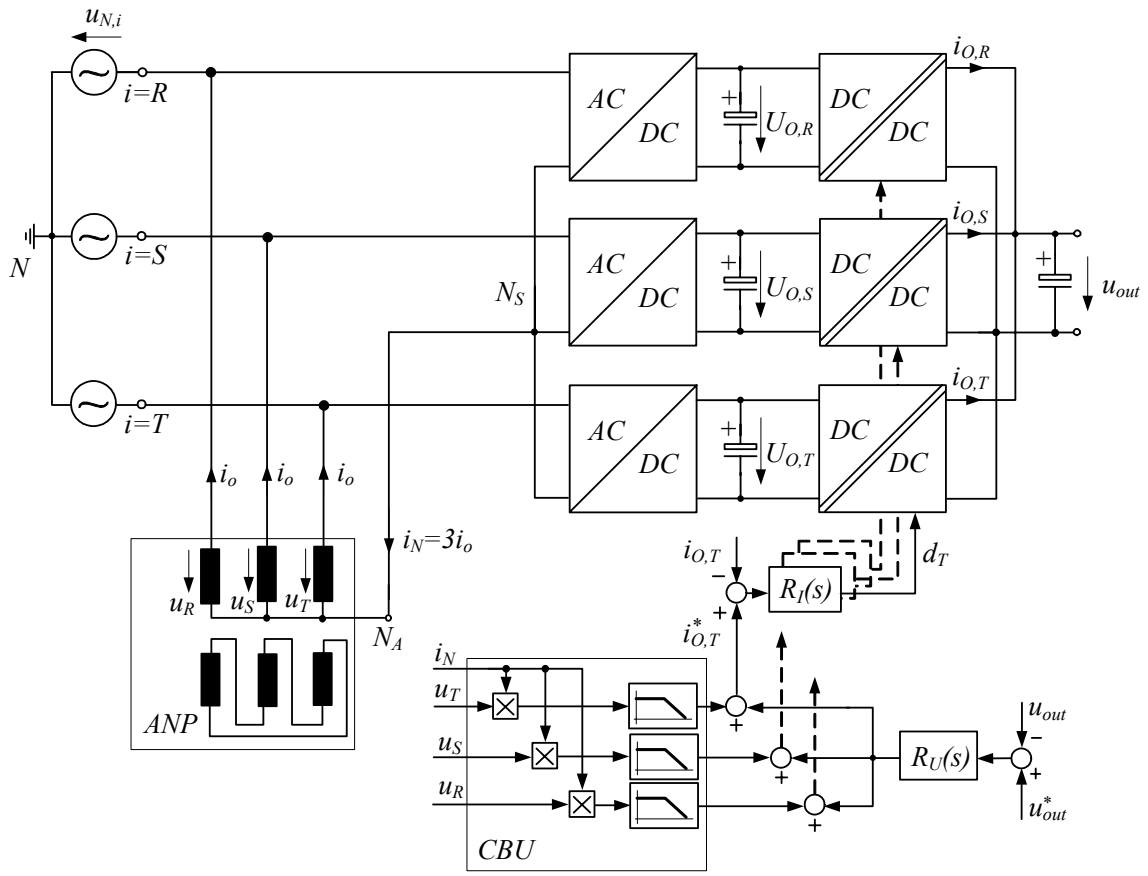


Bild 1.8: Modularer Aufbau eines dreiphasigen AC/DC-DC/DC Konverters (*Morgan Rectifier*, Actura Power Systems 4860, 3x380V…415V, 6kW, 48V) mit Stabilisierung des Systemsternpunktes N_S mittels den Zusatzeinrichtungen *ANP* und *CBU*.

Liegt ein asymmetrischer Systemzustand als Folge von z.B. ungleichen Modulausgangsleistungen, unterschiedlichen Modulwirkungsgraden, unterschiedlichen Phasenspannungen oder einer Phasenwinkelverzerrung vor, fliesst ein Nullleiterstrom i_N. Dieser ruft unerwünschte Stromwärmeverluste in den Trafowicklungen der *ANP* hervor. Durch den Eingriff der *CBU* kann die Grundschwingung des Nullleiterstromes i_N auf Null geregelt und ein ausbalancierter Systemzustand mit Leistungsaufteilung entsprechend einer Sternschaltung gleicher Ersatzwiderstände erreicht werden. Die Stellgrössen der Balanciereinheit (*CBU*) werden, wie in Bild 1.7 dargestellt, durch Multiplikation des gemessenen Nullleiterstromes i_N mit den einzelnen Phasenspannungen u_i und anschliessende Tiefpassfilterung ermittelt und zur Sollstromvorgabe des DC-Ausgangsspannungsreglers für die einzelnen Stromregler $R_I(s)$ der DC/DC-Konverter addiert. Durch die ausgangsseitige Änderung der Lastaufteilung, welche letztlich eine entsprechende Leistungsaufnahme der eingangsseitigen AC/DC Konverter bewirkt, wird der ausbalancierte Systemzustand eingestellt. Die Sollgrössen $i^*_{O,i}$

(i=*R, S, T*) für die unterlagerten Stromregler der DC/DC-Konverter weisen somit einen von der Asymmetrie des Systems abhängigen Korrekturanteil ($\overline{i_N(t)\cdot u_i(t)}$) auf. Eine Harmonische im Nullleiterstrom mit dreifacher Frequenz der Grundschwingung $i_{N,(3)}$ (und Vielfache dieser Frequenz) infolge einer starken Netzasymmetrie kann mit der *CBU* nicht unterdrückt werden. Es entstehen somit geringe Reststromverluste in den Trafowicklungen der *ANP*, die zur Auslegung der maximal zulässigen Nullimpedanz herangezogen werden (≈1W bei 13% Asymmetrie in den Phasenspannungen). Wie in [Kar99] gezeigt, ist ein stabiler Betrieb des Systems auch ohne *CBU* an einem Dreiphasennetz mit bis zu 13% Asymmetrie möglich. Es treten jedoch dann bei Nennleistung (6kW) aufgrund des nicht reduzierten Grundschwingungsanteils $i_{N,(1)}$ des Nullstromes kritische Verluste von 37W im *ANP* auf. Mit Einsatz der *CBU* können höhere Asymmetrien der Netzspannungen (<22%) bei stark reduzierten Verluste in den Trafowicklungen der *ANP* (<1,5W) erreicht werden.
Die beschriebene Massnahme zur Stabilisierung des Systems ist aus der Überlegung entstanden, eine Entkopplung der Einzelmodule zu erreichen, ohne dabei den Systemsternpunkt N_S über einen Nullleiter mit dem Netzsternpunkt N verbinden zu müssen. Die Verlegung des Nullleiters ist aus Kostengründen nicht erwünscht. Dies führte auf das Konzept der systeminternen Nachbildung eines belastbaren Netzsternpunktes mittels *ANP*, das bereits in [Enj93] für das Design eines Filters aufgegriffen wurde. Nachteilig bei der Entkopplung der Module mittels *ANP* sind das um ca. 10% höhere Systemvolumen, die erhebliche Gewichtszunahme des Systems und die Zusatzkosten für die drei Transformatoren. Durch den Anschluss des sonst schaltfrequenten Systemsternpunkts N_S an den *ANP* wird zwar eine gute Entkopplung der Module erreicht, aber die bei asymmetrischen Netzverhältnissen auftretenden nicht reduzierbaren Harmonischen im Nullleiterstrom führen auf Zusatzverluste in den Trafowicklungen. Angaben zu einem möglichen Betrieb des Systems bei einem Phasenausfall sind in [Kar99] nicht enthalten.

Ein weiteres, in [Hel99] angegebenes Regelkonzept für die Sternschaltung von drei Gleichrichtermodulen (die PFC-Eingangsstufe ist als Einschalter-Hochsetzsteller und der DC/DC-Konverter als *Full-Bridge ZVS-Phase Shift Converter* aufgebaut) stellt über einen ausgangsseitigen Eingriff eine Gleichverteilung der Gesamtleistung sicher. Die einzelnen DC/DC-Konverter sind mit einem unterlagerten Stromregelkreis ausgeführt. Ein überlagerter Ausgangsspannungsregler gibt für die drei Stromregler denselben Referenzwert vor, womit bei identen Stromregelverstärkungen eine gleichmässige Leistungsaufteilung auf die drei Module erreicht wird. Die Regelung der Gleichrichterstufe erfolgt unabhängig von der

Ausgangsstufe individuell für die einzelnen Module über eine unterlagerte Netzstromregelung, deren Referenzwert von einem Zwischenkreisspannungsregler vorgegeben wird. Die Eingangsspannungen werden bezogen auf den Systemsternpunkt N_S gemessen.

An dieser Stelle sei festgehalten, dass ein ausbalancierter Zustand des Systems bei Anschluss an ein Dreileiternetz, d.h. die Übereinstimmung des mittleren Potenzials des schaltfrequenten Systemsternpunktes N_S mit dem Netzsternpunkt N, i. a. nicht durch eine Gleichverteilung der Gesamtleistung auf die einzelnen Module, sondern für ein ohmsches symmetrisches Eingangsverhalten der Gleichrichterstufen vorliegend ist. Ohne Entkopplung der Module durch Anschluss des Nullleiters an den Systemsternpunkt N_S konnte in [Hel99] der stabile Betrieb am symmetrischen Dreileiternetz nur bis etwa 45% der Nennleistung (P_N=4500W) erreicht werden.

In den bisherigen Veröffentlichungen zur Sternschaltung von Einphasen-Gleichrichtermodulen wurde keine qualitative Systemcharakterisierung und keine regelungstechnische Modellbildung mit einer analytischen Beschreibung der wirksamen Verkopplung zwischen den einzelnen Modulen angegeben. Mit dem Wissen darüber, könnte eine rein regelungstechnische Stabilisierung des Systemsternpunktes ohne Zusatzhardware wie in Bild 1.7 oder den Anschluss des Nullleiters implementiert werden.

Abschliessend sei vermerkt, dass in [Spi97] die Sternschaltung von drei Einphasen-PFC-Modulen an einem Vierleiternetz, d.h. mit Anschluss des Systemsternpunkts N_S an den Netzsternpunkt N und mit einer gemeinsamen Zwischenkreisspannung behandelt wird. Die Idee eines Dreiphasengleichrichters mit in Stern geschalteten Einzelmodulen wurde erstmals in [Pra91] aufgriffen, wobei hier wiederum für die Entkopplung der Teilmodule der Systemsternpunkt N_S mit dem Netzsternpunkt N verbunden und ein Betrieb mit diskontinuierlicher Stromführung in den Eingangsinduktivitäten gewählt wurde.

1.3.2 Gliederung der Arbeit

Die Arbeit gliedert sich entsprechend der beiden möglichen Grundkonzepte in zwei Hauptteile. In **Kapitel 2** wird die Konvertertopologie mit der Dreieckschaltung von Hochsetzstellermodulen behandelt. Am Beginn wird eine umfassende Systemcharakterisierung anhand der Raumzeigerdarstellung für die Ausführung der Hochsetzstellermodule mit Zweipunkt- oder Dreipunkttopologie dargestellt. Dabei steht die Frage nach der Synchronisation der Module für die Bildung eines möglichst hohen Anteils

des schaltfrequenten Eingangsstromrippels als Kreisstrom innerhalb der Dreieckschaltung, womit ein minimaler Netzstromrippel resultiert, im Mittelpunkt des Interesses. Im Anschluss daran, wird die Gleichrichtereingangsstufe für einen Eingangsspannungsbereich von $U_{N,ij}$=400V+/-20%, mit einer Anschlussleistung von P_N=3×3500W und einer Ausgangsspannung $U_{O,i}$=800V dimensioniert. Die Regelung des Systems wird in einem ersten Schritt getrennt für jedes Modul hybrid, d.h. mit analoger Stromregelung und digitaler Spannungsregelung ausgeführt. In einem zweiten Schritt wird ein Redesign vorgenommen, wobei nun die Regelung aller Module volldigital mittels eines DSPs und die Generierung der PWM-Ansteuersignale in einem PLD realisiert werden. Die Modellierung der Regelstrecke, die Auslegung der Reglerparameter und die Beschreibung des Regelungskonzepts werden umfassend dargestellt. Insbesondere wird die vorliegende Verkopplung der Module im zweiphasigen Betrieb analysiert, und es werden Massnahmen für die Anpassung bzw. Erweiterung des Regelkonzeptes aufgezeigt. Die analytischen und theoretischen Ergebnisse werden durch Messungen verifiziert. Der Aufbau des Systems ist auf die Gleichrichtereingangsstufe beschränkt.

Das **Kapitel 3** behandelt die Zusammenschaltung von Modulen in Sternschaltung, wobei nachfolgend diese Topologie unter Bezug auf die Schaltungsstruktur mit *Y-Rectifier* bezeichnet wird. Am Beginn wird das System detailliert für eine Dreipunkt- und eine Zweipunkt-Topologie der Einphasen-Hochsetzstellermodule charakterisiert und ein Modulationsverfahren zur Minimierung des Eingangsstromrippels und Maximierung des Aussteuerbereiches erarbeitet. Die konkrete Ausführung der PFC-Eingangsstufe wird anschliessend mit Rücksicht auf die Forderungen nach reduziertem Schaltungsaufwand, minimalen Verlusten, minimalen Oberschwingungsgehalt der Eingangsströme in Abhängigkeit der Schaltfrequenz, Baugrösse der Eingangsinduktivitäten und der Schaltungsstruktur gewählt. Der Schwerpunkt der theoretischen Analyse liegt in der regelungstechnischen Modellierung des Systems mit Ausarbeitung einer analytischen Beschreibung der vom Arbeitspunkt abhängigen Modulverkopplung. Basierend auf diesem regelungstechnischen Modell wird die Möglichkeit einer Entkopplung der Phasenmodule hinsichtlich der Zwischenkreisspannungsregelung für symmetrische Netzverhältnisse angegeben. Weiters werden die beiden Möglichkeiten der Systemstabilisierung über die Balancierung der Zwischenkreisspannungen $U_{O,i}$ sowohl eingangsseitig über die Phasenströme als auch ausgangsseitig über die DC-Ströme ausgearbeitet und das Regelungskonzept für den unsymmetrischen Dreiphasenbetrieb detailliert beschrieben. Alle theoretischen Untersuchungen werden an einem Labormuster verifiziert, das für eine

Ausgangsleistung von P_O=3×1.8kW dimensioniert und volldigital geregelt wird. Der Aufbau umfasst neben den drei PFC-Eingangsstufen auch die nachgeschalteten DC/DC-Konverter zur Potenzialtrennung und Herabsetzung der Gleichspannung auf u_{out}=48V. Die Dimensionierung des Leistungsteils wird im Detail angegeben. Messungen am Prototyp zur Bestimmung des Wirkungsgrades, des THDs der Eingangsströme und des transienten Verhaltens bei Phasenausfall und Lastsprüngen bilden den Abschluss.

In **Kapitel 4** wird ein Vergleich der modularen Konzepte mit direkten Dreiphasensystemen (*Vienna-Rectifier* / *Conventional Rectifier*) hinsichtlich des Effektivwertes des Eingangsstromrippels, der Bauelementeanzahl bzw. des Realisierungsaufwandes und der Komplexität der Modulation und der Regelung angegeben. Eine Beurteilung der modularen Systeme für einen industriellen Einsatz schliesst die Arbeit ab.

2 Delta-Rectifier

2.1 Überblick

Bei der Dreieckschaltung von Einphasen-Modulen liegen an deren Eingangsklemmen die verketteten Spannungen $u_{N,ij}$ (ij = *RS, ST, TR*). Zur Kennzeichnung der Topologie wird die Verschaltungsart in weiterer Folge als *Delta-Rectifier* bezeichnet.

Im ersten Teil dieses Kapitels wird die Topologie des Systems analysiert. Ausgehend von der Grundstruktur beim Einsatz von 2-Punkt Gleichrichtermodulen wird ein Ersatzschaltbild in Sternschaltung erarbeitet. Basierend auf den gewonnenen Phasen-Ersatzgrössen werden die möglichen Raumzeiger der Umrichterspannungen für einen 60°-Sektor hergeleitet und grafisch dargestellt. Anschliessend wird mittels Simulation das optimale Modulationsverfahren auf Basis einer modularen Stromregelung ermittelt. Im Anschluss daran, wird die erweiterte Version des *Delta-Rectifier* mit 3-Punkt-Ausgangsstruktur untersucht. Für beide Modulausführungen werden die charakteristischen Strom- und Spannungsverläufe angegeben. Für die Bewertung des verbleibenden Stromrippels wird der globale Effektivwert des Modul- und des Netzstromrippels berechnet. Den Abschluss der Analyse bildet eine Erweiterung der Grundschaltung für die Möglichkeit einer Phasenumschaltung, womit ein zweiphasiger Betrieb mit Nennleistung möglich ist.

Im zweiten Teil werden die Strombeanspruchungen der Leistungskomponenten analytisch berechnet und die Dimensionierung eines 10kW Labormusters vorgenommen. Abschliessend wird der Gesamtwirkungsgrad der Schaltung in Abhängigkeit der Eingangsspannung berechnet und die Aufteilung der Verluste auf die einzelnen Systemkomponenten angeben.

Der dritte Teil behandelt getrennt für die beiden aufgebauten Labormuster das Regelungskonzept, die Implementierung und Auslegung der Regelung und zeigt die experimentellen Messergebnisse. Des Weiteren wird auf die Regelkonzeptanpassung für den zweiphasigen Betrieb und das dynamische Verhalten eines Gesamtsystems bestehend aus drei AC/DC-Eingangsstufen und drei DC/DC-Ausgangstufen eingegangen.

2.2 Analyse des Grundprinzips des *Delta-Rectifier*

Die erste Möglichkeit einen modularen dreiphasigen Pulsgleichrichter aufzubauen besteht darin, die drei Module in Dreieckschaltung an das Dreileiter-Drehstromnetz anzuschliessen. Die Grundtopologie die sich bei der Zusammenschalten von Einphasen-PFC-Schaltungen mit eingangsseitiger Diodenbrücke ergibt, ist in **Bild 2.1** gezeigt.

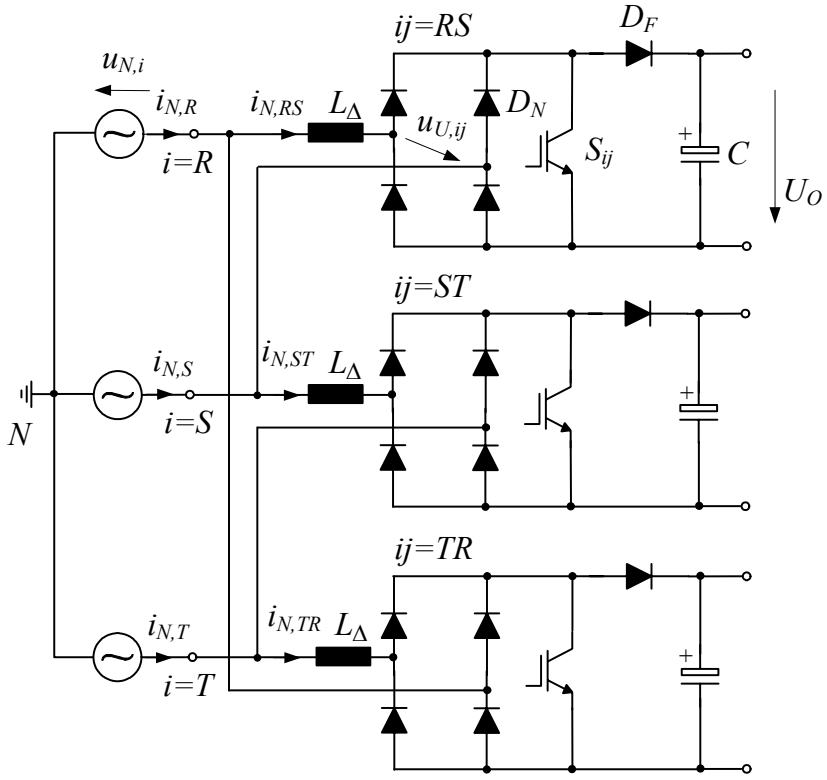


Bild 2.1: Grundtopologie für die Zusammenschaltung von Einphasen-PFC-Modulen in Dreieckschaltung. Basis für die Entwicklung der auf S. 68 in Bild 2.17 dargestellten Topologie des realisierten *Delta-Rectifier*.

Für die Charakterisierung des Systems kommt die Berechnung der möglichen diskreten Raumzeiger $\underline{u}_U$ der Umrichterspannungen $u_{U,ij}$ für einen durch zyklisches Vertauschen der Phasenanschlüsse zu wiederholenden Phasenwinkelsektor zum Einsatz. Das Raumzeigerkalkül hat seinen Ursprung im Bereich der elektrischen Drehstrommaschinen und ermöglicht dort die einfache mathematische Beschreibung transienter Vorgänge [Kov59]. Der wesentliche Vorteil der Systembeschreibung mittels Spannungsraumzeiger ist, dass im Gegensatz zur komplexen Wechselstromrechnung der zeitliche Verlauf der elektrischen Grössen nicht auf rein sinusförmige Zeitverläufe beschränkt ist und die dreiphasigen Verhältnisse in einer komplexen Grösse zusammengefasst werden. D.h. Zeitverläufe mit einer Grundschwingungsperiode T und einer Anzahl von Oberschwingungen n mit den Perioden-

dauern (T/n) stellen keine Einschränkung für die Anwendung des Raumzeigerkalküls dar. Im **Anhang A.1** wird kurz die Definition der Raumzeiger für ein Dreiphasen-System, die für die schaltfrequenten Umrichterspannungen $u_{U,ij}$ zur Anwendung kommt, dargestellt.

2.2.1 Stern-Ersatzschaltbild

Für die Ermittlung der möglichen diskreten Raumzeiger $\underline{u}_U$ der Umrichterspannungen $u_{U,ij}$ wird ein auf die Sternschaltung bezogenes Ersatzschaltbild des *Delta-Rectifier* erarbeitet. Die in Bild 2.1 gezeigte Anordnung kann hinsichtlich Eingangsspannungsbildung vereinfacht durch das in **Bild 2.2 (a)** gezeigte Ersatzschaltbild dargestellt werden. Um die Umrichterspannungen bezogen auf die Wechselspannungsseite darzustellen, muss neben dem Schaltzustand s_{ij} der drei Leistungstransistoren S_{ij} auch das Vorzeichen des Modulstromes $\mathrm{sgn}(i_{N,ij})$ berücksichtigt werden. Mit der Kodierung s_{ij}=1 für den eingeschalteten Zustand und s_{ij}=0 für den Sperrzustand eines Transistors kann der Momentanwert der Umrichterspannung mit

$$u_{U,ij} = \mathrm{sgn}(i_{N,ij})(1 - s_{ij})U_O \tag{2.1}$$

angegeben werden.

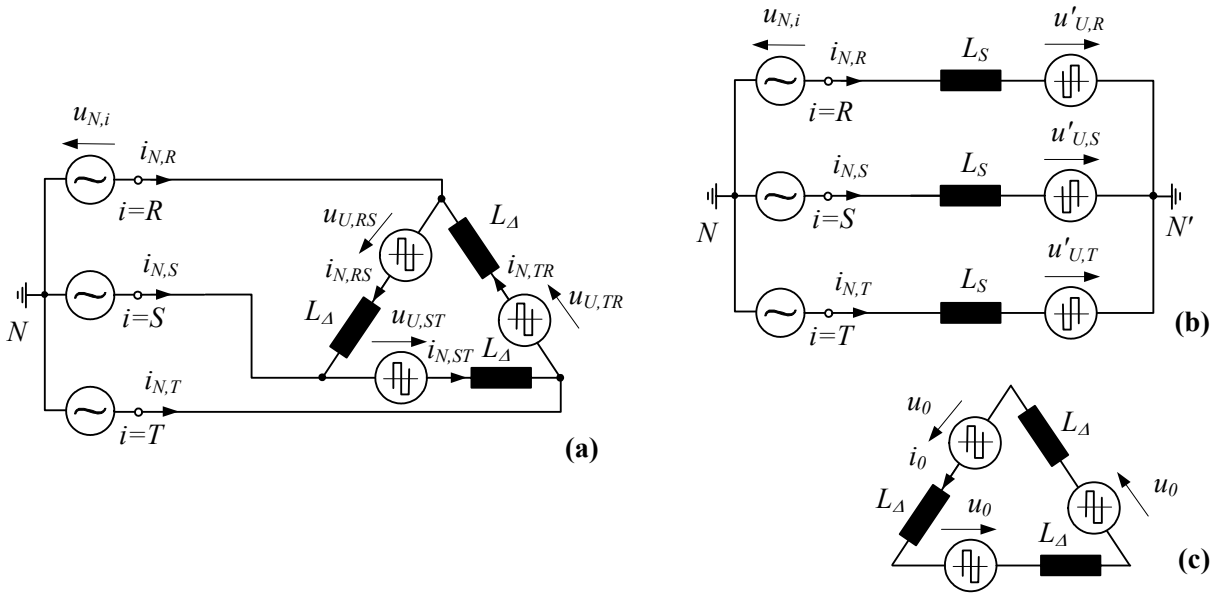


Bild 2.2: Auf die Eingangsseite bezogenes Ersatzschaltbild der Dreieckschaltung von Einphasen-PFC-Modulen **(a)**. **(b)** zeigt eine bezüglich der Bildung der Eingangsphasenströme $i_{N,i}$ äquivalente Stern-Ersatzschaltung (L_S=1/3L_Δ). **(c)** Modell für die Berechnung der Nullstromkomponente i_0. Gemeinsam bilden **(b)** und **(c)** dasselbe Systemverhalten wie **(a)** ab. Der Sternpunkt des Sternersatzschaltung *N'* liegt auf gleichem Potenzial wie *N*.

Die Einschränkung auf die beiden möglichen Spannungsniveaus 0 und U_O für die gleichgerichteten Umrichterspannungen $|u_{U,ij}|$ in Abhängigkeit der Modulausgangsspannung U_O=800V und des Schaltzustandes s_{ij} verursacht in der Dreieckschaltung der Module eine schaltfrequente Nullspannung u_0. Die Nullspannung u_0 entspricht dem Gleichtaktanteil, der für den momentan anliegenden Schaltzustand des gesamten dreiphasigen Systems in jeder Umrichterspannung $u_{U,ij}$ enthalten ist. Diese Nullspannung berechnet sich somit aus den Momentanwerten der einzelnen Umrichterspannungen $u_{U,ij}$ mit

$$u_0 = \frac{1}{3}(u_{U,RS} + u_{U,ST} + u_{U,TR}) \tag{2.2}$$

und ruft einen in der Dreieckschaltung der Module zirkulierenden schaltfrequenten Kreisstrom (Nullstrom)

$$i_0 = \frac{1}{3}(i_{N,RS} + i_{N,ST} + i_{N,TR}) \tag{2.3}$$

hervor. Aufgrund der Bedingung

$$\sum i_{N,i} = i_{N,R} + i_{N,S} + i_{N,T} = 0 \tag{2.4}$$

für die Phasenströme $i_{N,i}$ eines Dreileiternetzes ist der Nullstrom nur in den Modulströmen $i_{N,ij}$ nicht jedoch in den Phasenströmen enthalten. Wie Bild 2.2(a) zu entnehmen, ist ein Modulstrom $i_{N,ij}$ ausschliesslich durch die anliegende verkettete Netzspannung $u_{N,ij}$ und die Modulumrichterspannung $u_{U,ij}$ bestimmt, also unabhängig von den Schaltzuständen in den beiden anderen Modulen. Kombiniert man die beiden Feststellungen, folgt eine bezüglich Optimierung der schaltfrequenten Schwankung des Phasenstroms (Phasenstromrippel $\Delta i_{N,i}$) interessante Fragestellung:

> Wenn nun der Modulstroms $i_{N,ij}$ ausschliesslich durch die Stromregelung des Moduls *ij* bestimmt ist, und dieser einen Nullstrom i_0 beinhaltet, der nicht in den Phasenströmen $i_{N,i}$ enthalten sein kann, wie müssen dann die einzelnen Stromregelungen untereinander koordiniert werden, damit es zu einer Maximierung des Nullstroms i_0 kommt? Damit kann die schaltfrequente Schwankung der Phasenströme (Phasenstromrippel) $\Delta i_{N,i}$ reduziert und das EMV-Eingangsfilter kleiner ausgelegt werden. Ziel ist also mit einer optimalen Modulation der PWM-Ansteuersignale den Netzstromrippel durch Maximierung des Nullstromes zu minimieren.

Der Modulstrom $i_{N,ij}$ setzt sich aus den beiden Anteilen

$$i_{N,ij} = i'_{N,ij} + i_0 \tag{2.5}$$

zusammen. $i'_{N,ij}$ kennzeichnet den nullgrössenfreien Anteil des Modulstromes, der die Bildung der Phasenströme entsprechend

$$\begin{aligned} i_{N,R} &= i'_{N,RS} - i'_{N,TR} = i_{N,RS} - i_{N,TR} \\ i_{N,S} &= i'_{N,ST} - i'_{N,RS} = i_{N,ST} - i_{N,RS} \\ i_{N,T} &= i'_{N,TR} - i'_{N,ST} = i_{N,TR} - i_{N,ST} \end{aligned} \tag{2.6}$$

bestimmt. In Gl. (2.6) ist klar ersichtlich, dass der Nullstrom i_0 nicht zur Phasenstrombildung beiträgt. Der nullgrössenfreie Anteil des Modulstroms $i'_{N,ij}$ ist über die anliegende Moduleingangsspannung $u_{N,ij}$ und die nullgrössenfreie Umrichterspannung $u'_{U,ij}$ definiert. Analog zu den Strömen bestimmen sich die nullgrössenfreien Umrichterspannungen (eine reine Rechengrösse) durch Abzug der Nullspannung mittels

$$u'_{U,ij} = u_{U,ij} - u_0 \,. \tag{2.7}$$

Aus den nullgrössenfreien Umrichterspannungen $u'_{U,ij}$ berechnen sich die auf eine Stern-Ersatzschaltung bezogenen Umrichterphasenspannungen $u'_{U,i}$ mit

$$u'_{U,ij} = u'_{U,i} - u'_{U,j} \quad \text{und} \quad \sum u'_{U,i} = 0 \tag{2.8}$$

zu

$$\begin{aligned} u'_{U,R} &= \frac{1}{3}\left(u'_{U,RS} - u'_{U,TR}\right) = \frac{1}{3}\left(u_{U,RS} - u_{U,TR}\right) \\ u'_{U,S} &= \frac{1}{3}\left(u'_{U,ST} - u'_{U,RS}\right) = \frac{1}{3}\left(u_{U,ST} - u_{U,RS}\right) \\ u'_{U,T} &= \frac{1}{3}\left(u'_{U,TR} - u'_{U,ST}\right) = \frac{1}{3}\left(u_{U,TR} - u_{U,ST}\right) \end{aligned} \,. \tag{2.9}$$

Zur Anpassung der Eingangsimpedanzverhältnisse müssen die Induktivitäten der Dreieckschaltung (L_Δ) auf die Werte für die Sternschaltung (L_S) umgerechnet werden. Die Beziehung zwischen L_Δ und L_S ergibt sich aus der Bestimmung der Systemeingangsimpedanz bei kurzgeschlossenen Umrichterspannungen mit

$$\frac{L_\Delta \cdot 2L_\Delta}{3L_\Delta} = 2L_S \longrightarrow L_S = \frac{L_\Delta}{3} \,. \tag{2.10}$$

Damit sind die Grössen $u'_{U,i}$ und L_S für die Transformation der Dreieckschaltung in eine hinsichtlich der Phasenströme $i_{N,i}$ äquivalente Sternschaltung berechnet. **Bild 2.2 (b)** zeigt die

äquivalente Stern-Ersatzschaltung. Die Bildung des Nullstroms i_0 durch die Nullspannung u_0 innerhalb der Dreieckschaltung der Module ist in **Bild 2.2 (c)** veranschaulicht.

Mit der Umformung auf ein Stern-Ersatzschaltbild und der Berechnung der nullgrössenfreien phasenbezogenen Umrichterspannungen $u'_{U,i}$ kann nun die Systembeschreibung mittels Spannungsraumzeiger einfach durchgeführt werden.

2.2.2 Spannungsraumzeiger für den 2-Punkt *Delta-Rectifier*

Die Spannungsraumzeiger für die Umrichtereingangsspannungen $u'_{U,i}$ der Stern-Ersatzschaltung sind mit

$$\underline{u}_U = \frac{2}{3}\left(u'_{U,R} + \underline{a} \cdot u'_{U,S} + \underline{a}^2 \cdot u'_{U,T}\right) \tag{2.11}$$

definiert, wobei $\underline{a} = e^{j\frac{2\pi}{3}}$ den Drehoperator angibt. Die Momentanwerte der Umrichterphasenspannungen $u'_{U,i}$ sind abhängig vom Vorzeichen der Modulströme und dem vorliegenden Schaltzustand s_{ij} und berechnen sich mit Gln. (2.1), (2.7) und (2.9). Eine Netzspannungsperiode kann in 60°-Phasensektoren unterteilt werden, die durch zyklisches Vertauschen der Phasen ineinander übergeführt werden können. Somit ist für die Beschreibung der auftretenden diskreten Spannungsraumzeiger eine Einschränkung z.B. auf einen durch $i_{N,RS} > 0$, $i_{N,ST} < 0$ und $i_{N,TR} < 0$ spezifizierten 60°-Sektor möglich. **Bild 2.3** veranschaulicht in einem Zeigerdiagramm bzw. in den Zeitverläufen für die Netzspannungen mittels der hellgrau hinterlegten Fläche den betrachteten Sektor für die Berechnung der Spannungsraumzeiger.

Mit den 3 Leistungsschaltern der in Bild 2.1 dargestellten Grundstruktur des *Delta-Rectifier* sind $m=2^3=8$ Schaltzustände möglich. 7 Schaltzustände führen auf unterschiedliche Raumzeiger $\underline{u}_U$ der äquivalenten Umrichterspannungen $u'_{U,i}$. Ein Raumzeiger kann über zwei verschiedene Schaltzustände herbeigeführt werden, welche sich in der Nullspannung u_0 unterscheiden. Für die vollständige Charakterisierung der einzelnen Spannungsraumzeiger wird daher neben den Schaltzuständen s_{ij} auch die wirksame Nullspannung als Index in der Schaltfunktion

$$s_{ij} = \left(s_{RS} + s_{ST} + s_{TR}\right)_{u_0} \tag{2.12}$$

angeführt.

In **Tabelle 2.1** sind zu den 8 möglichen Schaltzuständen die resultierenden Modulumrichterspannungen $u_{U,ij}$, die Nullspannung u_0, die auf das Stern-Ersatzschaltbild bezogenen Umrichterphasenspannungen $u'_{U,i}$ und die mittels Gl. (2.11) berechneten Raumzeiger $\underline{u}_U$ mit Betrag und Phase angeführt. Zusätzlich enthält die Tabelle die Darstellung der Raumzeiger $\underline{u}_U$ in Real- (u_α) und Imaginärteil (u_β). Die Zahlenwerte in den Spalten sind jeweils mit dem Eintrag in der letzten Tabellenzeile zu multiplizieren.

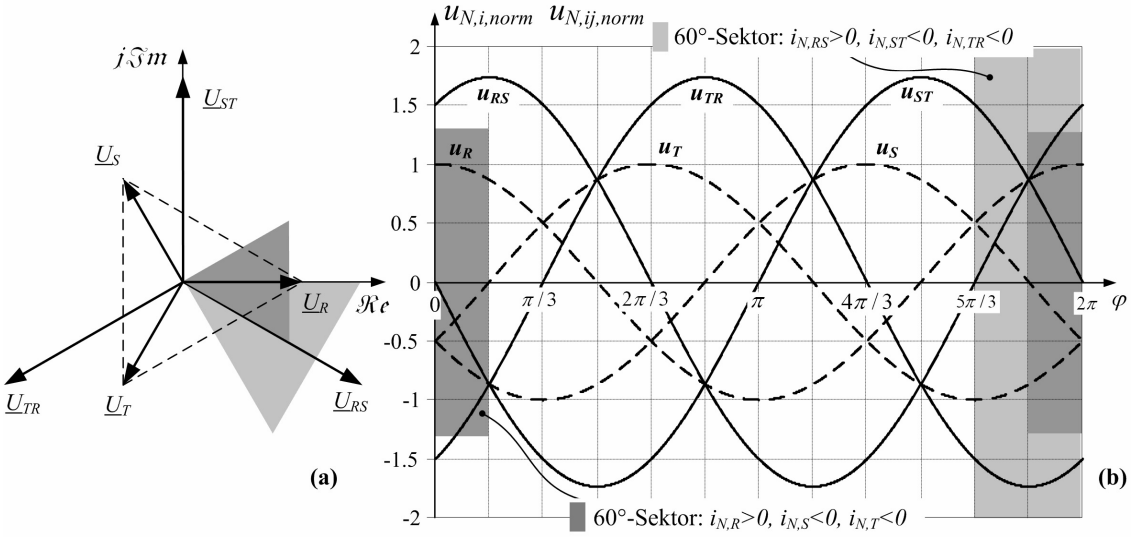


Bild 2.3: Darstellung des betrachteten Phasensektors für die Spannungsraumzeigerberechnung des *Delta-Rectifier* anhand des Zeigerdiagramms **(a)** und der zeitlichen Verläufe der Netzspannungen **(b)** durch die hellgrau unterlegte Fläche. Die dunkelgraue Fläche kennzeichnet den Sektor für die Ermittlung der zugehörigen Spannungsraumzeiger des *Vienna-Rectifier* und des *Y-Rectifier*. Die Phasenströme sind als in Phase mit den Phasenspannungen liegend angenommen.

Tabelle 2.1: Zusammenfassung der Grössen für die Raumzeigerbildung im Sektor $i_{N,RS} > 0$, $i_{N,ST} < 0$ und $i_{N,TR} < 0$.

(s_{RS} s_{ST} s_{TR})	$u_{U,RS}$	$u_{U,ST}$	$u_{U,TR}$	u_0	$u'_{U,R}$	$u'_{U,S}$	$u'_{U,T}$	u_α	u_β	$\underline{u}_U$	$\varphi_{\underline{U}}$
(0 0 0)	1	-1	-1	-1/3	2/3	-2/3	0	2/3	-0.385	0.77	-30°
(0 0 1)	1	-1	0	0	1/3	-2/3	1/3	1/3	-0.577	2/3	-60°
(0 1 0)	1	0	-1	0	2/3	-1/3	-1/3	2/3	0	2/3	0
(0 1 1)	1	0	0	1/3	1/3	-1/3	0	1/3	-0.192	0.385	-30°
(1 0 0)	0	-1	-1	-2/3	1/3	-1/3	0	1/3	-0.192	0.385	-30°
(1 0 1)	0	-1	0	-1/3	0	-1/3	1/3	0	-0.385	0.385	-90°
(1 1 0)	0	0	-1	-1/3	1/3	0	-1/30	1/3	0.192	0.385	30
(1 1 1)	0	0	0	0	0	0	0	0	0	0	0
	$\cdot U_O$	$\cdot U_O$	$\cdot U_O$	$\cdot U_O$	$\cdot U_O$	$\cdot U_O$	$\cdot U_O$	$\cdot U_O$	$\cdot U_O$	$\cdot U_O$	--

Neben Gl. (2.11) kann die Berechnung von $\underline{u}_U$ über Real- und Imaginärteil des Raumzeigers

$$\begin{bmatrix} u_{U,\alpha} \\ u_{U,\beta} \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & +\sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \cdot \begin{bmatrix} u'_{U,R} \\ u'_{U,S} \\ u'_{U,T} \end{bmatrix}, \qquad \underline{u}_U = u_{U,\alpha} + j u_{U,\beta} \tag{2.13}$$

erfolgen.

Die grafische Darstellung der möglichen Raumzeiger $\underline{u}_U$ für die phasenbezogenen Umrichterspannungen $u'_{U,i}$ zeigt **Bild 2.4**. Die Eckpunkte und der Mittelpunkt des durchgezogenen Hexagons **(a)** markieren die Lage der Raumzeiger $\underline{u}_U$ für den *Delta-Rectifier*. Die Raumzeiger sind mit der Schaltfunktion und der auftretenden Nullspannung u_0 angegeben. Für die Bestimmungen der Spannungsraumzeiger im nachfolgenden 60°-Phasensektor ($i_{N,RS} > 0$, $i_{N,ST} < 0$, $i_{N,TR} < 0$) muss das Hexagon 60° im Gegenuhrzeigersinn um den Koordinatenursprung gedreht werden. Die Spannungsraumzeiger für den *Vienna-Rectifier* / *Conventional Rectifier* im 60°-Phasensektor ($i_{N,R} > 0$, $i_{N,S} < 0$, $i_{N,T} < 0$) sind durch die Eckpunkte und dem Mittelpunkt des strichliert eingezeichneten Hexagon **(b)** gekennzeichnet.

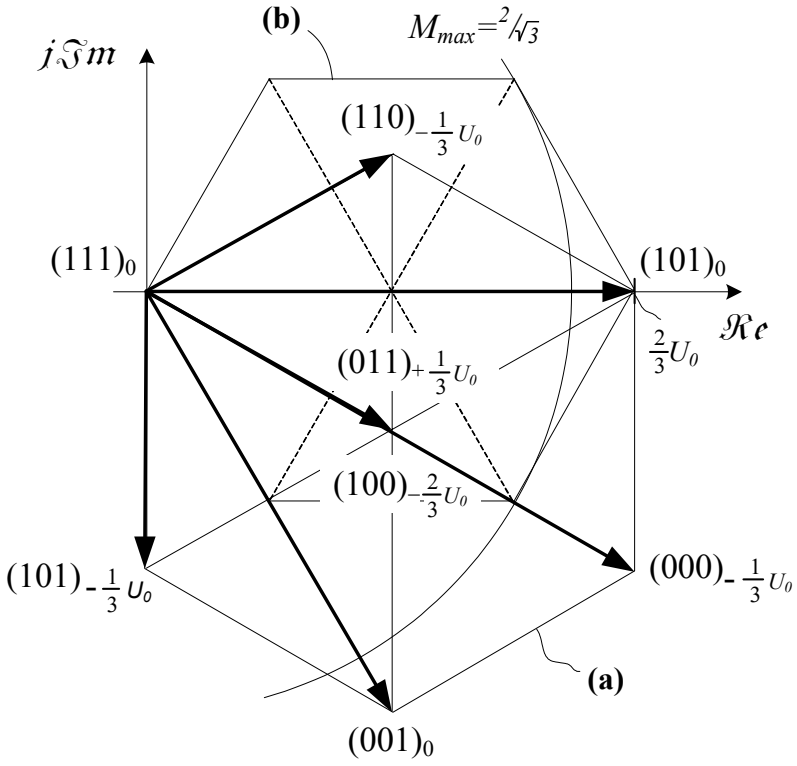


Bild 2.4: Raumzeiger $\underline{u}_U$ für die auf das Stern-Ersatzschaltbild bezogenen Umrichterspannungen $u'_{U,i}$ des *Delta-Rectifier* mit 2-Punkt Ausgangsstruktur im 60°-Phasensektor $i_{N,RS} > 0$, $i_{N,ST} < 0$ und $i_{N,TR} < 0$. Das durchgezogene Hexagon **(a)** kennzeichnet die Lage der Raumzeiger für den *Delta-Rectifier*. Die

Raumzeiger sind mit Schaltfunktion und Nullspannung u_0 angegeben. Der Raumzeiger mit Ausrichtung zum Mittelpunkt des Hexagons kann über die beiden Schaltzustände (s_{RS} s_{ST} s_{TR})=(011) und (s_{RS} s_{ST} s_{TR})=(100) gebildet werden. Die maximale Aussteuergrenze des Systems ist mit $M_{\max} = 2/\sqrt{3}$ markiert. Das strichliert eingezeichnete Hexagon **(b)** markiert die Lage der Spannungsraumzeiger für den *Vienna-Rectifier / Conventional Rectifier* im 60° Sektor $i_{N,R} > 0$, $i_{N,S} < 0$ und $i_{N,T} < 0$.

Wird der netzfrequente Spannungsabfall an den Eingangsinduktivitäten vernachlässigt, so wird innerhalb einer Pulsperiode T_P

$$\underline{u}_N = \underline{\bar{u}}_U = \frac{1}{T_P} \sum \underline{u}_{U,m} \cdot t_m \tag{2.14}$$

gefordert, wobei t_m für die Dauer der einzelnen in der Schaltsequenz auftretenden Schaltzustände steht. Der Index m am Raumzeiger $\underline{u}_U$ soll seine Abhängigkeit von der Schaltfunktion hervorheben. Die Aufgabe der Modulation ist also, den kontinuierlichen Raumzeiger $\underline{u}_N$ der aktuellen Phasenspannungen durch die diskreten Raumzeiger $\underline{u}_U$ der Umrichterspannungen innerhalb einer Pulsperiode bestmöglich anzunähern.

Für die Minimierung des schaltfrequenten Modulstromrippels dürfen dabei in jedem Fall nur die dem Netzspannungsraumzeiger unmittelbar benachbarten Umrichterspannungsraumzeiger herangezogen werden. Die Schaltsequenz mit der jeweiligen Dauer t_m des Schaltzustandes s_{ij} kann mit

- der komplexen Raumzeigerrechnung, oder
- über Verschneidung eines schaltfrequenten Trägersignals mit Modulationsfunktionen

bestimmt werden. Ziel dieser Arbeit ist, die Modularität des Leistungsteils auch auf das Regelungskonzept zu übertragen. Deshalb wird für die Generierung der Ansteuersignale nur die zweite Möglichkeit behandelt. Allgemein gültig kann für dreiphasige Systeme festgestellt werden, dass bei Verwendung eines symmetrischen Trägersignals (Dreieckverlauf) anstelle eines asymmetrischen Trägersignals (z.B. Sägezahnverlauf) Ansteuersignale generiert werden, die zu einem kleineren schaltfrequenten Stromrippel bzw. bei gleichem Stromrippel zu reduzierten Schaltverlusten führen. Deshalb werden in Abschnitt 2.2.3.2 für die Bestimmung der optimalen Modulation nur symmetrische Dreiecksignale $i_D(t)$ als Trägersignale verwendet.

Für die Unterdrückung einer niederfrequenten Komponente im Nullstrom i_0 muss über eine Pulsperiode T_P der Mittelwert der Nullspannung u_0 die Gleichung

$$\overline{u_0} = \frac{1}{T_P} \int_{Tp} u_0 dt_\mu = 0 \tag{2.15}$$

erfüllen, wobei t_μ die lokale innerhalb der Pulsperiode laufende Zeit bezeichnet. Diese Bedingung führt auf die Aussteuergrenze, bei der noch eine niederfrequente Rippelstromkomponente vermieden werden kann.

Die Aussteuergrenze M definiert bei vorgegebener Ausgangsspannung U_O eine maximal zulässige Eingangsspannungsamplitude. Üblich ist, die Aussteuergrenze in Form eines maximalen Modulationsindex anzugeben. Die Definition des Modulationsindex (oder -faktor) ist angelehnt an jene für den *Vienna-Rectifier* und mit

$$M = \frac{2\hat{U}_N}{U_O} \tag{2.16}$$

festgelegt. In Bild 2.4 ist die Aussteuergrenze durch ein Kreissegment dargestellt und entspricht einem maximalen Modulationsindex von $M_{\max} = 2/\sqrt{3}$. Eine punktuelle Überprüfung der maximalen Aussteuergrenze kann einfach durchgeführt werden, indem der maximal mögliche Spannungsraumzeiger $|\underline{u}_U|$ mit der Phasenlage -30° betrachtet wird. Die maximale Amplitude ist durch die symmetrische Einschaltdauer der Schaltzustände $(s_{RS}\ s_{ST}\ s_{TR}) = (000)_{-U_O/3}$ und $(s_{RS}\ s_{ST}\ s_{TR}) = (011)_{+U_O/3}$ festgelegt, um Gl. (2.15) noch erfüllen zu können. Somit ergibt sich die Aussteuergrenze bei einer Phasenspannungsamplitude von $U_O/\sqrt{3}$, d.h. bei einem maximalen Modulationsindex von $M_{\max} = 2/\sqrt{3}$. Dieselbe Aussteuergrenze gilt auch für den *Vienna-Rectifier,* wenn bei der Generierung der Ansteuersignale eine dritte Harmonische mit der Spannungsamplitude von 1/6 der Amplitude der Phasenspannung in den Phasenmodulationsfunktionen berücksichtigt wird [Kol96b]. Oberhalb der Aussteuergrenze M_{max} ist für beide Systeme eine sinusförmige Stromführung nicht mehr möglich.

2.2.3 Optimale Modulation für die 2-Punkt Struktur

Es wird nun die Frage nach der optimalen Modulation, d. h. der Koordination der PWM-Ansteuersignale der einzelnen Module, behandelt.

2.2.3.1 Modulare Stromregelung

In Abschnitt 2.2.1 wurde aufgezeigt, dass der Modulstrom $i_{N,ij}$ bzw. der auftretende Modulstromrippel $\Delta i_{N,ij}$ unabhängig von den anderen beiden Modulen durch die zugehörige Umrichterspannung $u_{U,ij}$ vorgegeben ist. Daher kann die Implementierung der Systemstromregelung einfach auf eine Auslegung von drei Modulstromreglern übergeführt werden. Für Einphasen-Pulsgleichrichtersysteme im vorliegenden Leistungsbereich kommen meist Stromregler auf Basis einer lokalen Mittelwertregelung (ACMC) mit Vorsteuerung des Tastverhältnisses [VdS05] zum Einsatz.

Entsprechend wird für jedes Modul eine lokale Mittelwertregelung des Modulstroms $i_{N,ij}$ implementiert. Mit diesem Ansatz wird implizit erreicht, dass bis zur Aussteuergrenze keine niederfrequente Nullspannungskomponente (Nullstromkomponente) gebildet wird, da die Stromregelung den Modulstrom $i_{N,ij}$ in Phase zur verketteten Eingangsspannung $u_{N,ij}$ führt. Die verkettete Eingangsspannung $u_{N,ij}$ wird aus den nullgrössenfreien Phasenspannungen $u'_{N,i}$, welche an einer Sternschaltung von hochohmigen Messwiderständen gemessen werden, mittels $u_{N,ij} = u'_{N,i} - u'_{N,j}$ bestimmt. Mit der Vorsteuerung des Tastverhältnisses m_{ij} wird eine mittlere Umrichterspannung $\bar{u}_{U.ij,V}$ bezogen auf die Gleichrichterausgangsseite vorgegeben, die der gleichgerichteten Eingangsspannung $|u_{N,ij}|$ entspricht.

$$\bar{u}_{U.ij,V} = |u_{N,ij}| = (1\text{-}m_{ij})U_O . \tag{2.17}$$

(Der Index V kennzeichnet den Grössenanteil aufgrund der Vorsteuerung.) Für die sinusförmige Stromführung ist nun die vorgesteuerte Umrichterspannung $\bar{u}_{U.ij,V}$ um den mittleren Spannungsabfall $\bar{u}_L$ an der Induktivität zu reduzieren.

$$\bar{u}_{U,ij} = \bar{u}_{U.ij,V} - \bar{u}_L = (1\text{-}d_{ij})U_O \tag{2.18}$$

Die Aufgabe des Stromreglers ist also, mit seiner Stellgrösse die über eine Pulsperiode T_P gemittelte Spannung an der Induktivität $\bar{u}_{L,ij} = \tilde{d}_{ij} Uo$ auszugeben. Durch die negative Rückkopplung des Modulstroms ($i^*_{N,ij}$ - $i_{N,ij}$) wird $\bar{u}_{L,ij}$ von $\bar{u}_{U,ij,V}$ subtrahiert, d.h. die Stellgrösse $\tilde{d}_{ij}$ des Stromreglers muss zum vorgesteuerten Tastverhältnis m_{ij} addiert werden

$$d_{ij} = m_{ij} + \tilde{d}_{ij} . \tag{2.19}$$

(Das Tastverhältnis d_{ij} gibt die Einschaltdauer des Leistungstransistors S_{ij} bezogen auf die Pulsperiode T_P an.)

Um das Trägersignal $i_D(t)$ unipolar [0 … $\hat{I}_D$] ausführen zu können, sind die Eingangsgrössen für den Stromregler (Eingangsspannung $u_{N,ij}$ und Modulstrom $i_{N,ij}$) auf die Gleichrichterausgangsseite bezogen, was einer Betragsbildung entspricht.

Bei Vorsteuerung des Tastverhältnisses kann der Stromregler $R_I(s)$ als reiner Proportionalregler ausgelegt werden. Aus Gl. (2.17) bestimmt sich die Vorsteuerfunktion m_{ij} zu

$$m_{ij} = 1 - \frac{\left|u_{N,ij}\right|}{U_O}. \tag{2.20}$$

Bild 2.5 zeigt das Ersatzmodell der Stromregelstrecke und das Blockschaltbild der unterlagerten Modulstromregelung basierend auf einer lokalen Mittelwertstromregelung mit Vorsteuerung des Tastverhältnisses. Die Sollwertvorgabe für den Stromregler wird aus der Stellgrösse eines überlagerten Spannungsreglers mit Multiplikation der Moduleingangsspannung $\left|u_{N.ij}\right|$ bestimmt. Die Gleichrichtung des Modulstromes $i_{N,ij}$ kann direkt durch Erfassen des Stromes auf der Gleichrichterausgangsseite bewerkstelligt werden. d_{ij} bezeichnet die Gesamtstellgrösse des Stromreglers einschliesslich der Vorsteuerfunktion m_{ij}. Die Generierung der Ansteuersignale s_{ij} (bzw. s_{ij+}, s_{ij-} für die 3-Punkt Ausgangsstruktur) erfolgt im PWM-Modulator durch Vergleichen von d_{ij} mit dem schaltfrequenten Trägersignal $i_{D,ij}$. Ist das Signal d_{ij} grösser als das symmetrische Dreiecksignal $i_{D,ij}$, so wir das Ansteuersignal s_{ij}=1, umkehrt wird bei d_{ij} kleiner als $i_{D,ij}$ das Ansteuersignal s_{ij}=0 ausgegeben.

Neben der sinusförmigen Führung der Modulströme und der Vermeidung einer niederfrequenten Nullspannungskomponente können die einzelnen Modulstromregelungen zur Minimierung des Phasenstromrippels $\Delta i_{N,i}$ zueinander optimal koordiniert werden. Dies wird erreicht, indem die von den PWM-Modulatoren ausgegebenen Ansteuersignale s_{ij} durch zeitliche Koordination der 3 Trägersignale $i_{D,ij}$ aufeinander abgestimmt werden. Der durch eine optimale Modulation erzielbare minimale Phasenstromrippel setzt die Nachbildung des aktuellen Netzspannungsraumzeigers $\underline{u}_N$ ausschliesslich durch die unmittelbar benachbart liegenden Raumzeiger der Umrichterspannungen $\underline{u}_{U,m}$ innerhalb einer Pulsperiode T_P voraus.

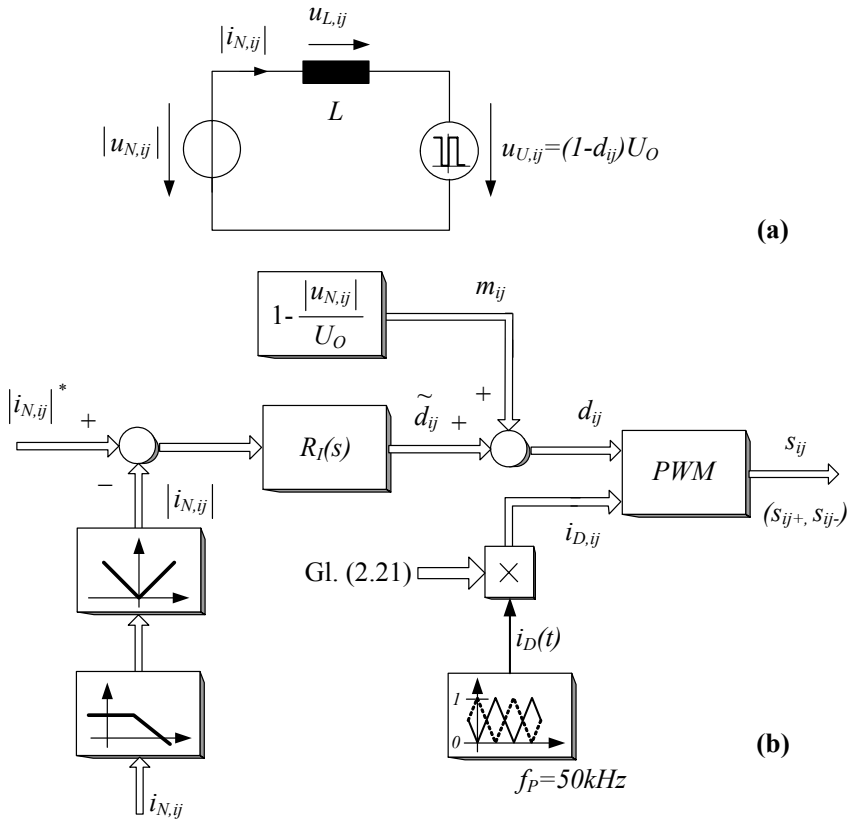


Bild 2.5: Ersatzmodell der Stromregelstrecke **(a)** und Blockschaltbild **(b)** der modularen Stromregelung auf Basis einer lokalen Mittelwertregelung mit Vorsteuerung des Tastverhältnisses. Die Vorgabe des Stromsollwertes $|i_{N,ij}|^*$ wird durch Multiplikation der Stellgrösse des überlagerten Ausgangsspannungsregelkreises mit der gleichgerichteten Moduleingangsspannung $|u_{N,ij}|$ erreicht. Die doppelte Linienführung der Signalpfade hebt die modulare Implementierung hervor.

2.2.3.2 Optimale Modulation – Koordination der Trägersignale

Durch eine optimale Modulation kann erreicht werden, dass der schaltfrequente Nullanteil i_0 im Modulstrom $i_{N,ij}$ maximiert wird, wodurch ein minimaler Netzstromrippel $\Delta i_{N,i}$ resultiert. Die Bestimmung der optimalen Modulation (d. h. die Wahl des optimalen Trägersignals $i_D(t)$) erfolgt mittels Simulationen an einem 2-Punkt *Delta-Rectifier* bei Einschränkung auf symmetrische Netzspannungs- und Lastverhältnisse.

Folgende Simulationsparameter liegen zu Grunde:

- Symmetrisches Dreiphasennetz mit $U_{N,ij}$ = 330V / 400 V / 480V ($\rightarrow u'_{N,i} = u_{N,i}$)
- Ausgangsspannung: U_O = 800V (konstant vorgegeben)
- Ausgangsleistung P_O = 3 × 3500W
- Eingangsinduktivität: L_Δ = 840µH
- Schaltfrequenz f_P =50kHz

Für die Trägersignale $i_{D,ij}$ wird eine Einschränkung auf die folgenden in Gl. (2.21) angeführt Funktionen vorgenommen, wobei $i_D(t)$ für ein symmetrisch schaltfrequentes Dreiecksignal mit Werten zwischen 0 und $\hat{I}_D$ steht.

$$
\begin{aligned}
&\textbf{(a)}\quad i_{D,ij} = i_D(t) \\
&\textbf{(b)}\quad i_{D,RS} = i_D(t), \qquad i_{D,ST} = i_D(t - T_P/3), \qquad i_{D,TR} = i_D(t + T_P/3) \\
&\textbf{(c)}\quad \begin{aligned} i_{D,ij+} &= i_{D+} = i_D(t) && \text{für } \operatorname{sgn}(u_{N,ij}) = 1 \quad \text{und} \\ i_{D,ij-} &= \hat{I}_D - i_{D+} = i_{D-} && \text{für } \operatorname{sgn}(u_{N,ij}) = -1. \end{aligned}
\end{aligned}
\tag{2.21}
$$

Mit Gl. (2.21) (a) wird ein gemeinsames Trägersignal für alle 3 PWM-Modulatoren, mit (b) werden drei um ein Drittel der Taktperiode versetzte Trägersignale und mit (c) zwei um 180° versetzte Trägersignale, die abhängig vom Vorzeichen der Moduleingangsspannung (des Moduleingangsstroms) als Trägersignal ausgewählt werden, angeben.

In **Bild 2.6 (a)-(c)** sind die Simulationsergebnisse der Analyse für die Trägersignalvarianten Gl. (2.21) (a)-(c) bei Nenneingangsspannung $U_{N,ij}$ = 400V zusammengefasst. Es ist klar ersichtlich, dass mit der Trägersignalvariante (c) die beste Modulation erreicht werden kann (siehe Unterbilder (c)). Aus den Raumzeigerbildern ist zu entnehmen, dass nur unter (c) die nächst gelegenen Raumzeiger $\underline{u}_U$ der Umrichterspannungen $u'_{U,i}$ zur Nachbildung des Netzspannungsraumzeigers ($\bar{\underline{u}}_U \approx \underline{u}_N$) ausgewählt werden. In den Bildern neben den Raumzeigerdarstellungen sind die Umrichtereingangsspannung $u'_{U,R}$ bezogen auf die Sternersatzschaltung, die Phasenspannung $u'_{N,R}$, der Nullstrom i_0 und der Rippel des Phasenstroms $\Delta i_{N,R}=i_{N,R}-i_{N,R,(1)}$ angegeben. Die Bildbeschriftung (a), (b), (c) korrespondiert mit der Kennzeichnung (a), (b), (c) der Trägersignalvarianten in Gl. (2.21). Die Folge der optimalen Auswahl der Spannungsraumzeiger $\underline{u}_U$ ist, dass in (c) die schaltfrequente Umrichterspannung $u'_{U,R}$ am besten die Phasenspannung $u'_{N,R}$ approximiert, wodurch ein minimaler Netzstromrippel $\Delta i_{N,R}$ gebildet wird. Bezogen auf die Ersatzschaltung in Bild 2.2 (c) erzeugt die optimale Modulation einen maximalen schaltfrequenten Nullstrom i_0 der mit Gl. (2.6) auf einen minimalen Netzstromrippel $\Delta i_{N,R}$ führt. Die beiden anderen Trägersignalvarianten führen nicht auf eine Spannungsbildung mit ausschliesslich benachbarten Raumzeigern $\underline{u}_{U,m}$, womit keine optimale Rippelstromreduktion erreicht wird.

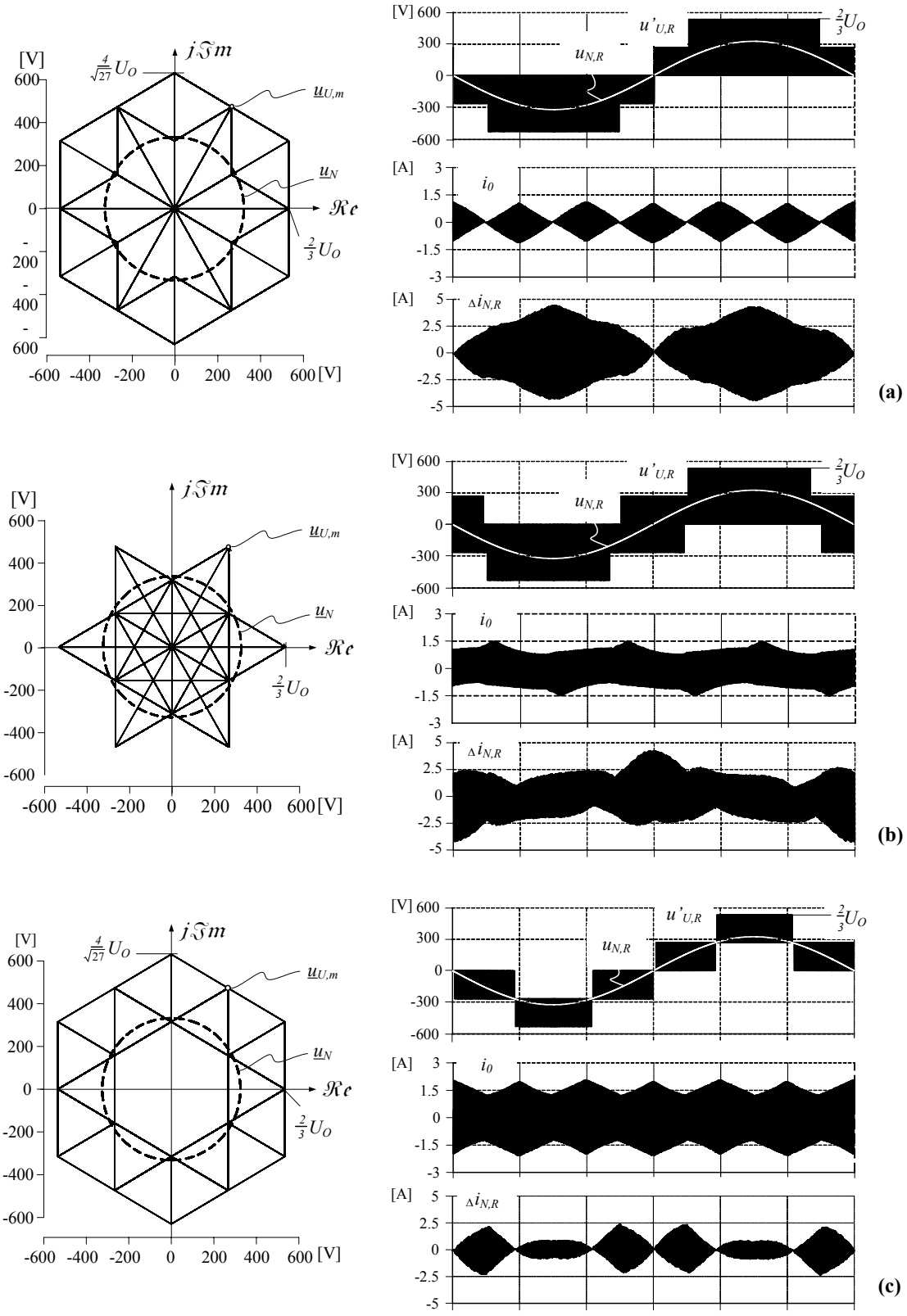


Bild 2.6: Analyse zur optimalen Modulation anhand der ausgewählten Raumzeiger $\underline{u}_{U,m}$ der Umrichterspannungen $u'_{U,i}$ für unterschiedliche Trägersignalvarianten **(a)**, **(b)** und **(c)** laut Gl. (2.21). Weiters sind die Phasenspannung $u'_{N,R}$ ($=u_{N,R}$), die auf die Stern-Ersatzschaltung bezogene Umrichtereingangsspannung $u'_{U,R}$, der Nullstrom i_0 und der Phasenstromrippel $\Delta i_{N,R}$ angegeben.

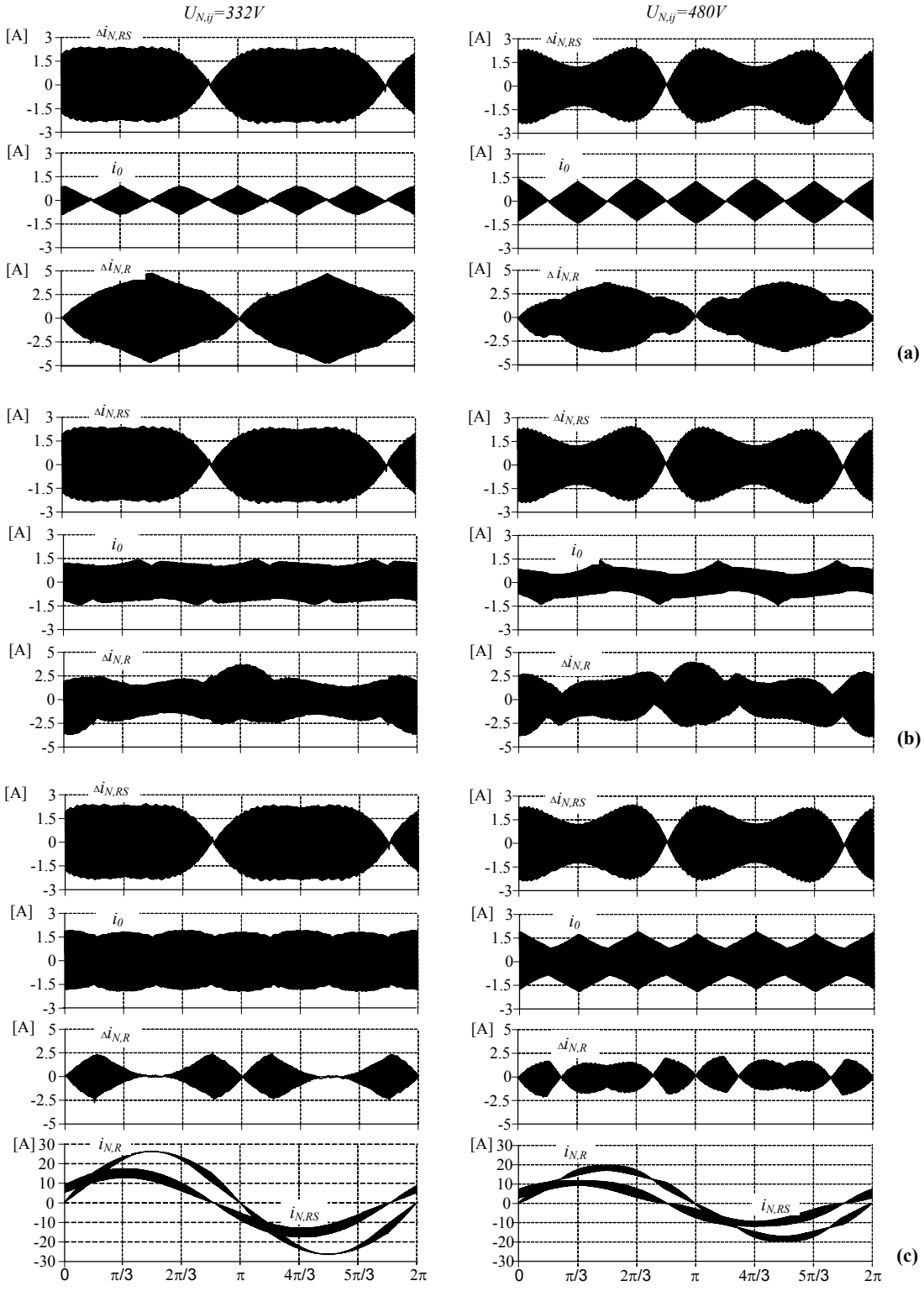


Bild 2.7**:** Simulierte Stromverläufe **(a)-(c)** für die Trägersignalvarianten lt. Gl. (2.21) bei reduzierter Eingangsspannung $U_{N,ij}$=332V (linke Spalte) und für maximale Eingangsspannung $U_{N,ij}$=480V (gemäss Spezifikation $U_{Nij,nenn}$+20%) (rechte Spalte). Für alle drei Trägersignalvarianten sind jeweils der Modulstromrippel $\Delta i_{N,RS}$ (oben), der Nullstrom i_0 (Mitte) und der Phasenstromrippel $\Delta i_{N,R}$ (unten) angegeben. Zusätzlich sind für die optimale Modulation in **(c)** der Phasenstrom $i_{N,R}$ und der Modulstrom $i_{N,RS}$ angegeben.

In **Bild** 2.7 sind die Simulationsergebnisse für den Vergleich der Trägersignalvarianten an den Grenzen des Eingangsspannungsbereichs ($U_{N,ij,nenn}$ +/- 20%) angegeben. Damit wird anschaulich bestätigt, dass der minimale Eingangsstromrippel und/oder der maximale Nullstrom wiederum durch die Modulation mit dem Trägersignal (c) erreicht werden.

Zusammengefasst kann festgestellt werden, das eine modulare Stromregelung für die Modulströme $i_{N,ij}$ auf die optimalen Spannungsraumzeiger führt, wenn die Modulation der Schaltfunktionen s_{ij} mit zwei um 180° versetzten Dreieck-Trägersignalen (i_{D+} und i_{D-}) erfolgt. Dabei wird im Modulator abhängig vom Vorzeichen der Modulspannung (sgn($u_{N,ij}$)) das Trägersignal i_{D+} oder i_{D-} für den Vergleich mit der Reglerstellgrösse ausgewählt.

2.2.4 Spannungsraumzeiger für den 3-Punkt *Delta-Rectifier*

Ein entscheidender Nachteil der 2-Punkt Ausgangsstruktur ist die hohe Sperrspannungsbeanspruchung der Leistungstransistoren und der Freilaufdioden. Dem kann Abhilfe geleistet werden, wenn die Ausgangsstufe als 3-Punkt Struktur ausgeführt wird. Die Komponenten der Ausgangsstufe müssen dann nur noch für eine Sperrspannungsfestigkeit gleich der halben Ausgangsspannung $U_0/2$ plus eine Reserve für transiente Spannungsspitzen ausgelegt sein. Daher können Halbleiterkomponenten mit 600V Sperrspannungsfestigkeit eingesetzt werden. Für diesen Spannungsbereich stehen sehr gute MOSFETs mit geringem Einschaltwiderstand und ausgezeichnetem Schaltverhalten zur Verfügung, die den IGBT in der 2-Punkt Struktur deutlich überlegen sind. **Bild 2.8** zeigt die Dreieckschaltung der Einphasen-Gleichrichtermodule mit einer 3-Punkt Ausgangsstruktur.

Dieselbe Methodik wie vorhin, kann auf die Raumzeigerberechnung der Umrichterspannungen für die 3-Punkt Struktur angewendet werden. Durch die doppelte Anzahl an Leistungstransistoren sind bei getrennter Ansteuerung $m=2^6=64$ verschiedene Schaltkombinationen möglich. Die 64 verschiedenen Schaltkombinationen werden durch die Angabe einer Schaltfunktion $s_{\Delta,3P}$ unterschieden. Die Schaltfunktion fasst die einzelnen Schaltzustände (s_{ij}=1 für den eingeschalteten Zustand des zugeordneten Leistungsschalters, s_{ij} = 0 für den ausgeschalteten Zustand) und die resultierende Nullspannung u_0 in der Form

$$s_{\Delta,3P} = \begin{pmatrix} s_{RS+} & s_{ST+} & s_{TR+} \\ s_{RS-} & s_{ST-} & s_{TR-} \end{pmatrix}_{u_0} \tag{2.22}$$

zusammen.

In jedem Modul kann die Umrichterspannung $|u_{U,ij}|$ nun abhängig vom Schaltzustand der beiden Leistungsschalter die drei Niveaus (0, $U_0/2$ und U_0) einnehmen. Es ist offensichtlich, dass eine grosse Anzahl an Schaltkombinationen auf redundante Spannungsraumzeiger $\underline{u}_{U,m}$ führt. Z.B. sind alle Spannungsraumzeiger $\underline{u}_U$ über mindestens 2 Schaltkombinationen erreichbar, die in der Schaltfunktion eine Spaltensumme $s_{ij+}+s_{ij-}=1$ aufweisen, da es für die Raumzeigerbildung unerheblich ist, welcher der beiden Schalter S_{ij} geschlossen ist. Der Freiheitsgrad in der Bildung des Umrichterspannungsniveaus $U_0/2$ kann für eine von der Spannungsraumzeigerbildung entkoppelte Balancierung der Modulausgangsteilspannungen herangezogen werden. D. h. eine in bestimmten Grenzen vorhandene asymmetrische Belastung der Teilausgangsstufen kann ohne Einfluss auf die Eingangsstromführung ausgeregelt werden.

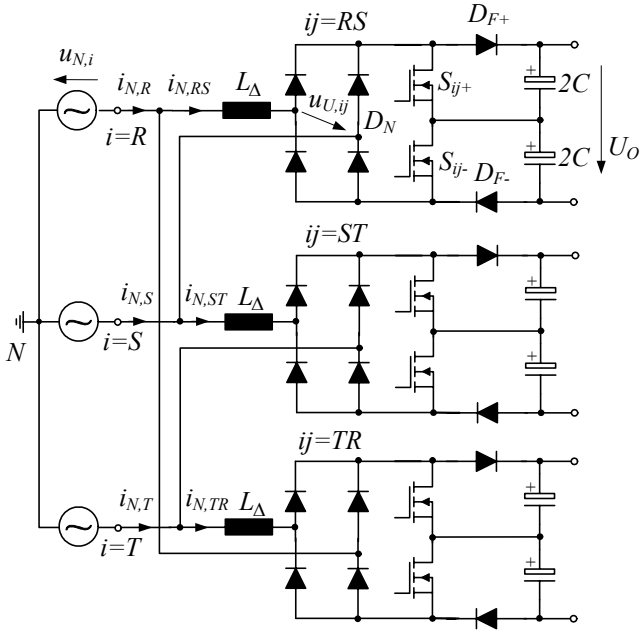


Bild 2.8: Topologie des *Delta-Rectifier* mit 3-Punkt Ausgangsstruktur. Die Induktivitäten L_Δ können auch auf der Gleichrichterausgangsseite angeordnet werden.

In **Tabelle 2.2** sind die möglichen Spannungsraumzeiger $\underline{u}_U$ mit den zugeordneten Schaltkombinationen aufgelistet. Insgesamt sind für den betrachteten 60°-Phasensektor ($i_{N,RS}>0$, $i_{N,ST}<0$ und $i_{N,TR}<0$) 19 verschiedene Spannungsraumzeiger möglich. Alle Spannungsraumzeiger die nur über eine Schaltkombination eingestellt werden können sind mit α, die mit zwei Schaltkombinationen einstellbaren mit β, die über 6 Schaltkombinationen erreichbaren mit γ und die 10-fach redundanten mit δ bezeichnet. Die Nullspannung u_0 kann abhängig von der Schaltkombination für einen bestimmten Spannungsraumzeiger unterschiedlich sein.

Die Lage der Spannungsraumzeiger $\underline{u}_{U,m} \in (\alpha_m, \beta_m, \gamma_m, \delta_m)$ ist in **Bild 2.9** durch die Eckpunkte der gleichseitigen Dreiecke des Hexagons **(a)** bestimmt. Zusätzlich zu den Positionen der Spannungsraumzeiger für die 2-Punkt Ausgangsstruktur sind die Lagen der Spannungsraumzeiger (β_m, γ_m) hinzugekommen. Die nun in engerer Nachbarschaft liegenden Raumzeiger $\underline{u}_{U,m}$ führen bei korrekter Modulation und bei Verwendung derselben Eingangsinduktivitäten L_Δ zu einer Verringerung des Modul- und Netzstromrippels. Die Aussteuergrenze ist unverändert mit $M_{\max} = 2/\sqrt{3}$ bestimmt. Zusätzlich sind in Bild 2.9 die Positionen der Spannungsraumzeiger für den *Vienna-Rectifier* / *Conventional Rectifier* mit dem strichliert eingetragenen Hexagon **(b)** markiert.

Tabelle 2.2: Die im 60°-Sektor ($i_{N,RS} > 0$, $i_{N,ST} < 0$ und $i_{N,TR} < 0$) möglichen Raumzeiger $\underline{u}_{U,m}$ der Umrichterspannungen mit der Zuordnung der jeweiligen Schaltkombinationen. Die Raumzeigerbezeichnungen $\alpha_m, \beta_m, \gamma_m, \delta_m$ korrespondieren mit denen in Bild 2.9.

α_1	α_2	α_3	α_4	α_5	α_6
$\begin{pmatrix}111\\111\end{pmatrix}_{0}$	$\begin{pmatrix}110\\110\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}010\\010\end{pmatrix}_{0}$	$\begin{pmatrix}000\\000\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}001\\001\end{pmatrix}_{0}$	$\begin{pmatrix}101\\101\end{pmatrix}_{-\frac{U_0}{3}}$
β_1	β_2	β_3	β_4	β_5	β_6
$\begin{pmatrix}110\\111\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}010\\110\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}000\\010\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}000\\001\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}001\\101\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}101\\111\end{pmatrix}_{-\frac{U_0}{6}}$
$\begin{pmatrix}111\\110\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}110\\010\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}010\\000\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}001\\000\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}101\\001\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}111\\101\end{pmatrix}_{-\frac{U_0}{6}}$
γ_1	γ_2	γ_3	γ_4	γ_5	γ_6
$\begin{pmatrix}011\\111\end{pmatrix}_{+\frac{U_0}{6}}$	$\begin{pmatrix}010\\111\end{pmatrix}_{0}$	$\begin{pmatrix}000\\110\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}000\\011\end{pmatrix}_{0}$	$\begin{pmatrix}000\\101\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}001\\111\end{pmatrix}_{0}$
$\begin{pmatrix}100\\111\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}011\\110\end{pmatrix}_{0}$	$\begin{pmatrix}010\\011\end{pmatrix}_{+\frac{U_0}{6}}$	$\begin{pmatrix}000\\100\end{pmatrix}_{0}$	$\begin{pmatrix}001\\011\end{pmatrix}_{+\frac{U_0}{6}}$	$\begin{pmatrix}011\\101\end{pmatrix}_{0}$
$\begin{pmatrix}101\\110\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}100\\110\end{pmatrix}_{-\frac{U_0}{2}}$	$\begin{pmatrix}010\\100\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}001\\010\end{pmatrix}_{0}$	$\begin{pmatrix}001\\100\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}100\\101\end{pmatrix}_{-\frac{U_0}{2}}$
$\begin{pmatrix}110\\101\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}110\\011\end{pmatrix}_{0}$	$\begin{pmatrix}011\\010\end{pmatrix}_{+\frac{U_0}{6}}$	$\begin{pmatrix}010\\001\end{pmatrix}_{0}$	$\begin{pmatrix}011\\001\end{pmatrix}_{+\frac{U_0}{6}}$	$\begin{pmatrix}101\\011\end{pmatrix}_{0}$
$\begin{pmatrix}111\\011\end{pmatrix}_{+\frac{U_0}{6}}$	$\begin{pmatrix}110\\100\end{pmatrix}_{-\frac{U_0}{2}}$	$\begin{pmatrix}100\\010\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}011\\000\end{pmatrix}_{0}$	$\begin{pmatrix}100\\001\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}101\\100\end{pmatrix}_{-\frac{U_0}{2}}$
$\begin{pmatrix}111\\100\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}111\\010\end{pmatrix}_{0}$	$\begin{pmatrix}110\\000\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}100\\000\end{pmatrix}_{-\frac{U_0}{2}}$	$\begin{pmatrix}101\\000\end{pmatrix}_{-\frac{U_0}{3}}$	$\begin{pmatrix}111\\001\end{pmatrix}_{0}$
δ					
$\begin{pmatrix}000\\111\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}001\\110\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}010\\101\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}011\\011\end{pmatrix}_{+\frac{U_0}{3}}$	$\begin{pmatrix}011\\100\end{pmatrix}_{-\frac{U_0}{6}}$	
$\begin{pmatrix}100\\011\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}100\\100\end{pmatrix}_{-\frac{2U_0}{3}}$	$\begin{pmatrix}101\\010\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}110\\001\end{pmatrix}_{-\frac{U_0}{6}}$	$\begin{pmatrix}111\\000\end{pmatrix}_{-\frac{U_0}{6}}$	

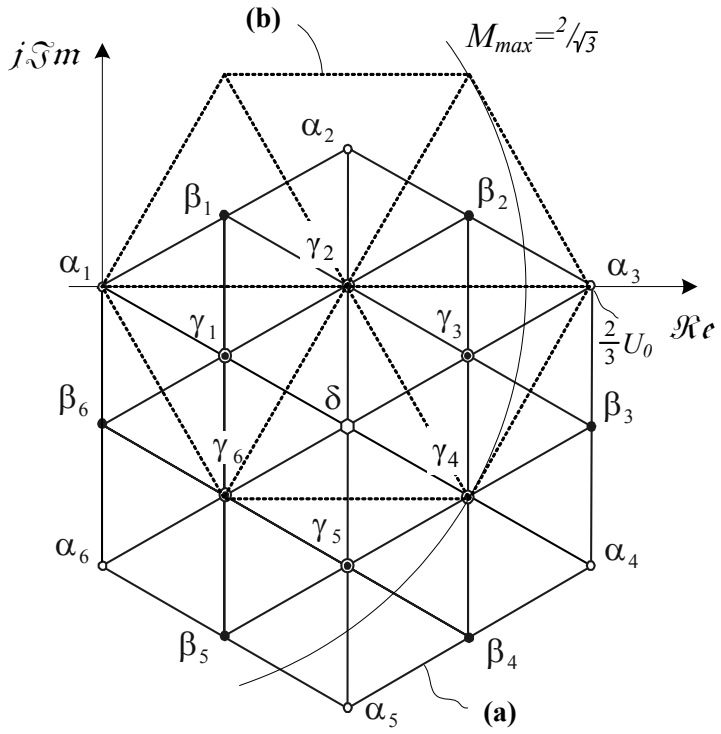


Bild 2.9: Raumzeiger $\underline{u}_U$ für die auf das Stern-Ersatzschaltbild bezogenen Umrichterspannungen $u'_{U,i}$ des *Delta-Rectifier* mit 3-Punkt Ausgangsstruktur im 60°-Phasensektor $i_{N,RS} > 0$, $i_{N,ST} < 0$ und $i_{N,TR} < 0$. Die Eckpunkte der Dreiecke im Hexagon **(a)** kennzeichnen die Lage der Raumzeiger für den *Delta-Rectifier*. Die Raumzeiger sind mit griechischen Buchstaben bezeichnet, die in Tabelle **2.2** den Schaltfunktionen zugeordnet sind. Die Aussteuergrenze des Systems ist mit $M_{\max} = 2/\sqrt{3}$ markiert. Die Eckpunkte und der Mittelpunkt des strichliert eingezeichneten Hexagons **(b)** markieren die Lage der Spannungsraumzeiger für den *Vienna-Rectifier / Conventional Rectifier* im 60°-Phasensektor $i_{N,R} > 0$, $i_{N,S} < 0$ und $i_{N,T} < 0$.

2.2.5 Optimale Modulation für die 3-Punkt Struktur

Die versetzte Ansteuerung der Leistungsschalter (S_{ij+} und S_{ij-}) wird durch die Verschneidung der Reglerstellgrösse mit den beiden um 180° (bzw. um eine Pulshalbperiode $T_P/2$) versetzten Dreieck-Trägersignalen i_{D+} und i_{D-} (s. Gl. (2.21) (c)) erreicht. Das Ansteuersignal s_{ij+} wird also mittels i_{D+} und das Ansteuersignal s_{ij-} mittels i_{D-} gebildet. Da es für die Raumzeigerbildung unerheblich ist, welcher der beiden Leistungstransistoren S_{ij+} / S_{ij-} geschlossen oder geöffnet ist, kann auf die Inversion der Trägersignale in Abhängigkeit des Vorzeichens der Moduleingangsspannung ($sgn(u_{N,ij})$) verzichtet werden. Es liegt also die Vermutung nahe, die optimale Trägersignalfunktion für den 3-Punkt *Delta-Rectifier* mit

$$i_{D,ij+} = i_{D+} \quad \text{und} \quad i_{D,ij-} = i_{D-} \quad \text{mit} \quad i_{D-} = i_{D+}(t + T_P/2) \tag{2.23}$$

bereits gefunden zu haben. Durch die versetzte Ansteuerung liegt nun an den Induktivitäten L_Δ eine schaltfrequente Spannung u_L mit doppelter Schaltfrequenz $2f_P$. Dementsprechend weisen die Modul- und Netzströme eine ausgeprägte Schaltharmonische bei $2f_p$ +/- f_N auf.

Die Spannungsraumzeigerbildung und der Verlauf der auf das Sternersatzschaltbild bezogenen Umrichterspannung $u'_{U,R}$, die Netzspannung $u'_{N,R}$ und der resultierende Netzstromrippel $\Delta i_{N,R}=i_{N,R}-i_{N,R,(1)}$ sind als Simulationsergebnis für die 3-Punkt Ausgangsstruktur mit den Trägersignalen nach Gl. (2.23) in **Bild 2.10** dargestellt. Es kommen dieselben Simulationsparameter wie für die 2-Punkt Struktur zum Einsatz.

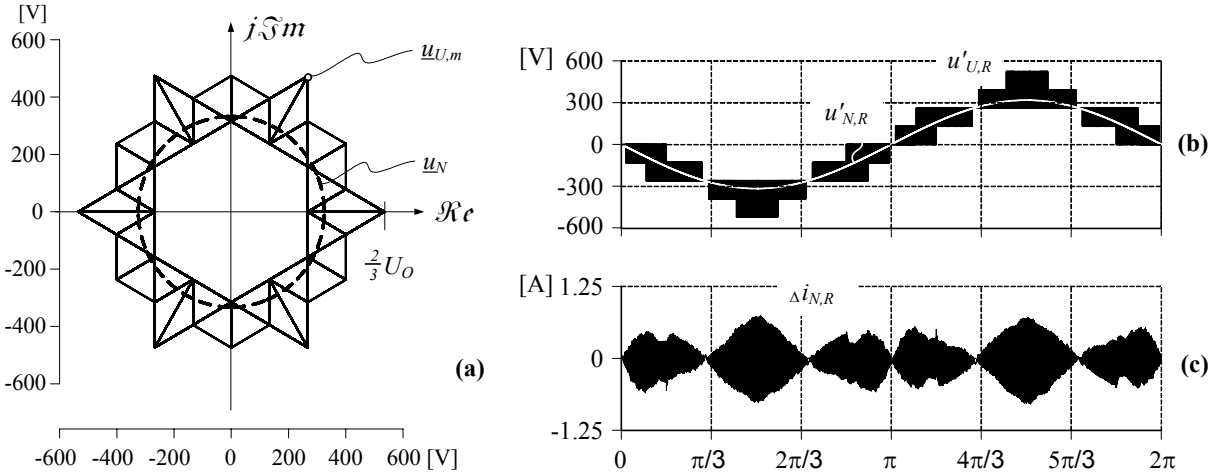


Bild 2.10: Die ausgewählten Spannungsraumzeiger $\underline{u}_U$ und die Trajektorie des Netzspannungsraumzeigers $\underline{u}_N$ für eine Modulation mit den Trägersignalen nach Gl. (2.23) ist in (**a**) gezeigt. (**b**) zeigt die Umrichterspannung $u'_{U,R}$ bezogen auf die Sternersatzschaltung gemeinsam mit der Phasenspannung $u'_{N,R}$ und **(c)** den resultierenden Netzstromrippel $\Delta i_{N,R}$ über eine Netzperiode. Die Netzspannung des symmetrischen Dreiphasennetzes beträgt $U_{N,i}$ = 230V.

Dem Raumzeigerbild ist zu entnehmen, dass für die Bildung des gemittelten Umrichterspannungsraumzeigers $\underline{\bar{u}}_U \approx \underline{u}_N$ nahezu ausschliesslich die benachbarten Raumzeiger $\underline{u}_{U,m}$ ausgewählt werden. Einzig im Bereich der reellen Achse ($\varphi = 0, 180°$) und in 60° bzw. 120° gedrehten Abschnitten zur reellen Achse werden nicht nur die unmittelbar benachbarten Raumzeiger zur Spannungsbildung herangezogen. Obwohl es hinsichtlich der Unterdrückung einer niederfrequenten Nullspannungskomponente (s. Gl.(2.22)) möglich wäre, den Raumzeiger $\underline{\bar{u}}_U$ bei $\varphi = 0$ mit $\beta_2, \gamma_2, \gamma_3$ zu bilden, kommt auch der Raumzeiger α_3 zum Einsatz (die Bezeichnung der Raumzeiger sind aus Bild 2.9 bzw. Tabelle 2.2 zu entnehmen). Diesbezüglich wäre noch eine genauere Analyse erforderlich. Insgesamt kann aber

festgehalten werden, dass die Ermittlung der Ansteuersignale über die Modulation mit dem Trägersignal nach Gl. (2.23) - abgesehen von der erwähnten kleinen Einschränkung – eine optimale Auswahl von Raumzeigern $\underline{u}_{U,m}$ sicherstellt. Entsprechend gut kann die Netzspannung $u'_{N,R}$ durch die Umrichterspannung $u'_{U,R}$ approximiert werden. Vergleicht man den resultierenden Netzstromrippel $\Delta i_{N,R}$ mit der 2-Punkt Struktur in Bild 2.6 (c), so ist näherungsweise eine Halbierung der Amplitude festzustellen. Eine genauere Quantifizierung des verbleibenden Netzstromrippels wird in Kapitel 2.2.8 mittels des globalen Effektivwertes $\Delta I_{N,R}$ des Netzstromrippels angegeben.

Zur Beurteilung der vorausgehenden Modulation wird eine Simulation mit den Trägersignalen nach Gl.(2.24) durchgeführt. Die Ergebnisse der Simulation sind in **Bild 2.11** dargestellt.

$$\begin{aligned} i_{D,RS+} &= i_{D+}(t) && \text{und} && i_{D,RS-} = i_{D-}(t)\,. \\ i_{D,ST+} &= i_{D+}(t - T_P/3) && \text{und} && i_{D,ST-} = i_{D-}(t - T_P/3) \\ i_{D,TR+} &= i_{D+}(t + T_P/3) && \text{und} && i_{D,TR-} = i_{D-}(t + T_P/3)\,. \end{aligned} \tag{2.24}$$

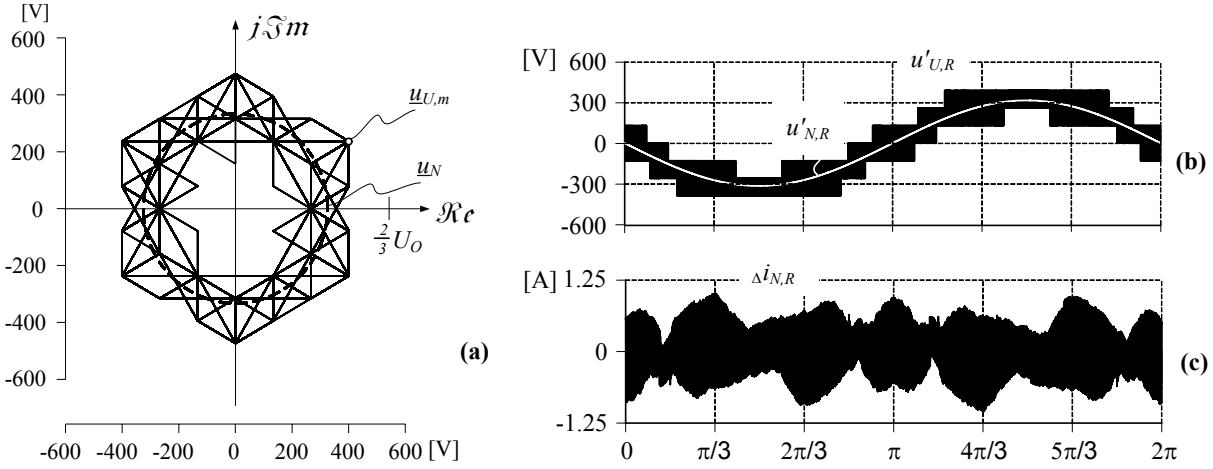


Bild 2.11: Spannungsraumzeiger $\underline{u}_{U,m}$ und $\underline{u}_N$ in **(a)**, Umrichterspannung $u'_{U,R}$ bezogen auf die Sternersatzschaltung gemeinsam mit der Phasenspannung $u'_{N,R}$ in **(b)** und resultierender Netzstromrippel $\Delta i_{N,R}$ in **(c)** bei Einsatz von Trägersignalen nach Gl. (2.24). Die Netzspannung beträgt $U_{N,i} = 230\text{V}$.

Es ist deutlich zu erkennen, dass nun auch weiter innen liegende Raumzeigern verwendet werden und nicht alle 60° Phasensektoren zueinander symmetrisch sind. Abgesehen vom Bereich des Spitzenwertes der Phasenspannung (der Raumzeiger α_3 wird nun nicht mehr ausgewählt) wird die Phasenspannung $u'_{N,R}$ nun schlechter durch $u'_{U,R}$ approximiert als in

Bild 2.10. Im Vergleich ist daher der resultierende Stromrippel (bis auf den Abschnitt in Strommaximum $\hat{I}_{N,i}$) deutlich grösser.

2.2.5.1 Einprägung einer 3. Stromoberschwingung

Wie in [Kol01] erwähnt, kann den Modulströmen $i_{N,ij}$ eine 3. Harmonische $i_{N,ij,(3)}$ überlagert werden, ohne dabei die Phasenströme zu verzerren (aufgrund der notwendigen Bedingung für die Stromsumme $\sum i_{N,i} = 0$). Der Vorteil dieser Überlagerung ist, dass damit der Spitzenwert $\hat{I}_{N,ij}$ des Modulstromes herabgesetzt werden kann. Somit ist die Auslegung der Induktivität L_Δ für eine reduzierte magnetische Aussteuerung möglich. Die maximale Reduktion des Spitzenwertes auf $\sqrt{3}/2$ bezogen auf die Grundschwingungsamplitude kann bei Überlagerung der Grundschwingung $i_{N,ij,(1)}$ mit

$$i_{N,ij,(3)} = \frac{\hat{I}_{N,ij,(1)}}{6} \sin(3\omega_N t) \tag{2.25}$$

erreicht werden und ist in **Bild 2.12** veranschaulicht.

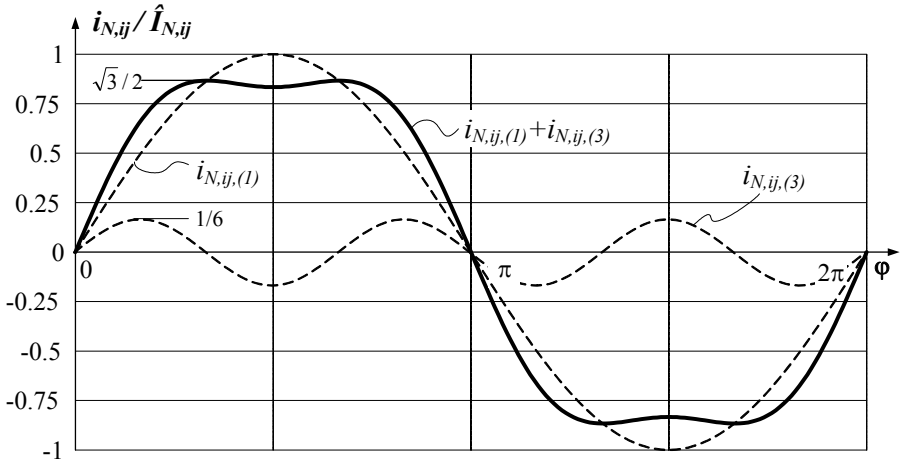


Bild 2.12: Reduktion der Amplitude des Modulstromes $i_{N,ij}$ durch Addition einer 3. Harmonischen $i_{N,ij,(3)}$ zur Grundschwingung $i_{N,ij,(1)}$. Die maximale Reduktion des Modulstromspitzenwertes kann nach Gl. (2.25) erreicht werden.

Die Einprägung dieser 3. Stromharmonischen bzw. einer Nullstromkomponente dreifacher Netzkreisfrequenz $3\omega_N$ in die Dreieckschaltung der Module kann für eine Mittelwert-stromregelung durch die Erweiterung des Sollwertes $i^*_{N,ij}$ des Modulstromes mit einer 3. Harmonischen erzielt werden [$i^*_{N,ij}=G\cdot(u_{N,ij}+u_{N,ij,(3)})$]. Wird zusätzlich das Tastverhältnis vorgesteuert, ist die Vorsteuerfunktion mit

$$m_{ij} = 1 - \frac{\left| u_{N,ij} + u_{N,ij,(3)} \right|}{U_O} \tag{2.26}$$

zu berechnen, wobei $u_{N,ij,(3)}$ dieselben Nulldurchgänge wie die verketteten Spannungen $u_{N,ij}$ aufweist. Eine praktisch einfach umsetzbare Möglichkeit der Bildung einer 3. Harmonischen ist in Bild 3.8(b) im Abschnitt für den *Y-Rectifier* auf S. 181 dargestellt.

Bild 2.13 zeigt die Gegenüberstellung der Strömverläufe mit und ohne 3. Stromharmonische bei Anwendung der Vorsteuerfunktionen laut Gl.(2.26) bzw. Gl.(2.20). Die erforderliche Nullspannungskomponente $u_{N,ij,(3)}$ nimmt keinen Einfluss auf die Raumzeigerbildung, womit der gleiche Phasenstromrippel $\Delta i_{N,i}$ resultiert.

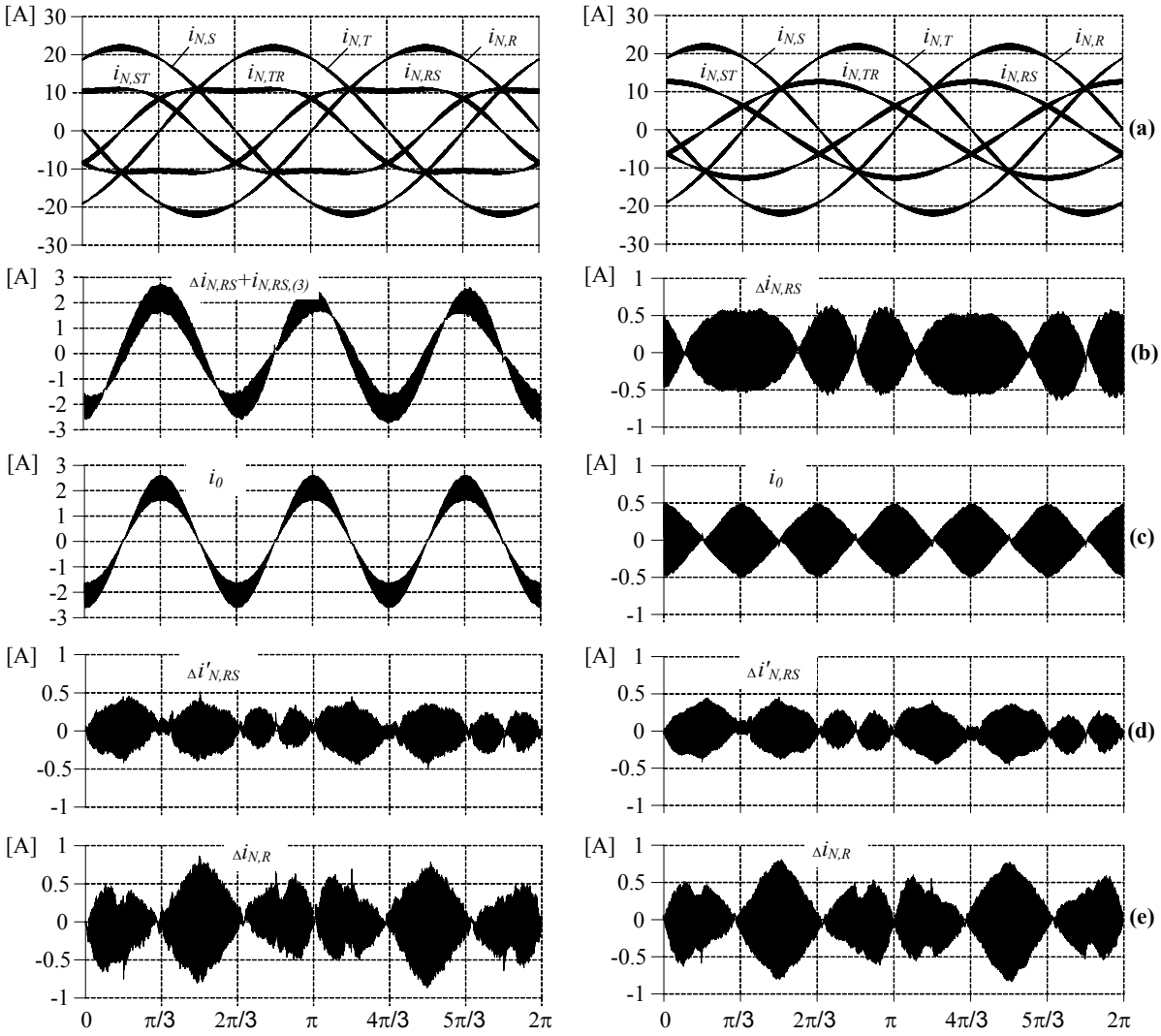


Bild 2.13: Stromverläufe des 3-Punkt *Delta-Rectifier* mit (links) und ohne (rechts) 3. Stromharmonische. Die Zeitverläufe sind in folgender Reihenfolge angegeben: **(a)** Phasen- und Modulströme, **(b)** Modulstrom nach Abzug der Stromgrundschwingung $i_{N,ij}$ -$i_{N,ij,(1)}$=$\Delta i_{N,ij}$+$i_{N,ij,(3)}$, **(c)** Nullstrom i_0, **(d)** nullgrössenfreier Anteil des Modulstromrippels $\Delta i'_{N,ij}$, **(e)** Netzstromrippel $\Delta i_{N,R}$.

2.2.6 Charakterisierung der beiden Ausführungen nach Spannungsniveaus

Die Lage und die Länge der möglichen Raumzeiger $\underline{u}_U$ bestimmen die Anzahl der möglichen Spannungsniveaus der auf eine Stern-Ersatzschaltung bezogenen Umrichterspannungen $u'_{U,i}$. Je mehr Spannungsniveaus zur Verfügung stehen, umso besser kann die Netzspannung $u_{N,i}$ approximiert werden und entsprechend reduziert sich der auftretende Stromrippel. Die maximale Anzahl der möglichen Spannungsniveaus der Umrichterspannung $u'_{U,i}$ lässt sich durch Projektion der Spannungsraumzeiger $\underline{u}_{U,m}$ auf die reelle Achse ermitteln. Mathematisch ausgedrückt, gibt die Realkomponente $u_{U,\alpha}$ des Spannungsraumzeigers $\underline{u}_U$ die Umrichterspannung $u'_{U,R}$ an. Für den 2-Punkt *Delta-Rectifier* (siehe Bild 2.4) führt die Projektion der möglichen Spannungsraumzeiger auf insgesamt 5 verschiedene Spannungsniveaus (-2U_0/3, -U_0/3, 0, U_0/3, 2U_0/3). Für den 3-Punkt *Delta-Rectifier* und den *Vienna-Rectifier* ergibt die Projektion der möglichen Raumzeiger insgesamt 9 mögliche Spannungsniveaus (-2U_0/3, -U_0/2, -U_0/3, -U_0/6, 0, U_0/6, U_0/3, U_0/2, 2U_0/3), die für die Approximation der Netzspannung $u_{N,i}$ zur Verfügung stehen (siehe Bild 2.10). Die Anzahl der möglichen Spannungsniveaus bietet eine gute Basis für den Vergleich verschiedener Topologien hinsichtlich des resultierenden Netzstromrippels. Deshalb werden häufig unterschiedliche Topologien durch die Anzahl der verfügbaren Spannungsniveaus charakterisiert.

2.2.7 Analytische Berechnung des globalen Effektivwertes des Modulstromrippels

Wird der zeitliche Verlauf der schaltfrequenten Stromschwankung (lokaler Stromrippel) mit quadratischer Gewichtung über eine Netzperiode gemittelt, so erhält man das Quadrat des globalen Effektivwertes des betrachteten Stromrippels. Der globale Effektivwert stellt eine gute Basis für den Vergleich von Pulsgleichrichtersystemen hinsichtlich der Bewertung des auftretenden Eingangsstromrippels (ohne Eingangsfilter) dar und wird häufig auch für eine vereinfachte Ermittlung der Ummagnetisierungsverluste in der Eingangsinduktivität herangezogen.

Die analytische Berechnung des zeitlichen Verlaufs des lokalen Modulstromrippels $\Delta\hat{i}_L$ und des globale Effektivwertes ΔI_L wird nachfolgend für beide Implementierungsvarianten der Ausgangsstufe (s. Bild 2.1 und Bild 2.8) angegeben. Für die 3-Punkt Topologie ist aufgrund der beiden zusätzlichen redundanten Schaltzustände (s_{ij+} leitend und s_{ij-} sperrend bzw.

umgekehrt), die bei versetzter Taktung um eine Pulshalbperiode auf ein Ausgangsspannungsniveau von $U_O/2$ führen, ein reduzierter Stromrippel bei gleicher Induktivität L_Δ und Schaltfrequenz f_P zu erwarten. Die schaltfrequente Schwankung des Stromes in der Induktivität L_Δ (nachfolgend als Stromrippel bezeichnet) wird grundsätzlich durch die anliegende schaltfrequente Spannung u_L, den Induktivitätswert L_Δ und die Schaltfrequenz f_P bestimmt. Die Spannung u_L wird durch die Differenz von Moduleingangsspannung $u_{N,ij}$ und den Momentanwert der geschalteten Ausgangsspannung (Umrichterspannung) $u_{U,ij}$ gebildet. Der Stromrippel ist daher über eine Netzhalbschwingung nicht konstant, sondern abhängig vom momentanen Spannungsübersetzungsverhältnis $\left|u_{N,ij}\right|/U_O$ bzw. vom momentanen Tastverhältnis

$$d_{ij} = \left(1 - \frac{\hat{U}_{N,ij}\sin(\varphi)}{U_O}\right). \tag{2.27}$$

Die nachfolgende analytische Berechnung wird für *ij=ST* geführt (s. Bild 2.3); der Index *i* kennzeichnet allgemein eine Phasenspannung.

Folgende Vereinfachungen werden getroffen:

- Gleichsetzung des lokalen Mittelwertes der Modulausgangsspannung *(1-d)*U_O mit der gleichgerichteten Moduleingangsspannung unter Vernachlässigung des netzfrequenten mittleren Spannungsabfalls an der Induktivität, $\bar{u}_L = 0$.
- Konstanter Wert der Induktivität L_Δ (unabhängig von der sich über eine Netzperiode ändernden Vormagnetisierung durch die Stromgrundschwingung).
- ohmsches Netzverhalten (Grundschwingung des Phasenstroms phasengleich mit der Spannung).
- konstante Schaltfrequenz f_P.

2.2.7.1 2-Punkt Ausgangsstruktur

Gemäss

$$u_L = u_N - u_U = L_\Delta \frac{di_L}{dt} \cong L_\Delta \frac{\Delta\hat{i}_{L,p-p}}{\Delta t} \tag{2.28}$$

ist für die Berechnung des Spitzen-Spitzen-Wertes des Stromrippels $\Delta\hat{i}_{L,p-p}$ die Spannung an der Induktivität in Abhängigkeit der Moduleingangsspannung und des Schaltzustandes der Ausgangsstufe zu bestimmen.

Mit Berücksichtigung der symmetrischen Lage des Stromrippels $\Delta i_{L,p-p}$ um die Stromgrundschwingung berechnet sich mit der halben Einschaltdauer $\Delta t / 2 = d \cdot T_P / 2$ der lokale Stromrippel $\Delta\hat{i}_L$ (Spitzenwert) aus Gl. (2.28) zu

$$\Delta\hat{i}_L = \frac{u_L \Delta t}{2L_\Delta} = \frac{u_L T_P d}{2L_\Delta} = \frac{\sqrt{3}\hat{U}_{N,i} T_P}{2L_\Delta} \sin(\varphi)\left(1 - \frac{\sqrt{3}\hat{U}_{N,i} \sin(\varphi)}{U_O}\right). \tag{2.29}$$

Mit der Definition des Modulationsindex $M=2\hat{U}_{N,i} / U_O$ führt dies auf

$$\Delta\hat{i}_L = \frac{U_O T_P}{8L_\Delta} \sqrt{12} M \sin(\varphi)\left(1 - \frac{\sqrt{3}}{2} M \sin(\varphi)\right). \tag{2.30}$$

Der Maximalwert des lokalen Stromrippels bestimmt sich aus Gl. (2.30) durch Lösen einer einfachen Extremwertaufgabe. Er liegt abhängig vom Modulationsindex bei dem Phasenwinkel

$$\varphi = \arcsin\left(\frac{1}{\sqrt{3}M}\right) \tag{2.31}$$

und beträgt

$$\Delta\hat{i}_{L,\max} = \frac{U_O T_P}{8L_\Delta}. \tag{2.32}$$

Es wird ausdrücklich darauf hingewiesen, dass der mit Gl. (2.30) angegebene lokale Stromrippel unabhängig von der Synchronisation der Trägersignale für die einzelnen Module gültig ist. Mit Gl. (2.30) wird also die Einhüllende des über eine Netzperiode auftretenden Modulstromrippels $\Delta i_{N,ij}$ bestimmt. Mit der Gleichung für den lokalen Spitzenwert des Stromrippels folgt unter Berücksichtigung des für dreieckige Verläufe gültigen Faktors (1/3) zwischen dem Quadrat des Spitzenwertes und dem Quadrat des Effektivwertes die Gleichung

$$\Delta i_L{}^2 = \frac{1}{3}\left(\frac{U_O T_P}{8L_\Delta}\right)^2 12 M^2 \sin^2(\varphi)\left(1 - \frac{\sqrt{3}}{2} M \sin(\varphi)\right)^2. \tag{2.33}$$

Die Integration von Gl. (2.33) über eine Netzhalbperiode

$$\Delta I_L{}^2 = \frac{1}{\pi}\int_0^{\pi} \Delta i_L{}^2 d\varphi = \frac{4}{\pi}\left(\frac{U_O T_P}{8L_\Delta}\right)^2 M^2 \int_0^{\pi}\left(\sin^2(\varphi)\left(1-\frac{\sqrt{3}}{2}M\sin(\varphi)\right)^2\right)d\varphi \tag{2.34}$$

liefert einen geschlossenen analytischen Ausdruck für das Quadrat des globalen Effektivwertes des Stromrippels

$$\Delta I_L{}^2 = \left(\frac{U_O T_P}{8L_\Delta}\right)^2 M^2\left(\frac{9M^2}{8}-\frac{16M}{\sqrt{3}\pi}+2\right). \tag{2.35}$$

Gestützt auf Gl. (2.35) können auch die im Eisenkern der Induktivität auftretenden Ummagnetisierungsverluste mit guter Näherung berechnet werden.

2.2.7.2 3-Punkt Ausgangsstruktur

Dieselbe prinzipielle Vorgehensweise wie bei der 2-Punkt Ausgangsstruktur wird nun für die Berechnung des globalen Effektivwertes des Modulstromrippels für die 3-Punkt Ausgangsstruktur angewendet. Zusätzlich muss hier allerdings eine Unterscheidung in zwei Bereiche **A** und **B** eingeführt werden. Der Gültigkeitsbereich kann angegeben werden mit

$$\text{Bereich } \mathbf{A}\text{: } u_{N,ij} < U_O/2 \text{ für } \varphi < \xi \text{ oder } \varphi > \pi\text{-}\xi \ , \tag{2.36}$$

$$\text{Bereich } \mathbf{B}\text{: } u_{N,ij} > U_O/2 \text{ für } \xi \le \varphi \le \pi\text{-}\xi \ . \tag{2.37}$$

ξ berechnet sich mit

$$\xi = \arcsin\left(\frac{U_O}{2\sqrt{3}\hat{U}_{N,i}}\right) = \arcsin\left(\frac{1}{\sqrt{3}M}\right). \tag{2.38}$$

Werden die beiden Schalter S_{ij+} und S_{ij-} um eine halbe Pulsperiode versetzt mit derselben relativen Einschaltdauer $d_+ = d\text{-} = d$ angesteuert (symmetrische Belastung der Teilausgangskreise voraus gesetzt), so gilt im Bereich **A**, dass über die gesamte Pulsperiode mindestens ein Schalter leitend ist und die relative Einschaltdauer $d \ge 0{,}5$ beträgt. Aus diesem Grund liegen an der Ausgangsseite der Induktivität nur die beiden Spannungsniveaus 0V oder $U_O/2$ an. Hingegen liegt im Bereich **B** keine Überlappung der Einschaltdauern von S_+ und S_- vor und die relative Einschaltdauer beträgt $d < 0{,}5$. Dies führt dazu, dass nur die beiden

Spannungsniveaus $U_O/2$ und U_O an der Ausgangsseite der Induktivität anliegen. Für den Bereich **A** berechnet sich die Rippelstromamplitude $\Delta\hat{i}_L$ mit

$$\Delta\hat{i}_L\big|_A = \frac{U_O T_P}{8L_\Delta}\sqrt{3}M\sin(\varphi)\left(1-\sqrt{3}M\sin(\varphi)\right), \tag{2.39}$$

und für Bereich **B** mit

$$\Delta\hat{i}_L\big|_B = \frac{U_O T_P}{8L_\Delta}2\sqrt{3}\left(M\sin(\varphi)-\frac{1}{\sqrt{3}}\right)\left(1-\frac{\sqrt{3}}{2}M\sin(\varphi)\right). \tag{2.40}$$

Die Einhüllende des auftretenden Stromrippels ($\Delta\hat{i}_L\big|_{A\cup B}$) in Abhängigkeit der verketteten Eingangsspannung $U_{N,ij} = 0{,}7\ldots1{,}3U_{N,ij,nenn}$ für $U_O = 800\text{V}$ und $L_\Delta = 840\mu\text{H}$ ist in **Bild 2.14** dargestellt. Für $M \le 0{,}577$ ($\hat{U}_{N,ij} \le 400\text{V}$) liegt ausschliesslich der Betriebsbereich **A** vor. Aus diesem Grund schneidet der Verlauf (7) innerhalb der Netzhalbperiode nicht die Abszisse, wie dies für alle anderen Verläufe bei $u_{N,ij} = U_O/2 = 400\text{V}$ der Fall ist.

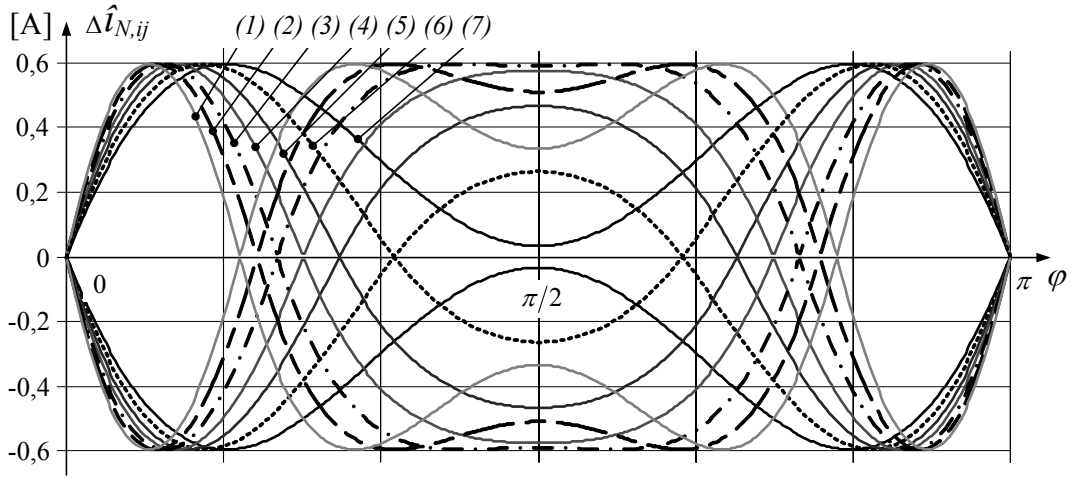


Bild 2.14: Darstellung der Einhüllenden ($\pm\Delta i_L$) des auftretenden Modulstromrippels $\Delta i_{N,ij}$ für unterschiedliche Eingangsspannungen (Modulationsfaktoren) bei U_O=800V und L_Δ=840µH. *(1)* → $U_{N,ij}$=130%$U_{N,ij,nenn}$ (M=1,06), *(2)* → $U_{N,ij}$=120%$U_{N,ij,nenn}$ (M=0,98), *(3)* → $U_{N,ij}$=110%$U_{N,ij,nenn}$ (M=0,89), *(4)* → $U_{N,ij}$=100%$U_{N,ij,nenn}$ (M=0,81), *(5)* → $U_{N,ij}$=90%$U_{N,ij,nenn}$ (M=0,73), *(6)* → $U_{N,ij}$=80%$U_{N,ij,nenn}$ (M=0,65), *(7)* → $U_{N,ij}$=70%$U_{N,ij,nenn}$ (M=0,57).

Der Maximalwert der lokalen Stromänderung bestimmt sich aus Gl. (2.39). Er liegt abhängig vom Modulationsindex beim Phasenwinkel

$$\varphi = \arcsin\left(\frac{1}{2\sqrt{3}M}\right) \tag{2.41}$$

und beträgt

$$\Delta\hat{i}_{L,\max} = \frac{1}{4}\frac{U_O T_P}{8L_\Delta}. \tag{2.42}$$

Ein Vergleich mit Gl. (2.32) zeigt, dass der maximale lokale Stromrippel auf ein Viertel reduziert ist. Der Faktor ¼ kann anschaulich dadurch erklärt werden, dass die Taktperiode aufgrund der versetzten Taktung halbiert und ein Zwischenspannungsniveau (U_O/2) in der Ausgangsspannungsbildung entstanden ist.

Basierend auf den Gleichungen (2.39) und (2.40) zur Beschreibung der lokalen Spitzenwerte des Stromrippels folgt mit Berücksichtigung des für dreieckförmige Verläufe gültigen Faktors (1/3) zwischen dem Quadrat des Spitzenwertes und dem Quadrat des Effektivwertes und anschliessender Integration über eine Viertel Netzperiode der globale Effektivwert des Stromrippels zu

$$\begin{aligned}
\Delta I_L{}^2 &= \frac{2}{3\pi}\left(\int_0^{\xi}\Delta\hat{i}_L\big|_A{}^2\,d\varphi + \int_{\xi}^{\pi/2}\Delta\hat{i}_L\big|_B{}^2\,d\varphi\right) = \\
&= \frac{6}{\pi}\left(\frac{U_O T_P}{8L_\Delta}\right)^2\left[\begin{array}{l}\displaystyle\int_0^{\xi}\frac{M^2}{3}\sin^2(\varphi)\left(1-\sqrt{3}M\sin(\varphi)\right)^2 d\varphi + \\ \displaystyle\int_{\xi}^{\pi/2}\frac{4}{3}\left(M\sin(\varphi)-\frac{1}{\sqrt{3}}\right)^2\left(1-\frac{\sqrt{3}}{2}M\sin(\varphi)\right)^2 d\varphi\end{array}\right] = \\
&= \frac{8}{\pi}\left(\frac{U_O T_P}{8L_\Delta}\right)^2\left[\begin{array}{l}\left(\frac{9\pi}{64}M^4-\frac{1}{\sqrt{3}}M^3+\frac{13\pi}{16}M^2+\frac{\pi}{6}\right)- \\ \left(\frac{3M^2}{2}+\frac{1}{3}\right)\arctan\left(\frac{1}{\sqrt{3M^2-1}}\right)-\sqrt{3M^2-1}\left(\frac{6M^2+1}{9}+\frac{1}{2}\right)\end{array}\right].
\end{aligned} \tag{2.43}$$

Gl. (2.43) ist nur gültig, wenn bei der anliegenden Modulspannung $u_{N,ij}$ tatsächlich der Bereich **B** innerhalb einer Netzhalbperiode auftritt. Liegt die Moduleingangsspannung nur im Bereich **A** ($u_{N,ij} < U_O/2$), dann berechnet sich der Ausdruck für den globalen Effektivwert des Stromrippels zu

$$\Delta I_L{}^2 = \left(\frac{U_O T_P}{8L_\Delta}\right)^2\left(\frac{1}{2}M^2-\frac{8}{\sqrt{3}\pi}M^3+\frac{9}{8}M^4\right). \tag{2.44}$$

Mit Gln. (2.43) und (2.44) können die im Eisenkern der Induktivität L_Δ auftretenden Ummagnetisierungsverluste in guter Näherung mit der Zuordnung der gesamten spektralen Verteilung von ΔI_L zur doppelten Schaltfrequenz ($f_{fe} = 2f_P$) bestimmt werden.

In Bild 2.15 ist der normierte globale Effektivwert des Modulstromrippels in Abhängigkeit des Modulationsfaktors M bei einer konstanten Ausgangsspannung U_O=800V für die 2-Punkt und 3-Punkt Topologie dargestellt. Zusätzlich ist der globale Effektivwert des Netzstromrippels des *Vienna-Rectifier* eingetragen, auf dem in Abschnitt 2.3.3.8.3 bei Vergleich der Baugrösse der Induktivitäten eingegangen wird. Die Normierungsbasis wird festgelegt mit

$$\Delta\hat{i}_{L,norm} = \frac{U_O T_P}{8 \cdot (L_\Delta / 3)} = \frac{U_O T_P}{8 L_S}. \tag{2.45}$$

(L_S bezeichnet die Ersatzinduktivität im Stern-Ersatzschaltbild, s. Bild 2.2). Der resultierende globale Stromeffektivwert $\Delta I_{N,i}$ für den Phasenstromrippel wird im folgenden Abschnitt behandelt.

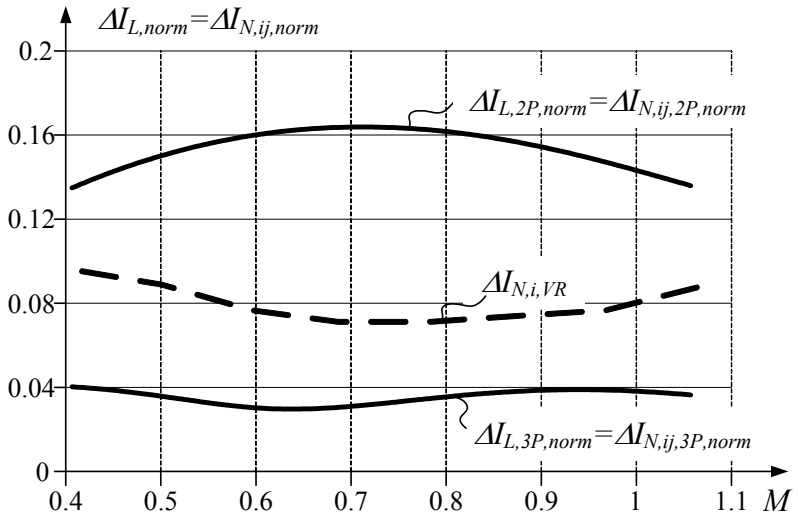


Bild 2.15 Normierter globaler Effektivwert $\Delta I_{L,norm} = \Delta I_{N,ij,norm}$ des Modulstromrippels $\Delta i_L = \Delta i_{N,ij}$ für den 2-Punkt und 3-Punkt *Delta-Rectifier* sowie der normierte globale Effektivwert des Netzstromrippels für den *Vienna-Rectifier* / *Conventional Rectifier* (simuliert). Die Normierungsbasis beträgt $\Delta i_{norm} = U_O T_P / (8 L_S)$ mit L_S=L_Δ/3.

2.2.8 Numerische Berechnung des globalen Effektivwertes des Eingangsstromrippels

Die Bestimmung des globalen Effektivwertes des Netzstromrippels $\Delta I_{N,i}$ erfolgt durch numerische Integration des simulierten Phasenstromrippels $\Delta i_{N,i}$ über eine halbe Netzperiode.

Die Simulation wurde bei verschiedenen Eingangsspannungen für beide Modultopologien mit den optimierten Trägersignalen durchgeführt. Um den numerischen Fehler sehr klein zu

halten, wurde ein Verhältnis 1/200 : 1/100 : 1 von Simulationsschrittweite : Integrationsschrittweite : Taktfrequenz gewählt. Die Simulation wurde anhand eines Vergleiches zwischen simulierten Effektivwert des Modulstromrippels und berechneten Effektivwert überprüft. Innerhalb des vorgegebenen Eingangsspannungsbereiches weisen die beiden Werte eine maximale Abweichung von 2% auf.

Das Ergebnis ist in **Bild 2.16 (c)** und **(d)** dargestellt. Zwischen den simulierten Eingangsspannungen wurde der Verlauf linear interpoliert. Die Verläufe **(a)** und **(b)** geben die zuvor analytisch berechneten Effektivwerte des Modulstromrippels an. Es ist ersichtlich, dass beim Übergang von einer 2-Punkt auf eine 3-Punkt Hochsetzsteller-Topologie der Phasenstromrippel um einen Faktor ~2…3 jedoch nicht in derselben Grössenordnung wie der Modulstromrippel (Faktor ~3,5…5) abnimmt. Der Grund dafür ist, dass der Gleichtaktanteil der schaltfrequenten Schwankung des Modulstromes im Verhältnis zum gesamten Modulstromrippel stärker reduziert wird.

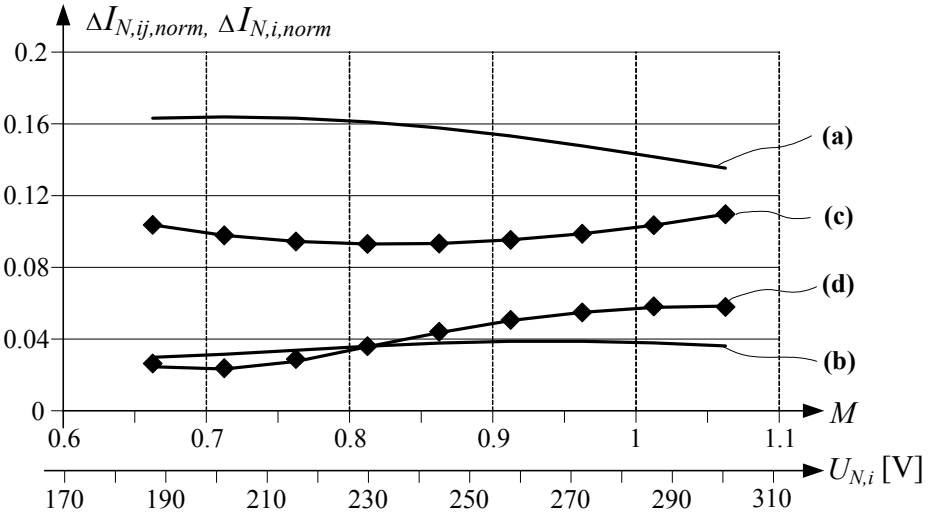


Bild 2.16 Normierter globaler Effektivwert des Modulstromrippels $\Delta I_{N,ij,norm}$ (berechnet) und des Phasenstromrippels $\Delta I_{N,i,norm}$ (simuliert) bei optimierter Synchronisation der Trägersignale und symmetrischen Netz- und Lastverhältnissen. **(a)** $\Delta I_{N,ij,norm}$ eines 2-Punkt Moduls; **(b)** $\Delta I_{N,ij,norm}$ eines 3-Punkt Moduls; **(c)** $\Delta I_{N,i,norm}$ für einen *Delta-Rectifier* mit 2-Punkt Modulen; **(d)** $\Delta I_{N,i,norm}$ für ein *Delta-Rectifier* mit 3-Punkt Modulen. Die Normierungsbasis beträgt $\Delta i_{norm} = U_O T_P /(8L_S)$ mit $L_S = L_\Delta/3$.

Da der Nullstrom i_0 den Gleichtaktanteil in den Modulströmen $i_{N,ij}$ darstellt (für fehlende Überlagerung einer 3. Harmonischen gilt $i_0 = \Delta i_0$) kann direkt aus der spektralen Zusammensetzung der Rippelstromkomponenten $\Delta i'_{N,ij}$ und Δi_0 der Zusammenhang

$$\Delta I^2{}_{N,ij} = \Delta I'^2_{N,ij} + \Delta I_0^2 \tag{2.46}$$

für die Effektivwerte der Rippelanteile angegeben werden ([Kol01]). $\Delta I'_{N,ij}$ bezeichnet den globalen Effektivwert des nullgrössenfreien Modulstromrippels. Für symmetrische Netzspannungsverhältnisse und Gleichverteilung der Ausgangslast auf die drei Leistungsmodule muss die Relation für die Effektivwerte der Grundschwingung ($I_{N,i} = \sqrt{3} I_{N,ij}$) auch für die Effektivwerte der schaltfrequenten nullgrössenfreien Anteile gelten

$$\Delta I_{N,i} = \sqrt{3} \Delta I'_{N,ij} \ . \tag{2.47}$$

Mit Gl. (2.46) und (2.47) kommt klar zum Ausdruck, dass ein maximaler Nullstrom auf einen minimalen globalen Effektivwert des Phasenstromrippels $\Delta I_{N,i}$ führt.

2.2.9 Erweiterung der Topologie für zweiphasigen Nennleistungsbetrieb

Der grosse Vorteil eines *Delta-Rectifier* kommt zum Tragen, wenn die Dioden-Eingangsgleichrichtung jedes Moduls durch eine dreiphasige Thyristor-Brückenschaltung ersetzt wird, wodurch die Umschaltung auf zwei beliebige Phasen möglich wird. Damit ist auch im zweiphasigen Netzbetrieb für Nennbelastung der Module 100% der Nennausgangsleistung verfügbar. In **Bild 2.17** ist die erweitere Topologie eines 3-Punkt *Delta-Rectifier* dargestellt. Bei Betreib am Dreiphasennetz sind zyklisch versetzt nur zwei der Thyristorzweige pro Modul angesteuert. Die grau markierten Thyristoren sind im Normalfall inaktiv, und können bei Ausfall einer Phase für die Umschaltung auf die beiden verbleibenden Netzphasen aktiviert werden. In diesem Fall arbeiten die drei Module parallel an einer verketteten Spannung $U_{N,ij}$ und können bei einem Netzgesamtstrom von $\sqrt{3} I_{N,i,nenn}$ die volle Ausgangsleistung bereitstellen. Wird auf die Umschaltbarkeit verzichtet, führt ein Phasenausfall dazu, dass die beiden betroffenen Module in Serie liegen und parallel zum dritten Modul von den beiden verbleibenden Netzphasen versorgt werden. Damit sinkt die Ausgangsleistung bei Nennstrom $I_{N,ij,nenn}$ in den Modulen (bzw. $2/\sqrt{3} I_{N,i,nenn}$ in den Phasenströmen) auf 2/3 $P_{O,nenn}$ ab. Im Vergleich dazu reduziert sich im Zweiphasenbetrieb die zu übertragende Ausgangsleistung für direkte Dreiphasen-Gleichrichtersysteme bei Nennstrombelastung auf $1/\sqrt{3}\, P_{O,nenn}$.

Weiters können die Thyristoren für die Hochladung der Ausgangskondensatoren bei Betriebsbeginn verwendet werden. (Für das Labormuster ist aber die Hochladung über einen zusätzlichen MOSFET realisiert, der in der Hochlaufphase als Stromquelle arbeitet.)

Durch die Möglichkeit der Phasenauswahl müssen die Induktivitäten auf der DC-Seite angeordnet werden. Auf die prinzipielle Funktion des Systems hat dies keinen Einfluss. Für eine bessere Unterdrückung der durch die Hochsetzstellerstufe hervorgerufenen Gleichtaktstörströme wird die Gesamtinduktivität L_Δ symmetrisch auf die DC-Zuleitungspfade aufgeteilt.

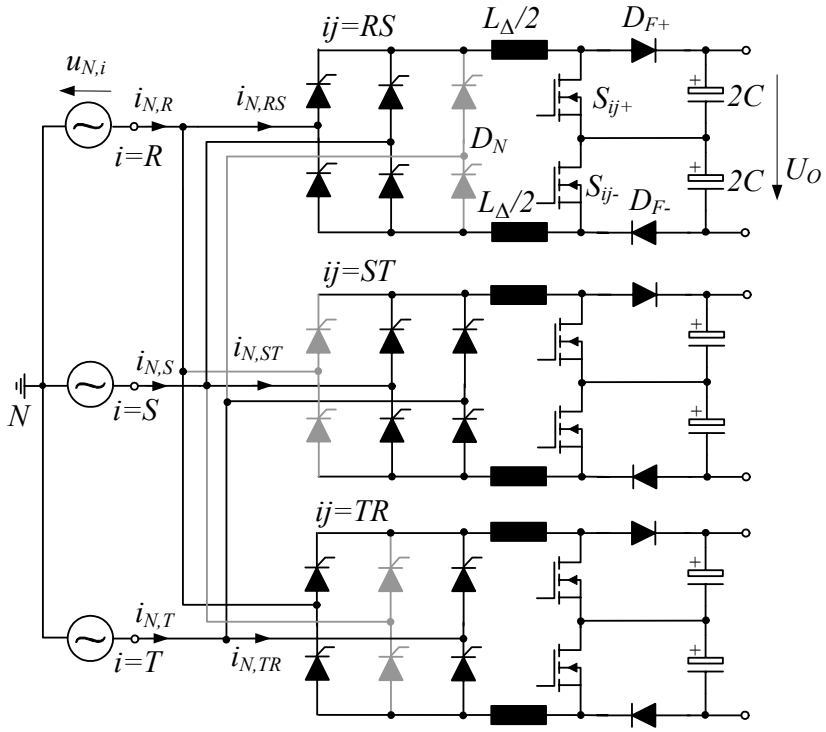


Bild 2.17: Erweiterte (und als Labormuster umgesetzte) Topologie des *Delta-Rectifier* mit Möglichkeit der Phasenauswahl für jedes Modul und Anordnung der Modulinduktivität auf der DC-Seite mit symmetrischer Aufteilung zur Verbesserung der Gleichtakt-Störunterdrückung. Die Funktion der Eingangsgleichrichtung wird mittels Thyristoren realisiert. Bei dreiphasigem Netzbetrieb sind die grau markierten Thyristoren nicht angesteuert und Sperren. Bei Ausfall/Unterbruch einer Phase können alle drei Module parallel an die beiden verbleibenden Netzphasen geschaltet werden.

2.3 Systemdimensionierung

In diesem Kapitel wird die Dimensionierung des Leistungsteils der aufgebauten Hardware behandelt. Eingangs wird die Frage nach der konkreten Realisierung der Gleichrichtereingangsstufe und der Implementierung der Hochsetzstellertopologie gestellt, daran anschliessend werden die Vorteile der realisierten Variante erläutert. Die Festlegung der

Schaltfrequenz wird im Zusammenhang mit der geforderten Leistungsdichte und dem Systemwirkungsgrad durchgeführt. Im Anschluss werden analytische Gleichungen für die Berechnung der Strombelastung der einzelnen Leistungskomponenten hergeleitet. Auf Basis der ermittelten Strom- und Spannungsbeanspruchungen werden die Halbleiterkomponenten ausgewählt. Für die Ermittlung der auftretenden Schaltverluste werden Schaltverlustkoeffizienten aus vorliegenden Schaltverlustmessungen herangezogen. Abschliessend werden die Gesamtverluste des Systems gestützt auf die analytische Berechnung für verschiedene Lastpunkte angegeben.

2.3.1 Spezifikation des Systems

Die Wahl einer Schaltungstopologie wird primär unter Berücksichtigung von Kriterien wie Kosten, geforderter Systemwirkungsgrad, Ausfallssicherheit und Baugrösse getroffen. Durch den modularen Aufbau des *Delta-Rectifier* wird im Bezug auf die Fertigung, die Inbetriebnahme, und die selektive Austauschbarkeit einzelner Module im Fehlerfall der Wirtschaftlichkeit im hohen Masse Rechnung getragen. Auch die technisch wichtigen Kenngrössen wie Wirkungsgrad, Ausfallssicherheit und Baugrösse können mit einem modularen Aufbau zufriedenstellend erfüllt werden. Angelehnt an ein seitens der Industrie definiertes Anforderungsprofil für eine Versorgungseinheit von Informationsverarbeitungssystemen ist in **Tabelle 2.3** die Spezifikation für einen Prototyp des *Delta-Rectifier* zusammengefasst.

Tabelle 2.3: Systemspezifikationen für den *Delta-Rectifier*

Eingangsspannungsbereich	$U_{N,ij}$ = 320V … 480V$_{rms}$ (verkettete Spannung) (400V +/- 20%)
Nenn-Eingangsleistung	P_N = 10500W (pro Modul: 3500W)
Modulausgangsspannung	U_O = 800V
Ausgangsspannungsschwankung	$\Delta u_{O,p\text{-}p} < 4\%\ U_O$ *(Spitzen-Spitzenwert)*
Wirkungsgrad	$\eta > 96\%$ (im Nennpunkt)
Leistungsdichte	$P_N/V >$ 2kW/dm^3
THD	$THD < 5\%$
Leistungsfaktor	λ = 0,99 (im Nennpunkt)
Umgebungstemperatur	T_{amb} = 45°C

Im Normalbetrieb arbeitet das System an einem Dreiphasen-Niederspannungsnetz. Zusätzlich ist der Betrieb des Systems mit Nennleistung bei Ausfall einer Netzphase gefordert.

2.3.2 Wahl der Topologie und Festlegung der Schaltfrequenz

Ist der Betrieb des System bei Phasenausfall oder generell an einem Zweiphasennetz mit Nennleistung gefordert, ohne die einzelnen Module über ihre spezifizierte Ausgangsleistung von $P_{N,Modul}$=3500W zu belasten, muss für die Module die Möglichkeit einer elektronischen Umschaltung auf die beiden verbleibenden Netzphasen vorgesehen werden. Die Module sind daher anstatt mit einer Diodengleichrichtung mit der in Bild 2.17 dargestellten Erweiterung, d. h. einer Thyristoreingangsbrücke, auszuführen.

Voraussetzung für den Betrieb mit sinusförmiger Führung der Eingangsströme ist, dass die Modulausgangsspannung U_O höher als der maximale Spitzenwert der verketteten Netzspannung (=Moduleingangsspannung) $\hat{U}_{N,ij}$ gewählt wird. Für den vorgegebenen Eingangsspannungsbereich liegt der Maximalwert bei $\hat{U}_{N,ij}=\sqrt{2}U_{N,ij}$=678V. In Hinblick auf eine mögliche Erhöhung des Eingangsspannungsbereiches wird die Modulausgangsspannung mit Uo=800V festgelegt. Dieses Ausgangsspannungsniveau ist auch typisch für ein direktes Dreiphasen-Pulsgleichrichtersystem (*Vienna-Rectifier*). Die Vorladung der Modulausgangsspannung bei Inbetriebnahme des Systems wird über einen als Konstantstromquelle betriebenen MOSFET realisiert [Fri05].

Die Ausführung der Hochsetzstellerstufe - ob als 2-Punkt oder als 3-Punkt Struktur – wird anhand der folgenden Kriterien getroffen:

- Spannungsbeanspruchung der Leistungshalbleiter
- Einhaltung eines maximalen Stromrippels
- Wirkungsgrad.

Die Aufgabe ist also einen bestmöglichen Kompromiss hinsichtlich der Anzahl der Bauteile, des Wirkungsgrades, der Kosten, der Leistungsdichte und der Verfügbarkeit von Komponenten zu finden. Folgende Überlegungen führten zum Vorzug der 3-Punkt Ausgangsstruktur gegenüber der 2-Punkt Struktur:

Mit einer 3-Punkt Ausführung kann die notwendige Sperrspannungsfestigkeit für die Halbleiterkomponenten der in Serie geschalteten Hochsetzstellerstufen auf 600V herabgesetzt werden. Für dieses Spannungsniveau sind ultraschnelle Gleichrichterdioden mit sehr geringer

Rückwärtserholladung Q_{rr} und MOSFETs mit sehr geringem Einschaltwiderstand $R_{DS,on}$ verfügbar. Näherungsweise gilt, dass der Einschaltwiderstand $R_{DS,on}$ eines MOSFET stärker als quadratisch mit zunehmender Sperrspannungsfestigkeit ansteigt. Wegen der besseren Halbleiterkenndaten und der Aufteilung der Schaltverluste auf zwei Transistoren mit reduzierter Schaltspannung können die auftretenden Schalt- und Leitverluste durch eine 3-Punkt Ausgangsstruktur insgesamt reduziert werden. Weiters ist auch eine Reduzierung des Induktivitätswertes für die Einhaltung eines maximalen Stromrippels bei versetzter Ansteuerung der Ausgangsstufe möglich. Die Abnahme des globalen Effektivwertes des Modulstromrippels im Vergleich zur 2-Punkt Struktur beträgt etwa einen Faktor 4 (s. Bild 2.15) und die des Phasenstromrippels bei symmetrischen Netzbetrieb etwa einen Faktor 2 bis 3 (s. Bild 2.16).

Im Vergleich dazu müsste in einer 2-Punkt Struktur aufgrund der hohen Sperrspannungsbeanspruchung ein 1200V IGBT eingesetzt werden. Um die höheren Schaltverlustkennziffern eines IGBT zu kompensieren, müsste eine niedrige Schaltfrequenz von etwa f_P=20-30kHz gewählt werden, um den geforderten Wirkungsgrad zu erreichen. Damit folgt, dass für die Einhaltung eines maximal zulässigen Stromrippels eine sehr grosse Induktivität vorzusehen wäre, die wesentlichen Einfluss auf die Systemgrösse und das -gewicht nehmen würde. Die Ausgangskapazität wäre weiterhin aufgrund der auftretenden Strom- und Spannungsbelastung durch eine Serien-Parallel-Schaltung von Kondensatoren zu realisieren. Zusätzlich müsste nun aber die gleichmässige Spannungsaufteilung auf die Serienschaltung der Kondensatoren durch Symmetrierwiderstände sichergestellt werden.

Bevor die Dimensionierung der Induktivität und die Berechnung der Schaltverluste vorgenommen werden können, ist die Schaltfrequenz festzulegen. Als Untergrenze ist auf jeden Fall die Hörschwelle zu sehen. Die Obergrenze legen die mit der Schaltfrequenz linear steigenden Schaltverluste, die stärker als linear steigenden Ummagnetisierungsverluste im Kernmaterial der Induktivität und das breiter werdende Spektrum der Störaussendung [Sch96] fest. Hinzu kommt, dass mit steigender Schaltfrequenz die Anforderungen an die Ansteuer-, Mess- und Signalelektronik zunehmend schwieriger zu erfüllen sind. Bei einer volldigitalen Regelung des Systems muss auch noch ausreichend Zeit für die Berechnung des Regelalgorithmus vorgesehen werden, wenn ein Update der Einschaltzeiten pro Taktperiode gefordert wird. Die Festlegung der Schaltfrequenz ist also bei detaillierter Behandlung der einzelnen Punkte das Ergebnis eines sehr aufwendigen und umfangreichen Optimierungsprozesses, der nicht Gegenstand dieser Arbeit ist. In Hinblick auf einen hohen

Wirkungsgrad, einer kompakten Baugrösse und einer volldigitalen Regelung des Systems wird die Schaltfrequenz mit f_P=50kHz festgelegt und eine versetzte Taktung der Teilausgangsstufen realisiert. Somit liegt an der Induktivität eine schaltfrequente Spannung mit $f_{fe}=2f_P=100kHz$.

2.3.3 Analytische Berechnung der Beanspruchung der Komponenten eines Leistungsmoduls

Für die einzelnen Komponenten des Leistungsteils werden nachfolgend die analytischen Beziehungen für die Berechnung der Strombeanspruchungen angegeben. Grundsätzlich könnte die Ermittelung der Strombeanspruchungen auch mittels Simulation erfolgen, jedoch weist die analytische Rechnung deutliche Vorteile auf. Die Beschreibung der Bauteilbeanspruchung durch einen einfachen mathematischen Ausdruck in Abhängigkeit der Betriebsparameter (Eingangsspannung, Ausgangsleistung, Ausgangsspannung) ermöglicht eine rasche Aussage für den gesamten Betriebsbereich. Eine Simulation hingegen, würde stets nur eine isolierte Aussage zu einem konkreten Arbeitspunkt liefern, und abgesehen von der benötigten Rechenzeit müssten grosse Datenmengen ausgewertet werden. Daneben ist der Einfluss einer Änderung eines Betriebsparameters auf die Bauteilbeanspruchung mittels analytischer Rechnung einfach zu verifizieren.

Die analytische Berechnung wird im Sinne einer Beschränkung auf das Wesentliche mit folgenden Vereinfachungen durchgeführt:

- Vernachlässigung der schaltfrequenten Schwankung des Eingangsstromes,
- konstante Modulausgangsspannung (Vernachlässigung der Spannungsschwankung mit doppelter Netzfrequenz),
- symmetrische Netzspannungsverhältnisse,
- ohmsches Netzverhalten.

Die berechneten Strombelastungen werden in Abhängigkeit des Modulationsfaktors

$$M = \frac{2\hat{U}_{N,i}}{U_O} \tag{2.48}$$

und des Spitzenwertes des Phasenstroms $\hat{I}_{N,i}$ bezüglich des Gesamtsystems angegeben. Mit der Überlegung, dass die 3-Punkt Ausgangsstufe eine Serienschaltung von zwei

Hochsetzstellern darstellt, sind die Strombelastungen für die in **Bild 2.18** dargestellten Modulausführungen bei symmetrischer Ausgangsbelastung der Teilstufen identisch.

Die Strombelastungen der Komponenten werden sowohl für rein sinusförmige Modulströme als auch für eine Überlagerung einer 3. Stromharmonischen berechnet. Der Anstieg von Strommittel- und Effektivwert eines Modulstromes bei Einprägung einer 3. Harmonischen ist marginal.

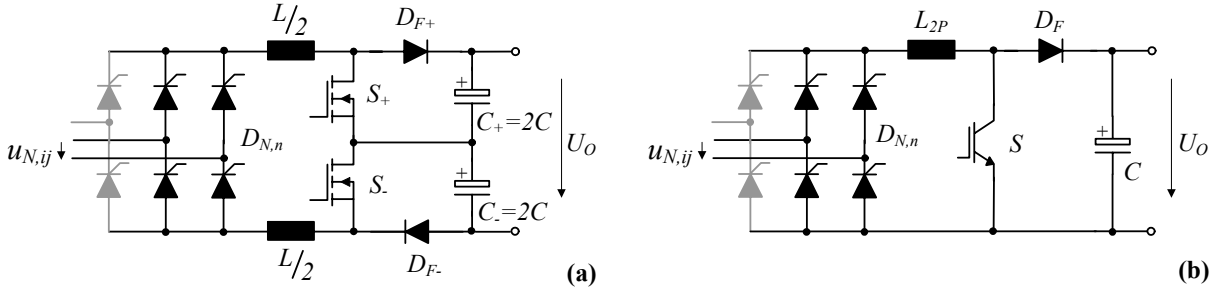


Bild 2.18: Leistungsmodul eines *Delta-Rectifier* ausgeführt als 3-Punkt **(a)** oder als 2-Punkt (**b**) Pulsgleichrichterstufe.

2.3.3.1 Netzdioden

Der arithmetische Mittelwert und der Effektivwert des Netzdiodenstroms sind in Abhängigkeit des Phasenstromspitzenwertes $\hat{I}_{N,i}$ ohne Einprägung einer dritten Harmonischen in Gln.(2.49) und (2.50) bzw. mit Einprägung einer dritten Harmonischen in Gln. (2.51) und (2.52) angegeben.

$$\bar{I}_{D_N} = \frac{1}{2\pi}\int_0^{\pi} \hat{I}_{N,ij}\sin(\varphi)d\varphi = \frac{\hat{I}_{N,i}}{\sqrt{3}\pi}, \tag{2.49}$$

$$I_{D_N} = \sqrt{\frac{1}{2\pi}\int_0^{\pi} \hat{I}_{N,ij}{}^2\sin^2(\varphi)d\varphi} = \frac{\hat{I}_{N,i}}{2\sqrt{3}}. \tag{2.50}$$

$$\bar{I}_{D_N} = \frac{1}{2\pi}\int_0^{\pi} \hat{I}_{N,ij}\left(\sin(\varphi) + \tfrac{1}{6}\sin(3\varphi)\right)d\varphi = \frac{19}{18}\frac{\hat{I}_{N,i}}{\sqrt{3}\pi} \cong \frac{\hat{I}_{N,i}}{\sqrt{3}\pi}, \tag{2.51}$$

$$I_{D_N} = \sqrt{\frac{1}{2\pi}\int_0^{\pi} \hat{I}_{N,ij}{}^2\left(\sin(\varphi) + \tfrac{1}{6}\sin(3\varphi)\right)^2 d\varphi} = \frac{\sqrt{37}}{12}\frac{\hat{I}_{N,i}}{\sqrt{3}} \cong \frac{\hat{I}_{N,i}}{2\sqrt{3}}. \tag{2.52}$$

2.3.3.2 Freilaufdioden

Betrachtet man die mit der positiven Ausgangsklemme verbundene Freilaufdiode D_{F+}, so fliesst abhängig vom Schaltzustand des MOSFET S_+ der gleichgerichtete Modulstrom über die Freilaufdiode D_{F+}. Die lokale Stromführungsdauer von D_{F+} wird also durch die relative Ausschaltdauer $(1\text{-}d_+)$ von S_+ bestimmt. Für symmetrische Ausgangslastverhältnisse an der 3-Punkt Ausgangsstruktur sind die Einschaltdauern d_+ und d_- der beiden MOSFET S_+ und S_- gleich gross. Ein Vergleich der Einschaltdauern der Leistungstransistoren für die beiden Varianten der Ausgangsstufen führt auf den Zusammenhang $d=d_+=d_-$. Dies ist damit zu erklären, dass über eine Pulsperiode sowohl mit der 2-Punkt Ausgangsstruktur die mittlere Ausgangsspannung $(1\text{-}d)U_O$ also auch mit der 3-Punkt Struktur die mittlere Ausgangsspannung $(1\text{-}d_+)U_O/2+(1\text{-}d_-)U_O/2=(1\text{-}d)U_O$ gebildet werden muss. Somit ergeben sich für beide Ausgangstopologien - wie eingangs bereits erwähnt - dieselben Strombelastungen für die Freilaufdioden, die MOSFETs und die Ausgangskapazitäten.

$$\begin{aligned}\bar{I}_{D_F} &= \frac{1}{\pi}\int_0^{\pi}\hat{I}_{N,ij}\sin(\varphi)\cdot(1-d)\cdot d\varphi = \frac{1}{\pi}\int_0^{\pi}\frac{\hat{I}_{N,i}}{\sqrt{3}}\sin(\varphi)\cdot\frac{\sqrt{3}\hat{U}_{N,i}}{U_O}\sin(\varphi)d\varphi = \\ &= \frac{\hat{U}_{N,i}}{2U_O}\hat{I}_{N,i} = \frac{M}{4}\cdot\hat{I}_{N,i}\ .\end{aligned} \tag{2.53}$$

$$\begin{aligned}I_{D_F}{}^2 &= \frac{1}{\pi}\int_0^{\pi}\hat{I}_{N,ij}{}^2\sin^2(\varphi)(1-d)d\varphi = \frac{1}{\pi}\int_0^{\pi}\frac{\hat{I}_{N,i}{}^2}{3}\sin^2(\varphi)\cdot\frac{\sqrt{3}\hat{U}_{N,i}}{U_O}\sin(\varphi)d\varphi\,, \\ I_{D_F} &= \sqrt{\frac{4}{3\sqrt{3}\pi}\frac{\hat{U}_{N,i}}{U_O}}\cdot\hat{I}_{N,i} = \sqrt{\frac{2}{3}\frac{M}{\sqrt{3}\pi}}\cdot\hat{I}_{N,i}\,.\end{aligned} \tag{2.54}$$

Das Ergebnis in Gl. (2.53) kann auch einfach über eine Leistungsbilanz von Ein- und Ausgangsseite

$$P_{N,ij} = P_O = \frac{\hat{U}_{N,i}\hat{I}_{N,i}}{2} = U_O\bar{I}_{D_F} \tag{2.55}$$

berechnet werden.

Bei Einprägung einer dritten Harmonischen mit 1/6 der Amplitude der Stromgrundschwingung berechnet sich der Strommittelwert und -effektivwert für die Freilaufdioden mit

$$\bar{I}_{D_F} = \frac{\hat{U}_{N,i}\hat{I}_{N,i}}{2U_O} = \frac{M}{4}\hat{I}_{N,i}, \tag{2.56}$$

$$I_{D_F}{}^2 = \frac{1}{\pi}\int_0^{\pi}\hat{I}_{N,ij}{}^2\left(\sin(\varphi)+\frac{1}{6}\sin(3\varphi)\right)^2(1-d)d\varphi =$$

$$= \frac{1}{\pi}\frac{\hat{I}_{N,i}{}^2}{3}\frac{\sqrt{3}\hat{U}_{N,i}}{U_O}\int_0^{\pi}\left(\sin(\varphi)+\frac{1}{6}\sin(3\varphi)\right)^2\sin(\varphi)d\varphi\,, \tag{2.57}$$

$$I_{D_F} = \sqrt{\frac{401}{315\cdot\sqrt{3}\pi}\frac{\hat{U}_{N,i}}{U_O}}\cdot\hat{I}_{N,i} = \sqrt{\frac{401}{630}\frac{M}{\sqrt{3}\pi}}\cdot\hat{I}_{N,i} \cong \sqrt{\frac{2}{3}\frac{M}{\sqrt{3}\pi}}\cdot\hat{I}_{N,i}\,.$$

2.3.3.3 Leistungstransistor

Dieselbe Vorgehensweise in der Berechnung führt für die Strombelastung der Leistungstransistoren ohne Einprägung einer dritten Harmonischen auf

$$\bar{I}_T = \frac{1}{\pi}\int_0^{\pi}\hat{I}_{N,ij}\sin(\varphi)d\cdot d\varphi = \frac{1}{\pi}\int_0^{\pi}\frac{\hat{I}_{N,i}}{\sqrt{3}}\sin(\varphi)\cdot\left(1-\frac{\sqrt{3}\hat{U}_{N,i}}{U_O}\sin(\varphi)\right)d\varphi =$$
$$= \left(\frac{2}{\sqrt{3}\pi}-\frac{\hat{U}_{N,i}}{2U_O}\right)\hat{I}_{N,i} = \left(\frac{2}{\sqrt{3}\pi}-\frac{M}{4}\right)\hat{I}_{N,i}\,, \tag{2.58}$$

$$I_T{}^2 = \frac{1}{\pi}\int_0^{\pi}\hat{I}_{N,ij}{}^2\sin^2(\varphi)d\cdot d\varphi = \frac{1}{\pi}\int_0^{\pi}\frac{\hat{I}_{N,i}{}^2}{3}\sin^2(\varphi)\cdot\left(1-\frac{\sqrt{3}\hat{U}_{N,i}}{U_O}\sin(\varphi)\right)d\varphi\,,$$
$$I_T = \sqrt{\frac{1}{6}-\frac{4}{3\sqrt{3}\pi}\frac{\hat{U}_{N,i}}{U_O}}\cdot\hat{I}_{N,i} = \sqrt{\frac{1}{6}-\frac{2M}{3\sqrt{3}\pi}}\cdot\hat{I}_{N,i}\,. \tag{2.59}$$

Bei Berücksichtigung der dritten Harmonischen führt die analytische Berechnung auf die Gln. (2.60) und (2.61)

$$\bar{I}_T = \frac{1}{\pi}\int_0^{\pi}\hat{I}_{N,ij}\left(\sin(\varphi)+\frac{1}{6}\sin(\varphi)\right)d\cdot d\varphi = \frac{\hat{I}_{N,i}}{\pi\sqrt{3}}\int_0^{\pi}\left(\sin(\varphi)+\frac{1}{6}\sin(\varphi)\right)\cdot\left(1-\frac{\sqrt{3}\hat{U}_{N,i}}{U_O}\sin(\varphi)\right)d\varphi =$$
$$= \left(\frac{19}{9\sqrt{3}\pi}-\frac{\hat{U}_{N,i}}{2U_O}\right)\hat{I}_{N,i} = \left(\frac{19}{9\sqrt{3}\pi}-\frac{M}{4}\right)\hat{I}_{N,i} \cong \left(\frac{2}{\sqrt{3}\pi}-\frac{M}{4}\right)\hat{I}_{N,i}\,, \tag{2.60}$$

$$I_T{}^2 = \frac{1}{\pi}\int_0^{\pi}\hat{I}_{N,ij}{}^2\left(\sin(\varphi)+\frac{1}{6}\sin(\varphi)\right)^2 d\cdot d\varphi,$$
$$I_T = \sqrt{\frac{37}{36\cdot 6}-\frac{401}{315\sqrt{3}\pi}\frac{\hat{U}_{N,i}}{U_O}}\cdot\hat{I}_{N,i} = \sqrt{\frac{37}{36\cdot 6}-\frac{401M}{630\sqrt{3}\pi}}\cdot\hat{I}_{N,i} \cong \sqrt{\frac{1}{6}-\frac{2M}{3\sqrt{3}\pi}}\cdot\hat{I}_{N,i}\,. \tag{2.61}$$

2.3.3.4 Ausgangskapazität

Bei Vernachlässigung der Ausgangsspannungsschwankung ($\Delta u_{O,p\text{-}p} < 4\% U_O$) mit doppelter Netzfrequenz muss für eine konstante Ausgangsspannung der Mittelwert des Kondensatorstroms gleich Null sein ($\bar{I}_C = 0$). Daraus folgt, dass der Mittelwert des Laststroms $\bar{I}_O$ gleich dem Mittelwert des Diodenstromes $\bar{I}_{DF}$ ist. Mit der Knotenpunktregel berechnet sich allgemein der Effektivwert des Kondensatorstroms zu

$$I_C{}^2 = \frac{1}{T_N}\int_{T_N} i_C{}^2 dt = \frac{1}{T_N}\int_{T_N} (i_{D_F} - i_O)^2 dt = \frac{1}{T_N}\int_{T_N} (i_{D_F}{}^2 - \underbrace{2 i_{D_F} i_O}_{A} + i_O{}^2) dt \tag{2.62}$$

und führt mit der Annahme eines konstanten Laststroms $i_O = I_O$ ($\rightarrow A = 2 I_O{}^2 = 2 \bar{I}_{DF}{}^2$) auf

$$I_C = \sqrt{I_{D_F}{}^2 - \bar{I}_{D_F}{}^2} = \sqrt{\left(\frac{4}{3\sqrt{3}\pi} - \frac{\hat{U}_{N,i}}{4U_O}\right)\frac{\hat{U}_{N,i}}{U_O}}\,\hat{I}_{N,i} = \sqrt{\left(\frac{4}{3\sqrt{3}\pi} - \frac{M}{8}\right)\frac{M}{2}}\,\hat{I}_{N,i}\,. \tag{2.63}$$

2.3.3.5 Induktivität

Der Strommittelwert und -effektivwert für die Induktivität ergibt sich einfach zu

$$\bar{I}_L = \frac{2\hat{I}_{N,i}}{\sqrt{3}\pi}, \qquad I_L = \frac{\hat{I}_{N,i}}{\sqrt{6}}. \tag{2.64}$$

Für die magnetische Auslegung der Induktivität hinsichtlich Sättigung ist der Spitzenwert des Stromes $\hat{I}_L = \hat{I}_{N,i}/\sqrt{3}$ und hinsichtlich der Kernverluste der globale Effektivwert ΔI_L massgebend.

2.3.3.6 Zusammenfassung der Strombelastungen

In **Tabelle 2.4** sind die analytischen Gleichungen für die Berechnung der Strombelastungen der einzelnen Komponenten zusammengefasst. Mit $\hat{I}_{N,i}$ ist der Spitzenwert des Phasenstromes $i_{N,i}$ des *Delta-Rectifier* bezeichnet, der für symmetrische Netzspannungs- und Lastverhältnisse mit dem Modulstrom $i_{N,ij}$ im Verhältnis $\hat{I}_{N,i} = \sqrt{3}\hat{I}_{N,ij}$ steht. Die Strombelastungen sind in **Bild 2.19** in Abhängigkeit der Aussteuerung grafisch dargestellt.

An dieser Stelle sei nochmals betont, dass beide Varianten der Ausgangsstufe für symmetrische Lastverhältnisse auf die gleichen Strombelastungen der Komponenten führen.

Aus diesem Grund wurde auf die Angabe der Indizes + und – verzichtet. Wegen des geringen Einflusses einer dritten Harmonischen im Modulstrom können die in Tabelle 2.4 gegebenen Formeln generell für die Auslegung der Komponenten herangezogen werden.

Tabelle 2.4: Zusammenfassung der Strombelastung der einzelnen Leistungskomponenten für symmetrische Netzspannungs- und Lastverhältnisse ($\hat{I}_{N,i} = \sqrt{3}\hat{I}_{N,ij}$) mit $M=2\hat{U}_{N,i}/U_O$.

Komponenten	Strommittelwert	Stromeffektivwert
Netzdiode D_N	$\frac{1}{\sqrt{3}\pi}\hat{I}_{N,i}$	$\frac{1}{2\sqrt{3}}\hat{I}_{N,i}$
Freilaufdiode D_F	$\frac{M}{4}\hat{I}_{N,i}$	$\sqrt{\frac{2}{3}\frac{M}{\sqrt{3}\pi}}\cdot\hat{I}_{N,i}$
Transistor S	$(\frac{2}{\sqrt{3}\pi}-\frac{M}{4})\hat{I}_{N,i}$	$\sqrt{\frac{1}{6}-\frac{2M}{3\sqrt{3}\pi}}\cdot\hat{I}_{N,i}$
Induktivität L_Δ	$\frac{2}{\sqrt{3}\pi}\hat{I}_{N,i}$	$\frac{1}{\sqrt{6}}\hat{I}_{N,i}$
Kapazität C	0	$\sqrt{\left(\frac{4}{3\sqrt{3}\pi}-\frac{M}{8}\right)\frac{M}{2}}\cdot\hat{I}_{N,i}$

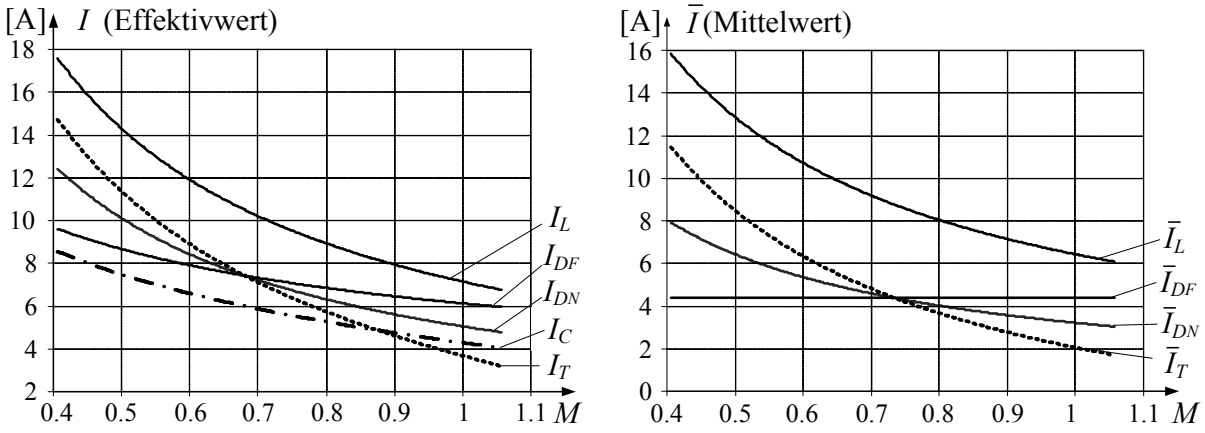


Bild 2.19: Effektive und mittlere Strombelastung für die einzelnen Komponenten in Abhängigkeit des Modulationsfaktors $M = 2\hat{U}_{N,i}/U_O$ für konstante Ausgangsspannung U_O.

2.3.3.7 Spannungsbeanspruchung der Leistungskomponenten

Neben der Strombelastung ist auch die Sperrspannungsbeanspruchung für die Auswahl der Leistungskomponenten entscheidend. Die für die Eingangsgleichrichtung eingesetzten Thyristoren müssen eine Mindestspannungsfestigkeit von

$$U_{D_N|block} = \hat{U}_{N,ij,\max} = 676\,\mathrm{V} \tag{2.65}$$

aufweisen. In der 2-Punkt Ausgangsstruktur werden die Freilaufdiode D_F und der Leistungstransistor S mit dem maximal auftretenden Ausgangsspannungswert $U_{O,max}$ in Sperrrichtung belastet. Die Sperrspannungsfestigkeit der beiden Halbleiterkomponenten muss daher mindestens

$$U_{D_F|block,2-l} = U_{S|block,2-l} = U_O + u_{O,p-p}/2 + u_{res} = 816\,\mathrm{V} + \mathrm{U_{res}} \tag{2.66}$$

einschliesslich einer Spannungsreserve U_{res} betragen, die im Wesentlichen die induktiven Überspannungsspitzen während der Schaltvorgänge zusammenfasst. In der 3-Punkt Ausgangsstruktur reduziert sich die erforderliche Sperrspannungsfestigkeit der Freilaufdioden und der Leistungsschalter bei einer symmetrischen Spannungsaufteilung auf die beiden Teilausgangskreise auf die Hälfte

$$u_{D_F|block,3-l} = u_{T|block,3-l} = \frac{U_O + u_{O,p-p}/2}{2} + u_{res} = 408\,\mathrm{V} + U_{res}\,. \tag{2.67}$$

In **Tabelle 2.5** sind die Halbleiterkomponenten mit der geforderten Spannungsfestigkeit zusammengefasst.

Tabelle 2.5: Sperrspannungsfestigkeit der Leistungshalbleiter für den *Delta-Rectifier*.

Komponente	Minimale Sperrspannungsfestigkeit 2-Punkt	3-Punkt	Soll-Sperrspannungsfestigkeit 2-Punkt	3-Punkt
Netzdiode	676V	676V	900V	900V
Freilaufdiode	816V	408V	1200V	600V
Leistungstransistor	816V	408V	1200V	600V

2.3.3.8 Auswahl der Leistungskomponenten

2.3.3.8.1 Leistungshalbleiter

Basierend auf den ermittelten Strom- und Spannungsbelastungen werden die Halbleiterkomponenten ausgewählt. Wie aus Bild 2.19 hervorgeht, müssen die Halbleiter hinsichtlich der maximalen Strombelastung und der auftretenden Verlustleistung für die untere Grenze des Eingangsspannungsbereiches ausgelegt werden. In **Tabelle 2.6** sind die ausgewählten Halbleiterkomponenten zusammengefasst und mit ihren Kenndaten für die

Berechnung der auftretenden Leit- und Schaltverluste ergänzt. Die Kenndaten für die Leitverluste wurden aus Datenblattkennfeldern durch Linearisierung für den Arbeitsbereich ermittelt. Für die Ermittlung der Schaltverlustparameter sind in den meisten Fällen die Datenblattangaben unzureichend. Einerseits hängen die Schaltverluste immer von der gewählten Kombination von Leistungstransistor und Freilaufdiode ab, andererseits spielen das Layout und die Schaltgeschwindigkeit (der Gatevorwiderstand R_G) eine wesentliche Rolle. Um die Leitungsimpedanz des Kommutierungspfades möglichst klein zu halten, muss der von MOSFET - Freilaufdiode - Ausgangskondensator definierte Pfad eine möglichst kleine Fläche einschliessen. Die für die Berechnung der Schaltverluste verwendeten Verlustkoeffizienten ($k_{1,ON}$ und $k_{1,OFF}$) beruhen auf Schaltverlustmessungen an einem *Conventional Rectifier* [Min01c] mit ähnlichen Schaltströmen und gleicher Sperrspannung und entsprechenden Halbleiterelementen.

Allgemein gültig kann festgehalten werden, dass geringe Einschaltverluste wesentlich durch die Eigenschaften der Freilaufdiode hinsichtlich Schnelligkeit, d.h. geringe Rückwärtserholzeit und geringe Speicherladung bestimmt sind. Hingegen sind die Ausschaltverluste primär durch die Eigenschaften des MOSFETs und seine Gate-Ansteuerung (Grösse von R_G) festgelegt.

Tabelle 2.6: Ausgewählte Halbleiterkomponenten mit Kenndaten zur Verlustleistungsberechnung.

Komponente	Bezeichnung (Hersteller)	Spezifikation V_{RRM} / $I_{F(AV)}$	Kenndaten Leitverluste	Kenndaten Schaltverluste
Netzthyristor	TYN1040 (ST) [Ersatz: 25TTS12(IRF)]	1000V / 25A [1200V / 16A]	U_F=0,85V r_D=12mΩ	keine Schaltverluste-
MOSFET	SPW47N60C3 (Infineon)	650V / 47A	$R_{DS(on)}$=0,12Ω	$k_{1,ON}$ = 28,5µJ/A $k_{2,OFF}$= 8,2µJ/A
Freilaufdiode	HFA25PB60 (IRF)	600V / 25A	U_F = 0,95V r_D = 24mΩ	$k_{1,RR}$ = 3.2µJ/A

2.3.3.8.2 Induktivität

Mit Festlegung der Schaltungstopologie (3-Punkt), der Schaltfrequenz (f_P=50kHz) und der um eine Pulshalbperiode versetzten Ansteuerung der beiden Hochsetzstellerstufen kann der Wert der Induktivität für die Einhaltung eines maximal zulässigen Stromrippels festgelegt werden.

In der Praxis wird häufig ein maximal zulässiger Stromrippel (ohne EMV Eingangsfilter) von ca. ±5…8% bezogen auf die Nennstromamplitude $\hat{I}_{N,i}$ des Phasenstromes gewählt. Dieser

Ansatz wird für den Modulstromrippel zur Festlegung der Modulinduktivität L_Δ gewählt. Die wirksame Rippelstromkompensation beim Zusammenwirken der drei Module sei an dieser Stelle nicht näher berücksichtigt. Aus Bild 2.16 (vgl. Kennlinien (b) mit (d) für die 3-Punkt Topologie) kann entnommen werden, dass der auftretende Effektivwert des Phasenstromrippels bei Nennspannung ($U_{N,l}$=230V) fast denselben Wert wie der Effektivwert des Modulstromes aufweist. Der verbleibende Filteraufwand für die leitungsgebundenen Störungen ist also durch den Modulstromrippel sehr gut bestimmt. Die Nennamplitude des Modulstromes berechnet sich mit

$$\hat{I}_{N,ij} = \frac{2P_N}{\hat{U}_{N,ij}} = \frac{2.3500W}{565V} = 12{,}4\,\mathrm{A}\,. \tag{2.68}$$

Damit ergibt sich durch Umformen von G(2.42) ein Sollwert der Induktivität von

$$L_\Delta = \frac{U_O T_P}{32\Delta\hat{i}_{L,\max}} = \frac{U_O T_P}{32 \cdot 5\% \hat{I}_{N,ij}} = 806\mu\mathrm{H}\,. \tag{2.69}$$

Für die Realisierung der Induktivität steht ein Ferritkern (mit Luftspalt) oder ein Eisenpulverkern zur Wahl. Eisenpulverkerne werden aus ferromagnetischen Werkstoffpartikeln unter Einsatz eines Verbundmittels meist in Form von Ringkernen gepresst und weisen so strukturbedingt einen verteilten Luftspalt auf. Ihre effektiven Permeabilitätswerte liegen typisch im Bereich von μ_r=40…100. Die Werkstoffeigenschaften führen mit zunehmendem Strom nur langsam zu einer Sättigung des Kernes und weisen nur eine schwache Temperaturabhängigkeit auf. Die Sättigungsinduktion liegt bei Eisenpulverkernen typisch im Bereich von B_S=1…1,5 Telsa. Aus diesem Grund ist die magnetische Aussteuerung signifikant höher als bei Ferriten deren Sättigungsinduktion typisch im Bereich Bs=0,3…0,4 Tesla liegt und mit steigender Temperatur relativ stark abnimmt. Nachteilig von Eisenpulver gegenüber Ferrit sind die erhöhten Ummagnetisierungsverluste, womit der Einsatz von Eisenpulverkernen auf Schaltfrequenzen f_P<150kHz eingeschränkt ist.

Um Gleichtaktstörungen von der Ausgangsseite gegen die Eingangsseite besser abblocken zu können, wird die Gesamtinduktivität symmetrisch auf Hin- und Rückleiter aufgeteilt ($L_\Delta/2=L_{\Delta+}=L_{\Delta-}$). In einem ersten Schritt wird die Dimensionierung der Induktivität mit einem Eisenpulverkern versucht. Aufgrund der hohen Sättigungsinduktion B_S kann damit eine kompakte Realisierung der Induktivität erreicht werden. Eine anschliessende Berechnung der auftretenden Magnetkernverluste liefert eine Aussage über die praktische Umsetzbarkeit der

Dimensionierung. Sollten zu hohe Kernverluste auftreten, müsste auf eine grössere Kernbauform oder auf eine Auslegung mit Ferritkern übergegangen werden.

Die folgende Auslegung der Induktivität beruht auf Datenblättern der Firma Micrometals[3]. Als Kernmaterial wird -52 gewählt. Dieses Material wird seitens des Herstellers für Induktivitäten in Pulsgleichrichtersystemen mit einer Schaltfrequenz $f_P \geq 50\text{kHz}$ empfohlen. Die Auswahl der Kerngrösse erfolgt auf Basis der maximal zu speichernden Energie $W = 1/2\, L\hat{I}^2_{N,ij,\max}$. Der ausgewählte Kerntyp T184-52 hat einen A_L-Wert (definiert die mit einem Kern je Windungszahlquadrat erzielbare Induktivität) von A_L=159nH. Mit einer Windungszahl von N=52Wdg. ergibt sich eine Induktivität von $L_\Delta / 2 = A_L N^2 \cong 430\mu\text{H}$. Zur Überprüfung der magnetischen Aussteuerung des Kernmaterials wird die maximale magnetische Feldstärke mittels

$$\hat{H}_{\max} = N\hat{I}_{N,ij,\max} / l_{fe} = 72\text{A/cm} = 72 \cdot 0.4\pi\,\text{Oersted} = 90{,}5\,\text{Oested} \tag{2.70}$$

bestimmt. Laut Datenblatt sinkt bei einer DC-Feldstärke dieser Grösse die Permeabilität auf 40% ihres Ausgangswertes (bestimmt bei Strom I=0) ab. Dagegen steigt die wirksame Permeabilität mit steigender Wechselmagnetisierung an. Die in [Fri05] durchgeführten Messungen an der Induktivität mittels Stossspannungsversuch und Impedanzanalysator zeigen diese Materialeigenschaft. Bei der obigen Auslegung der Induktivität resultiert so ein Wert von etwa 630µH im Bereich des Stromnulldurchganges mit einer Abnahme auf etwa 380µH im Strommaximum.

Da bei minimaler Netzspannung ($U_{N,ij,min}$=320V; M=0,65) die Amplitude der Modulspannung nahe der halben Ausgangsspannung liegt, weist der Rippel des Eingangsstromes im Strommaximum nur eine relativ kleine Amplitude auf (s. Bild 2.14–Verlauf (6)) und auch der globale Effektivwert des Stromrippels ist nahe seinem globalen Minimum (s. Bild 2.15(a)). Aus diesem Grund und wegen des gegenüber dem Modulstromrippel für M<0.81 geringeren Phasenstromrippels (infolge der wirksamen Rippelstromreduzierung durch den Nullstrom i_0) wird die Auslegung der Induktivität so belassen, falls die Verlustleistungsberechnung keine zu hohen Werte (<10W) liefert.

Die Berechnung der Kernverluste pro Induktivität wird mittels des globalen Stromrippels durchgeführt. Seine Berechnung in Gl. (2.43) basierte auf der Annahme, dass eine konstante

---

[3] Alle Informationen bezüglich Bauform und Material sind der Homepage http://www.micrometals.com entnommen.

Induktivität wirksam ist, und somit der lokale Stromrippel proportional zur anliegenden lokalen Spannungszeitfläche ($\Delta i = \frac{1}{L}\int u_L dt$) ist, die wiederum proportional der Induktionsänderung ($\Delta B = \frac{1}{NA_{fe}}\int u_L dt$) ist. Somit kann die Induktionsänderung auch über die Stromänderung mittels

$$\Delta B = \frac{L_\Delta / 2}{NA_{fe}} \Delta I_L \tag{2.71}$$

(Faktor 1/2 wegen der Aufteilung auf zwei Induktivitäten) ausgedrückt werden. Neben der konstant angenommen Induktivität wird das gesamte Spektrum des globalen Effektivwertes des Modulstromrippels $\Delta I_{N,ij}=\Delta I_L$ im Sinne einer einfachen Näherung der doppelten Schaltfrequenz zugeordnet. Mit Gl. (2.43) berechnet sich der maximale globale Effektivwert des Stromrippels bei M=0,94 zu $\Delta I_{L,\max} = 278\text{mA}$ (s. Bild 2.15 (a)). Eingesetzt in Gl. (2.71) ergibt sich damit der maximale Effektivwert der Induktion ΔB zu

$$\Delta B_{\max} = \frac{L_\Delta / 2}{NA_{fe}} \Delta I_{L,\max} = \frac{420\mu\text{H}}{52 \cdot 1{,}88\text{cm}^2} 278\text{mA} = 12\text{mT} = 120\text{Gauss}\,. \tag{2.72}$$

Mit der Ummagnetisierungsfrequenz $f_{fe}=2f_P$=100kHz und der aus Datenblattangaben parametrierten *Steinmetz*-Gleichung bestimmt sich der Maximalwert der schaltfrequenten Eisenverluste zu

$$\begin{aligned} P_{fe} &= 22{,}4 \cdot 10^{-9} \cdot f_{fe[kHz]}^{\,1,07} \cdot \Delta B_{[Gauss]}^{\,2,13} \cdot V_{fe[cm^3]} \\ &= 22.4 \cdot 10^{-9} \cdot (100)^{1,07} \cdot 120^{2,13} \cdot 21\text{cm}^3 = 1{,}7\text{W}\,. \end{aligned} \tag{2.73}$$

Die Ummagnetisierung des Magnetkerns mit zweifacher Netzfrequenz kann also hinsichtlich der Kernverluste vernachlässigt werden.

Der Gleichstromwiderstand der Kupferwicklung der Induktivität berechnet sich mit einer mittleren Windungslänge von l_w=64mm, einem Kupferquerschnitt von A_{cu}=1.5mm^2, der Windungszahl von N=52 und dem spezifischen Widerstand von Kupfer bei 70°C von $\rho_{Cu}\big|_{70°C} = 0{,}0211\Omega\text{mm}^2/\text{m}$ zu

$$R_{Cu}\big|_{70°C} = \frac{Nl_W \rho_{Cu}}{A_{cu}} = 47\text{m}\Omega\,. \tag{2.74}$$

Eine Widerstandserhöhung infolge des Skin- und Proximityeffekts, kann aufgrund der geringen Stromrippelamplitude im Vergleich zur Grundschwingungsamplitude (die

Auslegung folgte für 5%) vernachlässigt werden. Die maximalen Gesamtverluste je Induktivität ergeben sich so zu

$$P_L\big|_{70°C} = R_{Cu} I_{N,ij,\max}^2 + P_{fe} = 5{,}7\text{W} + 1{,}7\text{W} = 7{,}4\text{W} . \tag{2.75}$$

Anzumerken ist, dass hierbei die für minimale Modulspannung $U_{N,ij,min}$=320V gültigen ohmschen Verluste mit den für $U_{N,ij}$=460V (M=0,94) auftretenden maximalen Eisenverlusten addiert werden. Somit ist Gl. (2.75) als *worst-case* Abschätzung anzusehen. Im Systemdesign muss jedoch in jedem Fall auf eine ausreichende Wärmeabfuhr von den Induktivitäten an die Umgebung geachtet werden. Vorteilhaft ist es, die Induktivitäten im Kühlluftstrom zu platzieren, um so den Wärmeübergangswiderstand zur Umgebung zu verringern.

2.3.3.8.3 Vergleich der Induktivität mit *Vienna-Rectifier*

An dieser Stelle sei auf die Auslegung der Eingangsinduktivitäten beim *Vienna-Rectifier* in [Kol96a] und auf den in [Kol01] angeführten Vergleich der Induktivitäten von *Vienna-Rectifier* und *Delta-Rectifier* bezüglich Kerngrösse und magnetischer Aussteuerung verwiesen. Wie aus dem Abschnitt zur Systemanalyse hervorgeht, kann der *Delta-Rectifier* in eine Sternersatzschaltung mit impedanzangepassten Induktivitäten L_S=L_Δ/3 umgeformt werden. Der *Vienna-Rectifier* kann direkt durch dieses Ersatzschaltbild (s. Bild 2.2(b)) dargestellt werden, wobei die nullgrössenfreien Umrichterspannungen $u'_{U,i}$ durch $u'_{U,i} = u_{U,i} - 1/3\cdot(u_{U,R}+u_{U,S}+u_{U,T})$ bestimmt sind und L_S mit der Eingangsinduktivität des *Vienna-Rectifier* übereinstimmt. (Die Umrichterspannungen $u_{U,i}$ werden dabei bezogen auf den Mittelpunkt M des DC-Ausganges gemessen.)

Interessant ist nun, dass die beiden Induktivitäten L_S und L_Δ hinsichtlich der magnetischen (netzfrequenten) Aussteuerung mit derselben Kerngrösse ausgeführt werden können. Die in der Sternschaltung um den Faktor $\sqrt{3}$ höhere Stromamplitude durch die Induktivität L_S und die Abnahme der Windungszahl um den Faktor $1/\sqrt{3}$ zur Reduzierung der Induktivität auf L_S=L_Δ/3 führen auf dieselbe magnetische Feldstärke im Kern (H=NI/l_{fe}). Eine mögliche Ausführung der Induktivität mit einem Ringkern ist in **Bild 2.20** vergleichend für den *Delta-Rectifier* und den *Vienna-Rectifier* gezeigt.

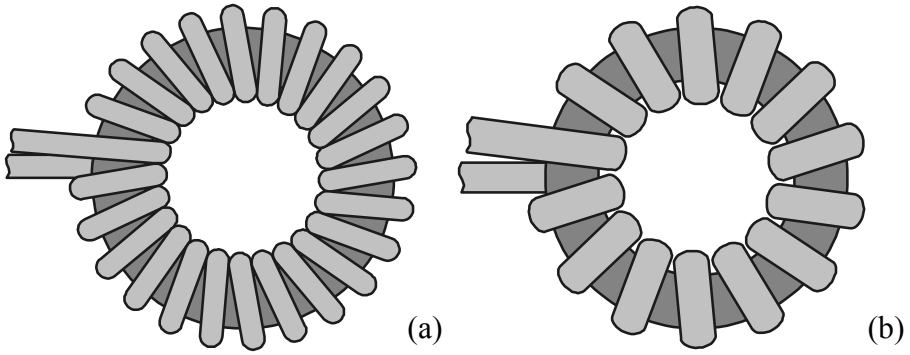


Bild 2.20.: Vergleich der Eingangsinduktivitäten von *Delta-Rectifier* mit *Vienna-Rectifier*. **(a)** zeigt die Variante für den *Delta-Rectifier* als 2-Punkt oder als 3-Punkt Ausführung mit den Kenndaten $L_\Delta=3L_S$, $N=\sqrt{3}\,N_S$, $\hat{I}_L=\hat{I}_{N,ij}=1/\sqrt{3}\,\hat{I}_{N,i}$. **(b)** zeigt die Ausführung der Induktivität L_S für den *Vienna-Rectifier* mit $\hat{I}_L=\hat{I}_{N,i}$.

Werden auch die auftretenden Kern- und Kupferverluste in den Vergleich der beiden Induktivitäten mit aufgenommen, ist folgendes festzustellen: In guter erster Näherung bei Annahme einer konstanten Induktivität können die auftretenden Ummagnetisierungsverluste in den Induktivitäten mit dem globalen Effektivwert des Stromrippels berechnet werden. D.h. für den *Vienna-Rectifier* ist der globale Effektivwert des Phasenstromrippels $\Delta I_{N,i}$ und für den *Delta-Rectifier* der Effektivwert des Modulstromrippels $\Delta I_{N,ij}$ anzusetzen. In Bild 2.15 sind die globalen Effektivwerte der für die Ummagnetisierungsverluste relevanten Ströme dargestellt. Der Vergleich der normierten Werte bei Nennspannung $U_{N,i}$=230V (M=0.81) ergibt:

$$\Delta I_{N,ij,2P}\sim 0{,}16 \qquad \Delta I_{N,i,VR}\sim 0{,}072 \qquad \Delta I_{N,ij,3P}\sim 0{,}038\ .$$

Werden nun die auftretenden Ummagnetisierungsverluste basierend auf die Gln. (2.72) und (2.73) bestimmt, können unter Berücksichtigung der Induktivitätsverhältnisse $L_\Delta=3L_S$ $(L_S=L_{VR})$ und der Zuordnung des gesamten Effektivwertes des Stromrippels zur doppelten Schaltfrequenz (angewendet für den 3-Punkt *Delta-Rectifier* und den *Vienna-Rectifier*) die folgenden Grössenverhältnisse angegeben werden:

$$P_{V,fe}\ \text{2P-Delta} : P_{V,fe}\ \text{VR} : P_{V,fe}\ \text{3P-Delta}$$
$$10{,}2 \quad : \quad 1{,}21 \quad : \quad 1\ .$$

Eine Spektralanalyse des Modulstromrippels des 3-Punkt *Delta-Rectifier* zeigt, dass durch die versetzte Taktung der beiden Hochsetzstellerstufen der Hauptanteil der Harmonischen bzw. der spektralen Leistung um die doppelte Schaltfrequenz gruppiert ist [Gre03a]. Ähnliches gilt auch für den *Vienna-Rectifier*, da die Leistungsschalter in den einzelnen Phasen abhängig vom Vorzeichen der Phasenspannungen um 180° in der Pulsperiode versetzt getaktet werden.

Die zusätzlichen Spektralanteile um die einfache Schaltfrequenz sind in diesem Vergleich den Spektralanteilen um die doppelte Schaltfrequenz zugeordnet, womit die obige Angabe für die Magnetisierungsverluste des *Vienna-Rectifier* eine „worst-case" Aussage darstellt.

Wird die Wicklung aus Bild 2.20 der Berechnung des ohmschen Wicklungswiderstandes zugrunde gelegt, ergibt sich für die Induktivität des *Delta-Rectifier* ($L_{\Delta,2P} = L_{\Delta,3P}$) eine Widerstandserhöhung um Faktor $\sqrt{27}$ (Wicklungslänge $l_{W,\Delta} = \sqrt{3} l_{W,S}$, Drahtdurchmesser $d_{D,\Delta} = d_{D,S} / \sqrt{3}$) im Vergleich mit der des *Vienna Rectifier*. Das Verhältnis der Kupferverluste kann somit unter Berücksichtigung von $I_{N,i} = \sqrt{3}\, I_{N,ij}$ und $R_{cu,VR} = 1/\sqrt{27}\, R_{cu,\Delta}$ bei Vernachlässigung des Skineffekts mit

$$P_{V,Cu}\,2P\text{-}Delta : P_{V,Cu}\,VR : P_{V,Cu}\,3P\text{-}Delta$$
$$\sqrt{3} \quad : \quad 1 \quad : \quad \sqrt{3}$$

angegeben werden. Die Kupferverluste für den *Delta-Rectifier* sind trotz der reduzierten Modulströme aufgrund des stärker als Faktor 3 ansteigenden Wicklungswiderstandes grösser.

Die stark erhöhten Magnetisierungsverluste in den Induktivitäten des 2-Punkt *Delta-Rectifier* sind letztendlich auch eine Konsequenz des in der Dreieckschaltung fliessenden schaltfrequenten Nullstroms i_0. Die Induktivitäten für den 2-Punkt *Delta-Rectifier* sind daher mit einem grösseren Magnetkern und/oder einem Ferritkern auszulegen. Die Gesamtverluste der Induktivitäten des 3-Punkt *Delta-Rectifier* sind demgegenüber nur etwas grösser als für den *Vienna-Rectifier*.

Vergleicht man den normierten globalen Effektivwert des Netzstromrippels für den 3-Punkt *Delta-Rectifier* (s. Bild 2.16(d)) mit dem des *Vienna-Rectifier* (*s.* Bild 2.15) für das angenommene Verhältnis von $L_\Delta/3 = L_S$, beträgt dieser im Nennspannungspunkt ($U_{N,i}$=230V / M=0,81) nur $\Delta I_{N,i,n}$ ~0,038 im Gegensatz zu $\Delta I_{N,i,VR}$ ~0.072. Dies ist die Folge der wirksamen Rippelstromreduktion durch den Nullstrom i_0.

2.3.3.8.4 Ausgangskapazität

Die Ausgangskondensatoren werden aufgrund der hohen, zur Spannungsglättung erforderlichen Kapazität als Aluminium-Elektrolytkondensatoren ausgeführt. Der Minimalwert der Kapazität berechnet sich für einen maximal zulässigen Ausgangsspannungsrippel von $\Delta u_{O,p\text{-}p} < 4\%\ U_O$ mit doppelter Netzfrequenz zu

$$C_{\min} = \frac{P}{U_O}\frac{1}{\omega_N u_{O,p\text{-}p}} = 435\mu\text{F}. \tag{2.76}$$

Dieser Kapazitätswert ist durch die Serienschaltung der Kondensatoren C_+ und C_- zu realisieren. Dafür werden für C_+ und C_- je zwei parallel geschaltete Kondensatoren des Typs *Rubycon* MXG 470µF/450V gewählt. Für die Serienschaltung resultiert somit ein Kapazitätswert von C=470µF. Der frequenzabhängige Ersatzserienwiderstand von Elektrolytkondensatoren sinkt mit zunehmender Frequenz bis ca. 10kHz; bezogen auf 100Hz tritt typisch eine Verringerung um einen Faktor 1,5…1,8 auf, womit die Stromanteile bei hohen Frequenzen geringere Verluste als niederfrequente Ströme gleichen Effektivwertes verursachen. Um die Rechnung möglichst einfach zu halten, wird auf die Berücksichtigung der Frequenzabhängigkeit des *ESRs* verzichtet und der angegebene Wert bei 100Hz im gesamten Frequenzbereich angewendet ($ESR_{100Hz}=0{,}3\Omega$).

Die auftretende maximale Verlustleistung aller Kondensatoren eines Moduls beträgt

$$P_C\big|_{85°C} = 2I_{C,\max}^2 \cdot ESR/2 = 11{,}5\,\text{W}. \tag{2.77}$$

Es ist zu überprüfen, ob der maximale Effektivwert des Kondensatorstromes $I_{C,max}$ unterhalb eines zulässigen Grenzwertes liegt, damit eine thermische Überbelastung vermieden und eine ausreichend hohe Lebensdauer der Kondensatoren gewährleistet ist. Der Grenzwert beruht auf Datenblattangaben des Herstellers und beträgt pro Kapazität 4,2 Ampere für eine Lebensdauer von >6500h und einer Umgebungstemperatur T_{amb} = 85°C. Mit Gl. (2.63) berechnet sich die maximale Strombeanspruchung im vorliegendem Fall zu $I_{C,max}$=6,2A und liegt somit unterhalb des Grenzwertes für die Parallelschaltung von zwei Kondensatoren. Mit der Annahme einer maximalen Umgebungstemperatur im Bereich der Kondensatoren von 65°C bestimmt sich die zu erwartende Lebensdauer von >50000h.

2.3.3.9 Halbleiterverluste und Auslegung des Kühlkörpers

Die Halbleiterverluste setzen sich aus Leit- und Schaltverlusten zusammen. Netzfrequente Schaltverluste in den Thyristoren können vernachlässigt werden. Die Leitverluste für die Thyristoren berechnen sich mit

$$P_{D_N,LV} = U_F \bar{I}_{D_N} + r_D I_{D_N}^2. \tag{2.78}$$

Die Leitverluste in einem MOSFET werden mit

$$P_{T,LV} = r_{DS(on)} I_T{}^2 \tag{2.79}$$

und die anfallenden Schaltverluste mit

$$P_{T,SV} = (k_{1,ON} + k_{2,OFF}) \bar{I}_{N,ij} f_s \tag{2.80}$$

bestimmt. Die in den Freilaufdioden anfallenden Leitverluste berechnen sich mit

$$P_{D_F,LV} = U_F \bar{I}_{D_F} + r_D I_{D_F}^2 \tag{2.81}$$

und die Schaltverluste mit

$$P_{D_F,SV} = k_D \bar{I}_{N,ij} f_s \,. \tag{2.82}$$

In der **Tabelle 2.7** sind die maximal anfallenden Verlustleistungen in den Halbleiterkomponenten, die thermischen Übergangswiderstande von der Halbleiter-Sperrschicht bis zum Kühlkörper sowie die resultierende Sperrschichttemperatur bei der Annahme einer Kühlkörpertemperatur von 85°C angegeben. Die Annahme der Kühlkörpertemperatur von 85°C ist angelehnt an die industrielle Praxis. Es zeigt sich, dass mit 85°C ein guter Kompromiss zwischen dem erforderlichen Wärmeübergangswiderstand von Kühlkörper zur Umgebung bzw. dem Kühlkörpervolumen und der Einhaltung der maximal zulässigen Halbleiter-Sperrschichttemperatur $T_{j,max}$ mit technisch realisierbaren Wärmeübergangswiderständen zwischen Halbleiterbauteil und Kühlkörper möglich ist. Die durchgeführte thermische Dimensionierung beruht auf über eine Netzhalbperiode gemittelten Stromwerten und vernachlässigt die i. a. geringe Schwankung der Sperrschichttemperatur innerhalb der Netzperiode.

Tabelle 2.7: Die Halbleiterkomponenten mit ihren maximalen Verlusten, der maximal auftretenden mittleren Sperrschichttemperatur und den Wärmeübergangswiderständen.

Komponente	maximale Gesamtverluste (Leit-/ Schaltverluste)	maximale Sperr-schichttemperatur (gemittelt)	Wärmeübergangs-widerstand $R_{th,J\text{-}C}$ / $R_{th,C\text{-}HS}$
Netzthyristor	$P_{D_N,V} = 4.8\text{W}$ ($P_{D_N,LV} = 4.9\text{W}$)	$T_{j,max}$ = 90°C	$R_{th,J\text{-}C}$ = 0,8K/W $R_{th,C\text{-}HS}$ = 0,25K/W
MOSFET	$P_{T,V} = 25{,}7\text{W}$ ($P_{T,LV} = 7{,}6\text{W} / P_{T,SV} = 18{,}1\text{W}$)	$T_{j,max}$ = 99°C	$R_{th,J\text{-}C}$ = 0,3K/W $R_{th,C\text{-}HS}$ = 0,25K/W
Freilaufdiode	$P_{D_F,V} = 7{,}1\text{W}$ ($P_{D_F,LV} = 5{,}5\text{W} / P_{D_F,SV} = 1{,}6\text{W}$)	$T_{j,max}$ = 93°C	$R_{th,J\text{-}C}$ = 0,83K/W $R_{th,C\text{-}HS}$ = 0,25K/W

Weist die errechnete Sperrschichttemperatur einen zu geringen Abstand zur maximal zulässigen Sperrschichttemperatur auf, muss auf eine genauere, die netzfrequente Schwankung berücksichtigende Temperaturberechnung übergegangen werden. Das dynamische thermische Verhalten eines Halbleiterbauteils wird durch den Hersteller z.B. als Ersatzschaltbild bestehend aus Wärmekapazitäten und Wärmeübergangswiderständen angegeben. Kann auf ein solches thermisches Modell zugegriffen werden, können mit den berechneten lokalen Strommittel- und -effektivwerten die Gesamtverluste bestimmt werden ([Dro05a], [Dro03]). In [Dro05a] wird an einem 3-Phasen-Wechselrichtersystem bei einer Leistung von 5kW gezeigt, dass die leistungselektronischen Schalter einem Temperaturhub von etwa nur ±4°C während einer Wechselrichterperiode (Ausgangsfrequenz f_M=50Hz) ausgesetzt sind. Diese sehr kleine Temperaturschwankung zeigt auf, dass infolge der thermischen Zeitkonstanten eines Halbleiterchips (5…100ms) die 100Hz Leistungspulsation eines *Delta-Rectifier* Moduls sicher keine grössere Temperaturschwankung am Halbleiterchip als ±10°C hervorruft.

Die maximal auftretenden Gesamthalbleiterverluste ergeben sich aus der Summe der einzelnen Verlustterme zu

$$P_{V,ges} = 4P_{V,D_N} + 2P_{V,T} + 2P_{V,D_F} = 85{,}2\text{W}\,. \tag{2.83}$$

Werden die Halbleiterverluste als gleich verteilt auf dem Kühlkörper angenommen, darf dieser einen maximalen Wärmewiderstand zur Umgebung von

$$R_{th,HS-amb} = (T_{HS} - T_{amb}) / P_{V,ges} = (85°\text{C} - 45°\text{C}) / 85{,}2\text{W} = 0{,}47\text{K/W} \tag{2.84}$$

aufweisen. Ausgehend vom notwendigen Flächenbedarf um alle Halbleiterbauteile auf dem Kühlkörper platzieren zu können, wird ein passendes Kühlkörperprofil (AAVID 05416) ausgewählt [Fri05]. Die Bestimmung der Kühlkörperlänge (l=95mm) erfolgt mit einem Berechnungsprogramm des Herstellers bei Vorgabe einer Kühlluftgeschwindigkeit von 2,55m/s im Kühlerprofil. Zwei 24V-Lüfter des Typs *NMB DC2410ML* mit je einer Anschlussleistung von 2,4W erbringen die geforderte Luftmenge je Modul.

2.3.4 Bestimmung der Gesamtverlustleistung

Zusätzlich zu den im Leistungsteil anfallenden Verlustleistungen werden in die Gesamtbilanz des Systems folgende Verlustterme einbezogen:

- Leistungsaufnahme der Ansteuerschaltungen und der Regelelektronik $P_{V,E}$ = 15W

- Leistungsaufnahme der insgesamt sechs Lüfter $P_{V,FAN}$ = 15W
- Ohmsche Verluste von Verbindungsstellen und Leiterbahnen $P_{V,PCB}$ = 20W

Bild 2.21 veranschaulicht die Aufteilung der Verluste auf die einzelnen Systemkomponenten für den gesamten Eingangsspannungsbereich. In **Tabelle 2.8** sind für verschiedene Eingangsspannungen die Strombelastungen der Komponenten und die anfallenden Verluste für den Nennlastpunkt dargestellt. Es zeigt sich, dass mit steigender Eingangsspannung der Systemwirkungsgrad stetig ansteigt. Dies ist vor allem durch die reduzierten Leit- und Schaltverluste in den beiden MOSFETs, die reduzierten Leitverluste in der Eingangsgleichrichtung und die Abnahme der ohmschen Verluste in den Induktivitäten und Kapazitäten bedingt. Der Verlauf des Systemwirkungsgrades für Nennspannung und an den Grenzen des Eingangsspannungsbereiches ist in **Bild 2.22** in Abhängigkeit der Ausgangsleistung dargestellt. Es zeigt sich, dass der berechnete und der über Messung der Ein- und Ausgangsleistung ermittelte Systemwirkungsgrad der beiden Labormuster A und B, angegeben in Abschnitt 2.4.1.5, respektive 2.4.2.5, sehr gut übereinstimmen. Die Abweichung beträgt typisch 0,2 …0,3 %.

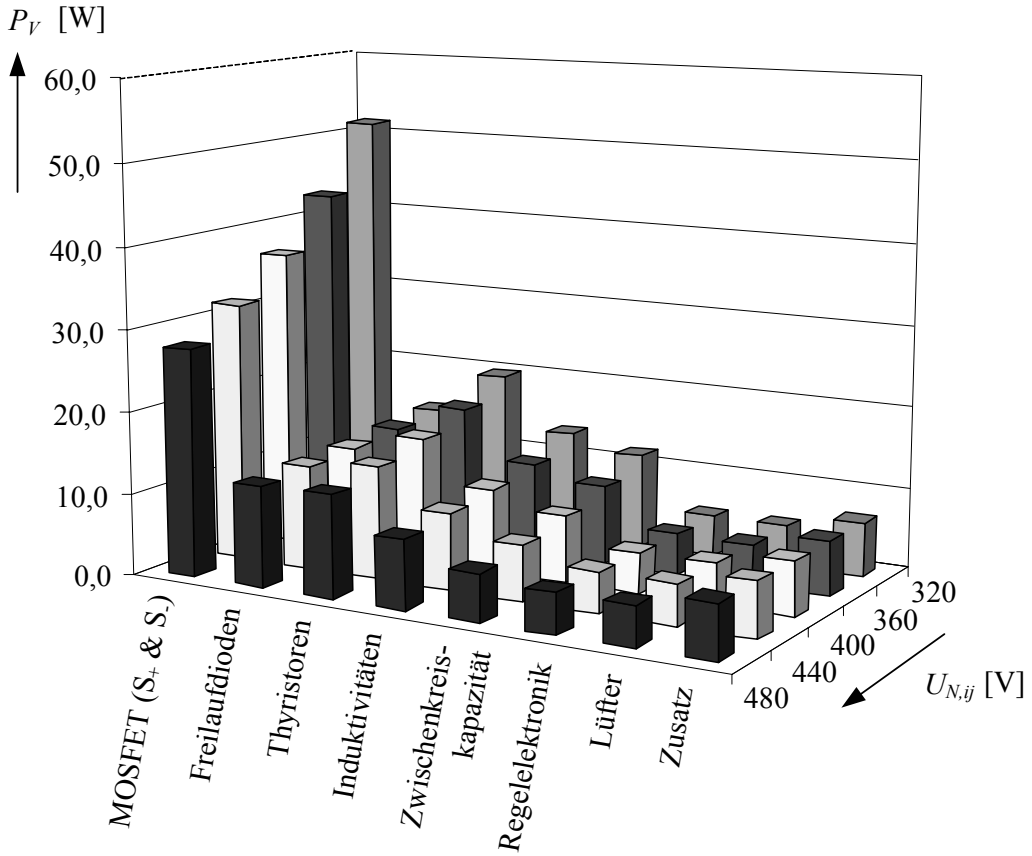


Bild 2.21: Verlustleistungsaufteilung bezogen auf ein Einzelmodul des 3-Punkt *Delta-Rectifier* für verschiedene Eingangsspannungen $U_{N,ij}$.

Tabelle 2.8: Verlustaufteilung des Gesamtsystems (3 × Modulverluste plus Zusatzverluste, ohne Verluste im EMV-Eingangsfilter, $P_{V,filt} \approx 20W$) in Abhängigkeit der Eingangsspannung für Nennleistung.

System-Nenneingangsleistung	P_N=	10500	10500	10500	10500	10500	W
Modul-Nenneingangsleistung	$P_{N,M}$=	3500	3500	3500	3500	3500	W
Phasenspannung	$U_{N,i}$=	184	207	230	253	276	V
Modulspannung	$U_{N,ij}$=	319	359	398	438	478	V
Modulationsindex	M=	0,65	0,73	0,81	0,89	0,98	-
Eingangsstrom (Spitzenwert)	$I_{N,i}$=	26,90	23,91	21,52	19,56	17,93	A
Modulstrom (Effektivwert)	$I_{N,ij}$=	10,98	9,76	8,79	7,99	7,32	A
Modulstrom (Mittelwert)	$I_{N,ij}$=	9,89	8,79	7,91	7,19	6,59	A
Ausgangsspannung	U_O=	800	800	800	800	800	V
Schaltfrequenz	f_P=	50	50	50	50	50	kHz
MOSFET $\boldsymbol{S_+}$, $\boldsymbol{S_-}$							
Stromeffektivwert	I_T=	7,93	6,64	5,57	4,67	3,89	A
Strommittelwert	I_T=	5,51	4,41	3,53	2,82	2,22	A
Leitverluste	$P_{LV,T}$=	7,6	5,3	3,7	2,6	1,8	W
Schaltverluste	$P_{SV,T}$=	18,1	16,1	14,5	13,2	12,1	W
Gesamtverluste (S_+ und S_-)	$P_{V,T}$=	51,4	42,8	36,5	31,6	27,8	W
Freilaufdiode $\boldsymbol{D_{F+}}$, $\boldsymbol{D_{F-}}$							
Stromeffektivwert	I_{DF}=	7,59	7,16	6,79	6,48	6,20	A
Strommittelwert	I_{DF}=	4,38	4,38	4,38	4,38	4,38	A
Leitverluste	$P_{LV,DF}$=	5,5	5,4	5,3	5,2	5,1	W
Schaltverluste	$P_{SV,DF}$=	1,6	1,4	1,3	1,2	1,1	W
Gesamtverluste (D_{F+} und D_{F-})	$P_{V,DF}$=	14,2	13,6	13,1	12,6	12,3	W
Thyristoren $\boldsymbol{D_{N,n}}$							
Stromeffektivwert	I_{DN}=	7,77	6,90	6,21	5,65	5,18	A
Strommittelwert	I_{DN}=	4,94	4,39	3,95	3,60	3,30	A
Leitverluste	$P_{LV,DN}$=	4,9	4,3	3,8	3,4	3,1	W
Gesamtverluste (alle 4)	$P_{V,DN}$=	19,7	17,2	15,3	13,8	12,5	W
Gesamten Halbleiterverluste pro Modul	$\boldsymbol{P_{V,ges}}$=	**85,3**	**73,6**	**64,8**	**58,0**	**52,6**	**W**
Induktivität $L_{\Delta+}$, $L_{\Delta-}$							
Stromeffektivwert	I_L=	10,98	9,76	8,79	7,99	7,32	A
Globaler Effektivwert des Stromrippels	ΔI_L=	0,21	0,23	0,26	0,27	0,28	A
Globaler Effektivwert der Induktion	ΔB=	18,2	19,8	22,1	23,6	23,7	mT
Ohmsche Verluste	P_{Cu}=	5,7	4,5	3,6	3,0	2,5	W
Magnetisierungsverluste	P_{fe}=	1,0	1,2	1,5	1,7	1,7	W
L-Gesamtverluste ($\boldsymbol{L_\Delta = L_{\Delta+}}$ & $\boldsymbol{L_{\Delta-}}$)	$\boldsymbol{P_{V,L}}$=	**13,3**	**11,3**	**10,2**	**9,4**	**8,4**	**W**
Kapazität $\boldsymbol{C}$							
Stromeffektivwert	I_C=	6,21	5,67	5,20	4,78	4,39	A
C-Gesamtverluste ($\boldsymbol{C = 2C_+}$ & $\boldsymbol{2C_-}$)	$\boldsymbol{P_{V,C}}$=	**11,6**	**9,6**	**8,1**	**6,8**	**5,8**	**W**
Regelelektronik u. Ansteuerschaltung	$P_{V,E}$=	15,0	15,0	15,0	15,0	15,0	W
Lüfter (Gesamtsystem)	$P_{V,FAN}$=	15,0	15,0	15,0	15,0	15,0	W
Zusatzverluste (Gesamtsystem)	$P_{V,PCB}$=	20,0	20,0	20,0	20,0	20,0	W
Modulgesamtverluste	$\boldsymbol{P_{V,M}}$=	**126,8**	**111,2**	**99,8**	**90,9**	**83,5**	**W**
Systemgesamtverluste	$\boldsymbol{P_{V,ges}}$=	**380,5**	**333,6**	**299,4**	**272,7**	**250,4**	**W**
Wirkungsgrad	$\boldsymbol{\eta}$=	**96,4**	**96,8**	**97,1**	**97,4**	**97,6**	**%**

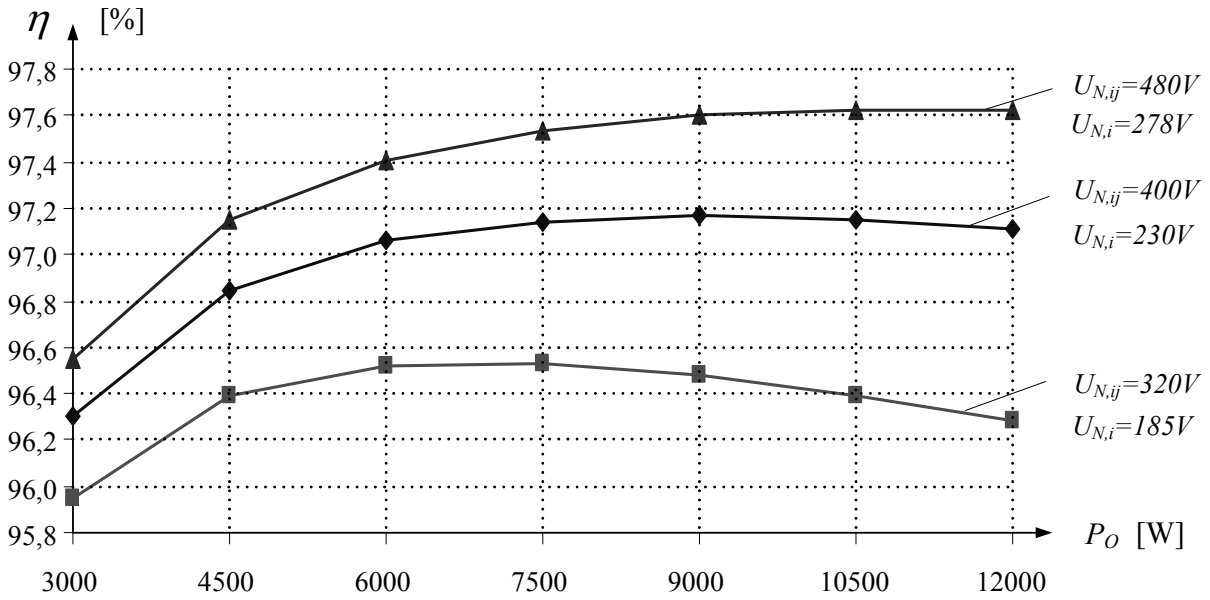


Bild 2.22: Analytisch bestimmter Systemwirkungsgrad (ohne die Verluste im Eingangsfilters, $P_{V,filt} \approx 20W$) für den spezifizierten Eingangsspannungsbereich ($U_{N,ij}$=320…480V) bei symmetrischen Netzverhältnissen in Abhängigkeit der Ausgangsleistung.

2.4 Systemdesign, Regelung, Messergebnisse

Dieses Kapitel gliedert sich in 3 Hauptabschnitte:

- Prototyp A des *Delta-Rectifier*: Realisierung durch drei separate Einphasen-Pulsgleichrichtereinheiten mit modular ausgeführtem hybridem Regelungskonzept, d.h. mit einer unterlagerten analogen Stromregelung und einer digitalen Spannungsregelung je Modul; Systembeschreibung, Regelungsauslegung, Messergebnisse.
- Prototyp B des *Delta-Rectifier*: Die Modularität ist nur noch auf der Leistungshardware-Ebene umgesetzt. Die Leistungsmodule sind mit einer gemeinsamen Messwerterfassungs- und Regelungsplatine verbunden. Die Module werden über eine gemeinsame volldigitale DSP-Regelung mit zusätzlicher PLD-Platine für die Generierung der PWM-Ansteuersignale gesteuert; Systembeschreibung, Messergebnisse.
- Ausblick auf ein Regelkonzept für ein Stromversorgungssystem bestehend aus den drei AC/DC-Eingangsmodulen nach dem Konzept des *Delta-Rectifier* mit angeschlossenen potenzialtrennenden DC/DC-Konvertern, die einen gemeinsamen DC-Ausgang bilden.

Für die beiden ersten Abschnitte ist der Schwerpunkt der Darstellung auf die Auslegung des Regelungskonzeptes gelegt. Der Aufbau des Leistungsteils, die Ansteuerung der Leistungsschalter und die Implementierung des Schutzkonzeptes kann aufgrund des Umfanges nicht in voller Detailliertheit angegeben werden. Es werden aber an entsprechenden Stellen Verweise auf Semester- und Diplomarbeiten angegeben, denen ergänzende Informationen zu entnehmen sind. Am Ende der Ausführungen zu den beiden Prototypen (A und B) werden die zugehörigen experimentellen Ergebnisse gezeigt.

2.4.1 *Delta-Rectifier* (Prototyp A) mit hybrider Regelung

Die erste Ausführung des *Delta-Rectifier* basiert auf einem externen Zusammenschluss von drei Einphasen-PFC-Modulen und wurde vorrangig für den experimentellen Nachweis der Rippelstromkompensation realisiert. Jedes Modul stellt für sich eine abgeschlossene Einphasen-PFC-Einheit dar und ist mit einer eigenen

- Hilfsspannungsversorgung mittels eines 2-Schalter Sperrwandlers,

- Mess- und Ansteuerelektronik,
- hybriden Regelung, d.h. mit einer schnellen analogen Stromregelung und einer überlagerten digitalen Ausgangsspannungsregelung

ausgeführt.

2.4.1.1 Leistungsteil

In **Bild 2.23** ist der Leistungsteil eines Moduls dargestellt. Die Eingangsspannung für den Sperrwandler zur Eigenstromversorgung wird über eine B6-Diodenbrücke realisiert (*Aux*+, *Aux*-). Das Massepotenzial der Mess- und Steuerelektronik wird auf einen durch gleiche ohmsche Widerstände mit parallelliegenden Glättungskondensatoren gebildeten künstlichen Sternpunkt bezogen (CTRL_GND). Die Vorladung der Ausgangskondensatoren bei Betriebsbeginn (auf den Spitzenwert der verketteten Eingangsspannung) erfolgt über die Aktivierung der Thyristoren T_1, T_2, T_3 zusammen mit dem Vorlade-MOSFET S_{VL}, der als Stromquellenschaltung betrieben einen begrenzten Aufladestrom vorgibt. Die Ansteuerung der Thyristoren erfolgt über potenzialfrei steuerbare TRIAC-Treiberstufen. Für die Strommessung wird ein kompensierender Hall-Stromsensor (LEM) eingesetzt. Die Messung der gleichgerichteten Moduleingangsspannung $|u_{N,ij}|$ und der Teilausgangsspannungen $U_{O,ij+}, U_{O,ij-}$ erfolgt mittels einer Differenzverstärkerschaltung.

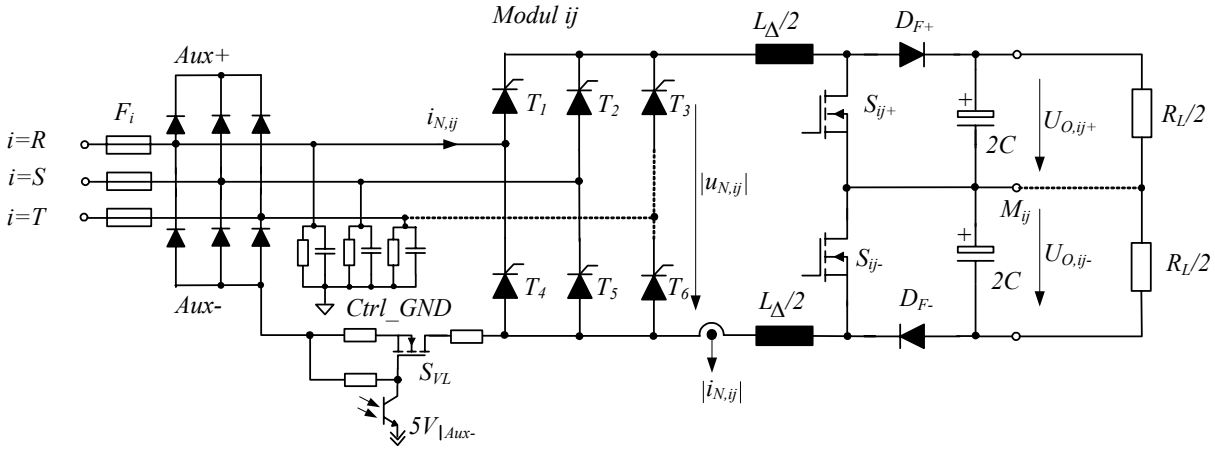


Bild 2.23: Ausführung der Leistungsteils als 3-Punkt Topologie. Über die B6-Diodenbrücke wird die Hilfsspannungsversorgung gespiesen. Die Mess- und Steuerelektronik ist auf den künstlichen Sternpunkt CTRL_GND bezogen. Die Vorladung der Ausgangskondensatoren erfolgt über eine Stromquellenschaltung (S_{VL}). Der strichliert eingezeichnete Thyristorzweig ist für den Normalbetrieb inaktiv. Die Ausgangsbelastung ist ersatzweise durch die Serienschaltung von zwei Widerständen $R_L/2$ dargestellt. Abhängig von der Topologie des angeschlossenen DC/DC-Konverters ist der Mittelpunkt M_{ij} des Zwischenkreises offen oder belastet. Die für die Regelung erfassten Messgrössen sind $|u_{N,ij}|$, $|i_{N,ij}|$, $U_{O,ij+}$, $U_{O,ij-}$.

Details zu Realisierung der Hilfsspannungsversorgung, Mess- und Ansteuerelektronik sind [Wag02] zu entnehmen.

2.4.1.2 Regelungs- und Schutzkonzept

Die grundsätzlichen Anforderungen an die Regelung sind:

- Regelung der Gesamtausgangsspannung auf einen vorgegebenen Sollwert von $U_{O,ij}^{*}$=800V,
- sinusförmige Führung des Phasenstromes $i_{N,i}$ in Phase zur Eingangsspannung mit einer maximalen Stromverzerrung von THD<5 % (ohmsches Netzverhalten),
- Balancierung der Teilausgangsspannungen ($U_{O,ij+} = U_{O,ij-} = U_O/2$).

Um den unterschiedlichen Anforderungen an die Regeldynamik der einzelnen Systemgrössen gerecht zu werden, kommt eine kaskadierte Regelung zum Einsatz. Wie in der Systemanalyse beschrieben, kann die sinusförmige Führung der Phasenströme mit minimalen Eingangsstromrippel über die Regelung der Modulströme und einer Synchronisierung der Trägersignale (i_{D+} und i_{D-}) für aller 3 Module erreicht werden. In Hinblick auf die erforderliche Bandbreite für die sinusförmige Führung des Modulstromes phasengleich mit der Modulspannung wird die Stromregelung in Analogtechnik ausgeführt. Die Ausgangsspannungsregelung und die Balancierung der Teilausgangsspannungen kann aufgrund der geringen Regeldynamik vorteilhaft in einem *Low-cost Microcontroller* (μC) implementiert werden. Die Durchtrittsfrequenz der Ausgangsspannungsregelung ist wegen des prinzipbedingten 100Hz-Spannungsrippels an den Ausgangskondensatoren - hervorgerufen durch die Leistungspulsation mit doppelter Netzfrequenz – unterhalb von 20Hz zu legen. Neben der Spannungsregelung sind im μC auch die Vorladung der Ausgangskondensatoren, die Ansteuerung der Thyristoren, der Schutz vor Eingangsunterspannung, der Übergang in den Aussetzbetrieb bei sehr kleinen Ausgangsleistungen, die Begrenzung der Ausgangsleistung und das Fehlermonitoring realisiert ([Wag02]). Zusätzlich sorgt der μC eines Moduls für die Synchronisation der Trägersignale um einen minimalen Phasenstromrippel zu erreichen. In **Bild 2.24** ist der modulare Aufbau mit der hybriden Regelungsstruktur veranschaulicht. Die Controllereinheit des Moduls ij=RS (μC_{RS}) gibt ein Taktsignal f_P zur Generierung von synchronen Trägersignalen (i_{D+} und i_{D-}) vor.

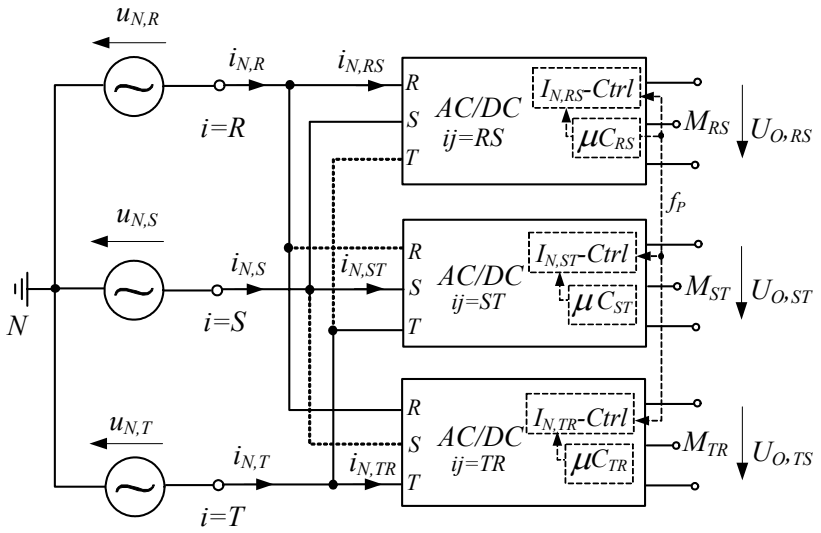


Bild 2.24: Modularer Aufbau des Gesamtsystems. Jedes AC/DC-Modul stellt für sich eine autarke Einheit dar. Die Synchronisation der Trägersignale wird durch das gemeinsame Taktsignal f_P erzielt.

Neben der Stromregelung ist auch die Überwachung des Momemtanwertes des Modulstromes und der Ausgangsspannung hinsichtlich eines Überschreitens einer Maximalschwelle analog ausgeführt. Werden die Grenzwerte überschritten, wird umgehend eine Pulssperre für das betroffene Modul aktiviert. Diese Schutzfunktion mit einer Ansprechzeit von wenigen µs ist erforderlich, um bei Netzspannungssprüngen oder bei Lastabwürfen mit ausreichender Dynamik eingreifen zu können. Die softwaremässigen Schutzfunktionen dienen zur Begrenzung der zu übertragenen Leistung, indem ein Eingangsleitwert eine Maximalschwelle nicht überschreiten darf. In weiterer Folge werden für eine verkürzte Darstellung die Indizes *ij* zur Kennzeichnung modulbezogener Grössen weggelassen. ($u_{N,ij} \rightarrow u_N$, $i_{N,ij} \rightarrow i_N$, $u_{O,ij} \rightarrow u_O$, $u_{O,ij+} \rightarrow u_{O+}$, $u_{O,ij-} \rightarrow u_{O-}$)

2.4.1.3 Auslegung der Systemregler

Die Grundidee der hybriden Regelung ist, die Vorteile der analogen Lösung (hohe Bandbreite, geringe Verzögerungszeit, eine durch die Schaltungsstruktur bestimmte und unmittelbar prüfbare Funktion) für die Realsierung einer hoch dynamischen Stromregelung auszunützen, und die im Vergleich dazu viel langsamere Ausgangsspannungsregelung und -symmetrierung sowie die Steuerung verschiedener Systemzustände (z.B. Hochlauf, Aussetzbetrieb bei Schwachlast) flexibel hinsichtlich Programmierbarkeit in einem µC zu implementieren. Um eine Multiplikation in der analogen Stromregelung zu vermeiden, kommt ein sehr einfaches Stromregelkonzept zum Einsatz ([Ben99], [Raj99], [Min01a], [Stö01]).

2.4.1.3.1 Analoge Stromregelung

Das multipliziererfreie Stromregelkonzept verzichtet auf einen expliziten Soll-Ist-Vergleich des Modulstromes und zeigt eine ausreichend hohe Bandbreite der resultierenden Übertragungsfunktion $i_N(s)/u_N(s)$. **Bild 2.25** zeigt das Wirkprinzip des Stromregelkonzeptes. Der tiefpassgefilterte (geglättete) Modulstrom i_N wird direkt mit einem schaltfrequenten Dreiecksignal i_D mit der Amplitude $\hat{I}_D$ verschnitten. Das resultierende pulsbreitenmodulierte Ansteuersignal für die Leistungsschalter weist eine relative Ausschaltdauer

$$d' = \frac{i_N}{\hat{I}_D} \tag{2.85}$$

auf. Bei Vernachlässigung des mittleren Spannungsabfalls $\overline{u}_L$ über der Induktivität ($j\omega_N L \cdot \underline{I}_N \cong 0$) muss für den stationären Zustand ($di_N/dt=0$) und bei kontinuierlicher Stromführung in der Induktivität die Eingangsspannung gleich dem Mittelwert der Umrichterspannung

$$u_N = \overline{u}_U = d' U_O \tag{2.86}$$

sein. Kombiniert man die Gleichungen (2.85) und (2.86), ergibt sich ein Modulstrom i_N, der bei konstanter Vorgabe der Trägeramplitude $\hat{I}_D$ und konstanter Ausgangsspannung U_O (der prinzipbedingten 100Hz Ausgangsspannungsrippel wird vernachlässigt) proportional zur Modulspannung u_N ist,

$$i_N = d' \hat{I}_D = \frac{\hat{I}_D}{U_O} u_N \,. \tag{2.87}$$

Die Voraussetzung für die Proportionalität ist eine ausreichend hohe Bandbreite der Übertragungsfunktion zwischen Modulstrom i_N und Modulspannung u_N, also die Bandbreite des Moduleingangsleitwerts $G(s)$

$$\frac{i_N(s)}{u_N(s)} = \frac{\frac{1}{sL}}{1 + \frac{1}{sL} M_I \frac{U_O}{\hat{I}_D}} \approx \frac{\hat{I}_D}{k_{M,I} U_O} \frac{1}{1 + sL \frac{\hat{I}_D}{k_{M,I} U_O}} = G \frac{1}{1 + sLG} \,. \tag{2.88}$$

Eine Überprüfung der Knickfrequenz der Übertragungsfunktion für den Nennlastpunkt (U_O=800V, $\hat{U}_N$=565V, $P_{M,nenn}$=3500W, $\hat{I}_D/k_{M,I} = 2P_{M,nenn}/\hat{U}_N * Uo/\hat{U}_N$= 17.54A, G=0,022A/V) ergibt

$$\omega_C = \frac{1}{LG} = \frac{1}{840e^{-6}\,0{,}022} = 54300 s^{-1}. \tag{2.89}$$

Das Messglied der Strommessung ist durch ein Tiefpassfilter 1. Ordnung

$$M_I = \frac{k_{M,I}}{1+sT_1}\,[\mathrm{V/A}] \qquad \text{mit } k_{M,I} = 0{,}3\mathrm{V/A} \quad \text{und } T_I = \frac{1}{2\pi 15\mathrm{kHz}} = 10{,}6\,\mu s \tag{2.90}$$

realisiert.

Wird M_I in erster Näherung als Proportionalglied $k_{M,I}$ angenommen, dann ergibt sich eine Knickfrequenz f_C in Abhängigkeit der Modulleistung $P_M = GU_N^2$ bei Nennspannung $U_N = 400\mathrm{V}$ von

$$P_O = 1000\mathrm{W} \ldots 3500\mathrm{W} \rightarrow f_C = 1/(2\pi * LG) = 30\mathrm{kHz} \ldots 8{,}6\mathrm{kHz}. \tag{2.91}$$

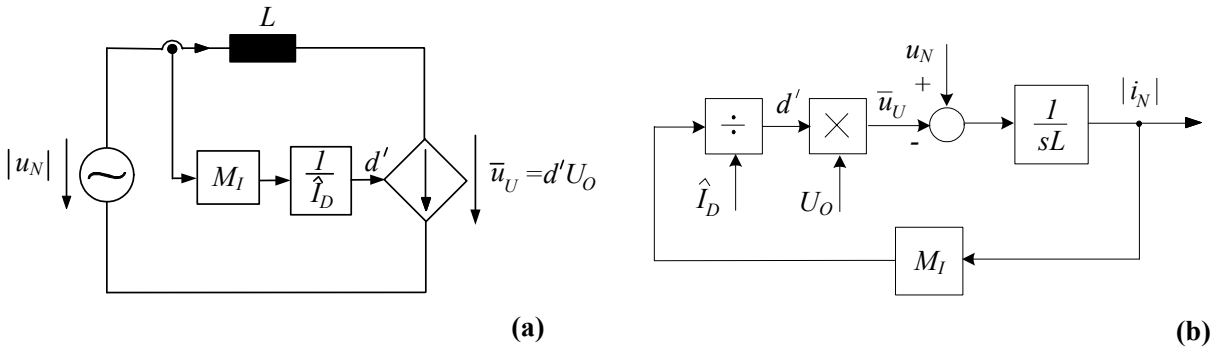


Bild 2.25: Wirkprinzip der multipliziererfreien Stromregelung. **(a)** Ersatzschaltbild für über eine Taktperiode T_P gemittelte Grössen ($d'=1-d$). **(b)** Regelungstechnisches Modell mit konstanten Werten für die Multiplikation und Division.

Die multipliziererfreie Stromregelung kann mittels Störansatz ($x = X + \tilde{x}$) in das in **Bild 2.26** gezeigte linearisierte Streckenmodell für den Stromregelkreis übergeführt werden. Nachfolgend sind in der Herleitung die Augenblickswerte mit Grossbuchstaben (X) und die Abweichung davon mit Kleinbuchstaben ($\tilde{x}$) gekennzeichnet. Die Betragsbildung des Modulstroms ist für eine bessere Übersicht weggelassen. Die Linearisierung der Division des gemessenen Modulstromes mit der Amplitude des Trägersignals ergibt

$$D' + \tilde{d}' = \frac{I_{N,m} + \tilde{i}_{N,m}}{\hat{I}_D + \tilde{\hat{i}}_D} \approx \frac{\left(I_{N,m} + \tilde{i}_{N,m}\right)\cdot\left(\hat{I}_D - \tilde{\hat{i}}_D\right)}{\hat{I}_D{}^2} \approx \frac{I_{N,m}}{\hat{I}_D} + \frac{\tilde{i}_{N,m}}{\hat{I}_D} - \frac{I_{N,m}\tilde{\hat{i}}_D}{\hat{I}_D{}^2} \rightarrow \tag{2.92}$$

$$\tilde{d}' \approx \frac{\tilde{i}_{N,m}}{\hat{I}_D} - \frac{I_{N,m}\tilde{\hat{i}}_D}{\hat{I}_D{}^2} = \frac{\tilde{i}_{N,m}}{\hat{I}_D} - \frac{D'\tilde{\hat{i}}_D}{\hat{I}_D} \ ,$$

und führt das nichtlineare Streckenmodell in Bild 2.25(b) in das linearisierte Streckenmodell, dargestellt in Bild 2.26(a)**,** über. Durch Vorziehen des negativen Vorzeichens vor die Summierstelle ergibt sich das linearisierte Kleinsignalersatzmodell für die geschlossene Stromregelstrecke laut Bild 2.26(b). Die Führungsübertragungsfunktion der Stromregelstrecke $T_I(s)$ ergibt sich somit zu

$$T_I(s) = \frac{i_{N(s)}}{\hat{i}_D(s)} = \frac{D'}{\hat{I}_D} \frac{\frac{U_O}{sL}}{1 + \frac{M_I}{\hat{I}_D}\frac{U_O}{sL}} = \frac{D'}{M_I\left(1 + s\frac{L\hat{I}_D}{M_I U_O}\right)} \approx \frac{D'}{k_{M,I}(1 + sLG)} \tag{2.93}$$

und dient im Weiteren für die Auslegung des überlagerten Ausgangsspannungsregelkreises (s. Gl. (2.94)).

In der Herleitung von Gl. (2.93) wurde implizit vorausgesetzt, dass die Dynamik der Ausgangsspannungsänderung $\tilde{u}_O$ infolge einer Änderung des Tastverhältnisses im Vergleich zur Durchtrittsfrequenz des unterlagerten Stromregelkreises vernachlässigbar klein ist. Damit bleibt die Rückkopplung einer Ausgangsspannungsänderung auf die Trägersignalamplitude, und somit auch eine rechte Nullstelle in der Übertragungsfunktion unberücksichtigt. Für die in Gl.(2.91) angeführte Bandbreite der Stromregelung führt die vereinfachte Führungsübertragungsfunktion $T_I(s)$ auf eine hinreichend genaue Näherung.

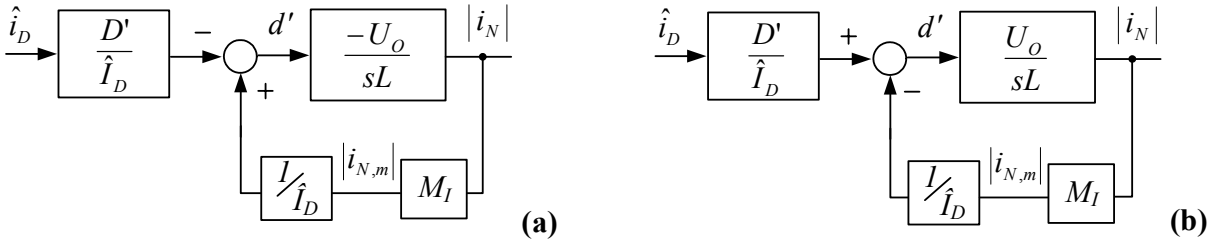
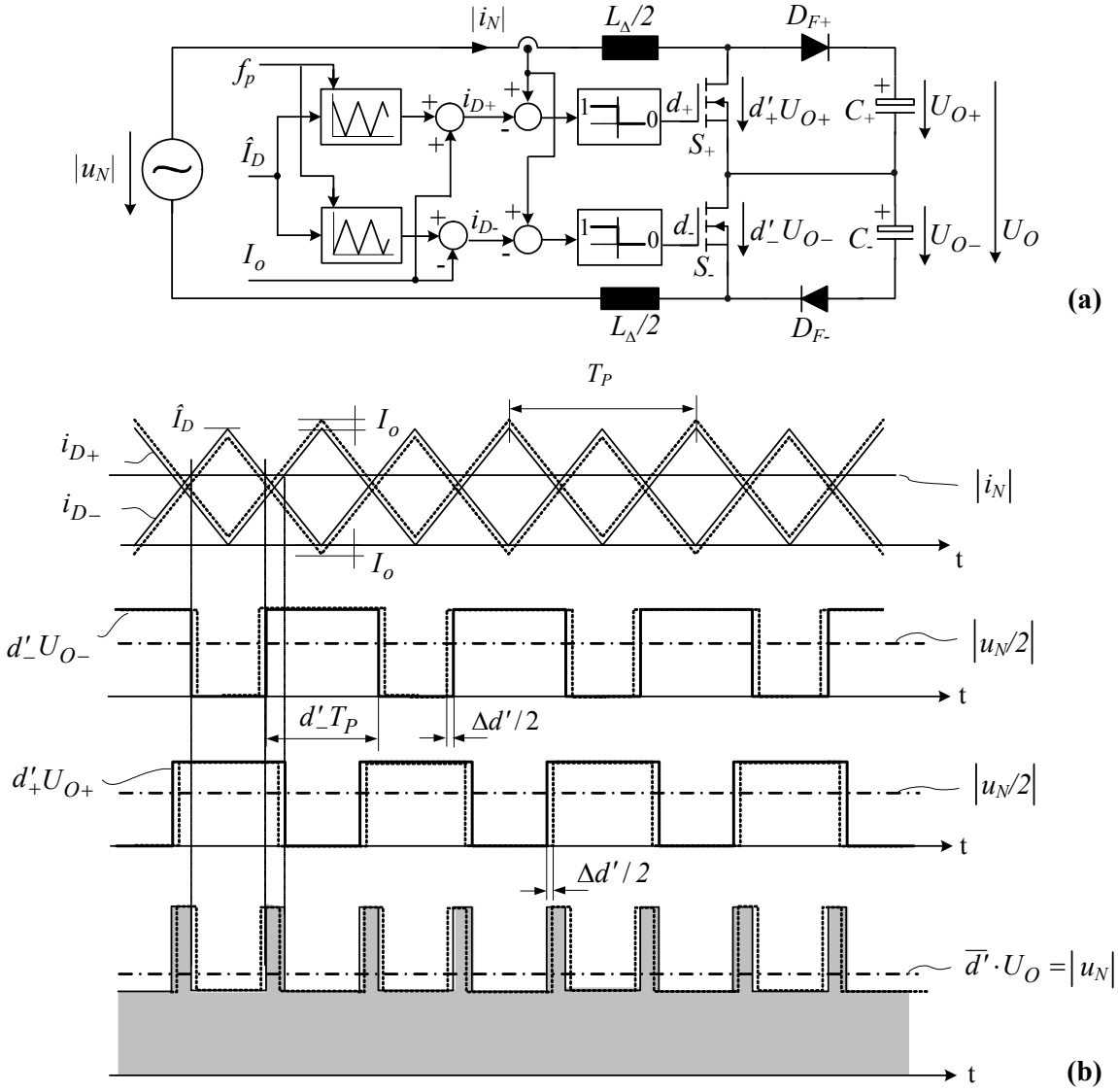


Bild 2.26: Linearisiertes Streckenmodell der unterlagerten Stromregelschleife. Durch Vorziehen des negativen Vorzeichens kann **(a)** in **(b)** übergeführt werden. Die Kleinsignalgrössen sind ohne ~ gekennzeichnet.

In **Bild 2.27** ist die Implementierung der analogen Stromregelung veranschaulicht. Der Eingriff für die Balancierung der Teilausgangsspannungen kann durch eine Offset-Korrektur I_o der um eine Pulshalbperiode versetzten Trägersignale i_{D+} und i_{D-} erfolgen ($I_o \rightarrow \Delta d'$). In

Teilbild **(b)** ist die Bildung der resultierenden Umrichterspannung mit und ohne Symmetrierstellgrösse I_o dargestellt. Es ist klar ersichtlich, dass die Balancierung der Teilausgangsspannungen entkoppelt von der Gesamtspannungsbildung $\overline{d}'Uo$ erfolgt. Die Eingangsgrössen ($\hat{I}_D$, I_o, f_P) für die analoge Stromregelung werden vom μC ausgegeben.



Es gilt: $d'_+ = D' + \tilde{d}' + \Delta d'$ mit $\Delta d' = I_o / \hat{I}_D$

$d'_- = D' + \tilde{d}' - \Delta d'$

Bild 2.27: Vereinfachte Darstellung der implementierten analogen Stromregelung für die 3-Punkt Ausgangsstruktur einschliesslich der Balancierung der Teilausgangsspannungen durch eine Offset-Verschiebung der Trägersignale um I_o **(a)**. Teilbild **(b)** zeigt die Spannungsbildung über die Leistungsschalter S_+ und S_- und die gesamte Umrichterspannung bei Vernachlässigung des mittleren Spannungsabfalls an der Induktivität L_Δ. Die punktierten Verläufe veranschaulichen den Eingriff der Symmetierstellgrösse I_o.

2.4.1.3.2 Digitaler Ausgangsspannungs- und Symmetrierregler

Die Stellgrösse der überlagerten Ausgangsspannungsregelung ist also die Amplitude des Trägersignals $\hat{I}_D$ für die beiden um eine halbe Pulsperiode $T_P/2$ versetzten Trägersignale i_{D+} und i_{D-}. Die Spannungsregelung sorgt dafür, dass die an den Ausgang abgegebene Leistung durch einen entsprechenden Bezug eines sinusförmigen Eingangsstromes abgedeckt wird. Neben der Ausgangsspannungsregelung ist auch eine aktive Balancierung der Teilausgangsspannungen U_{O+} und U_{O-} vorzusehen, um trotz Unsymmetrien in der Ansteuerhardware und der Belastung der Teilausgangsstufen sowie vorhandener Bauteiltoleranzen eine symmetrische Spannungsaufteilung zum Schutz der Kondensatoren und Halbleiter sicher zu stellen. Der Eingriff der Symmetrierregelung erfolgt ohne einen Einfluss auf die Bildung der mittleren Umrichterspannung $\overline{u}_U = d'U_O = d'_- U_{O-} + d'_+ U_{O+}$ und ist daher entkoppelt von der Eingangsstromregelung. In **Bild 2.28** ist das gesamte Regelungsmodell des Systems dargestellt. Im Teilbild **(a)** kennzeichnet das strichlierte Rechteck die innere analoge Stromregelung. Die mit (i) kennzeichnete Rückkopplung der Ausgangsspannung u_O wird für die Auslegung der Stromregelung vernachlässigt und durch den konstanten Wert U_O ersetzt. Die eingezeichneten Analog-Digital- (A/D) und Digital-Analog-Konverter (D/A) markieren die Schnittstellen des hybriden Regelungskonzeptes. Alle T_S = 1ms (T_S = Samplerate) liegt ein neuer 10-Bit Abtastwert der Grössen u_{O+}, u_{O-}, und u_N für die digitale Regelung vor. Die D/A-Konversion der Trägersignalamplitude $\hat{I}_D$ ist einfach durch eine Tiefpassfilterung eines 9-Bit PWM-Signals realisiert. Der Ausgangsspannungsregler R_U(s) wird für eine stationär verschwindende Regelabweichung als PI-Regler ausgeführt. Die Multiplikation der Stellgrösse des Ausgangsspannungsreglers mit der Ausgangsspannung u_O führt auf den Sollwert der Ausgangsleistung P_O^*. Die mit (*A*) gekennzeichnete Stelle zeigt den Eingriff für eine Vorsteuerung des Laststromes (bzw. der Ausgangsleistung). Wenn diese Grösse vorliegt, kann eine direkte Anpassung der Leistungsaufnahme aus dem Netz an die zuliefernde Leistung vorgenommen werden, womit die Ausgangsspannung u_O auch bei Lastsprüngen praktisch konstant gehalten werden kann. Die Division des Leistungssollwertes mit dem Quadrat des Effektivwertes der Modulspannung führt auf den Sollwert des Moduleingangsleitwertes G^*. Die Berechnung des Effektivwertes erfolgt über eine Spitzenwertdetektion der Modulspannung während einer halben Netzperiode ($T_N/2$). Eine Anpassung des Modulleitwertes G^* bei Netzspannungssprüngen wird durch die Vorsteuerung der Modulspannung mit einer mittleren Verzögerungszeit von $3/4T_N$ berücksichtigt. Die Multiplikation des Leitwertes mit der Ausgangsspannung

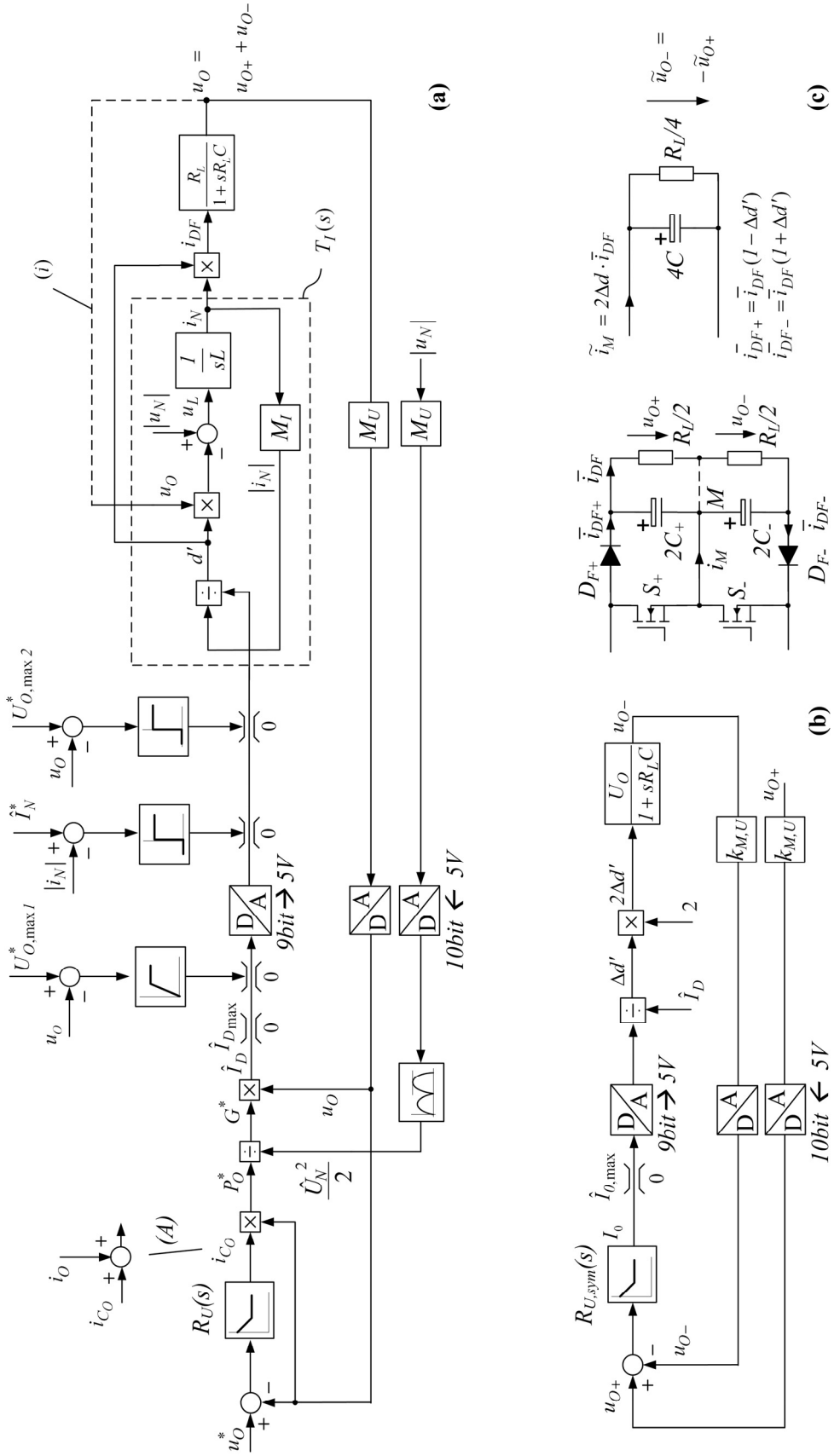


Bild 2.28: Kaskadierte Regelung für ein *Delta-Rectifier* Modul mit Angabe der linearisierten Systemstrecke. **(a)** Regelung der Gesamtausgangsspannung *Uo* mit unterlagerter analoger Modul-

stromregelung. **(b)** Regelkreis für die Symmetrierung der Teilausgangsspannungen ohne Einfluss auf die Modulstromregelung. **(c)** Herleitung des Streckenmodells für die Symmetrierregelung. (*A*) kennzeichnet den Eingriff für die Ausgangsstromvorsteuerung durch einen nachgeschalteten DC/DC-Konverter. Die mit (*i*) kennzeichnete Rückkopplung der Ausgangsspannung wird aufgrund der geringen Dynamik nicht für die Auslegung der unterlagerten Stromregelstrecke berücksichtigt ($u_O \rightarrow U_O = U_O^*$).

Uo führt auf die Amplitude des Trägersignals $\hat{I}_{D.}$ Die Trägeramplitude $\hat{I}_D$ wird auf eine maximal zu übertragende Leistung mittels $\hat{I}_{Dmax}$ beschränkt. Zusätzlich wird softwaremässig eine Begrenzung des Leitwertes bei Annäherung der Ausgangsspannung u_O an eine Überspannungsschwelle $U^*_{Omax,1}$ - im Falle eines raschen Wechsels der Ausgangslast hin zu einer kleineren Belastung - vorgenommen.

Durch die Begrenzung der Trägeramplitude (bzw. des Leitwertes) kann auch bei beschränkter Leistungsabgabe eine sinusförmige Stromaufnahme sichergestellt werden. Die beiden nachfolgenden analog realisierten Begrenzungseinheiten dienen dem Überspannungs- bzw. Überstromschutz und nehmen die Trägersignalamplitude $\hat{I}_D$ unverzüglich (einige µs) auf Null zurück.

Bild 2.28 **(b)** zeigt das Regelungsmodell für die Symmetrierregelung. Das Prinzip beruht darauf, die relative Ausschaltdauer *d´* für die Hochsetzstellerstufe mit zu kleiner Teil-ausgangsspannung zu erhöhen, und im selben Verhältnis die relative Ausschaltdauer der anderen Hochsetzstellerstufe zu verringern. Teilbild **(c)** zeigt die Herleitung des Streckenmodells für die Symmetrierregelung. Der Eingriff der Symmetierstellgrösse I_o ist in Bild 2.27 ersichtlich.

Für die Auslegung der digitalen Regler wird weiterhin die Laplace-Transformation herangezogen. Die Voraussetzung dafür, die abgetasteten Grössen als quasi-kontinuierlich anzusehen, ist durch das Verhältnis der Abtastfrequenz (f_{Samp}=1kHz) der Messgrössen zur Dynamik des geschlossenen Regelkreises von grösser als 25:1 gegeben.

- Die Bandbreite der Ausgangsspannungsregelung ist durch die prinzipbedingte Schwankung der Ausgangsspannung mit doppelter Netzfrequenz auf Werte < 20Hz zu beschränken.
- Die Bandbreite der Symmetrierregelung für die beiden Teilausgangsspannungen liegt unterhalb jener der Ausgangsspannungsregelung (< 4…6 Hz).

Die Bestimmung der Reglerparameter anhand des linearisierten, quasi-kontinuierlichen Modells dient als erster Richtwert. Die Feinabstimmung der Reglerparameter erfolgt anschliessend anhand der Simulation an einem geschalteten Modell bzw. anhand von Messungen am realen System.

Auslegung des Ausgangsspannungsreglers

Die Übertragungsfunktion der gesamten Systemstrecke ergibt sich mit der vereinfachten Führungsübertragungsfunktion des Stromregelkreises T_I(s) (Gl. (2.93)) und der R_LC-Ausgangsstufe zu

$$G_{U_O} = \frac{u_O}{\hat{i}_D} = \frac{D'^2}{k_{MI}(1+sLG)} \cdot \frac{R_L}{1+sR_LC} \approx \frac{D'^2}{k_{MI}} \cdot \frac{R_L}{1+sR_LC}. \tag{2.94}$$

Die Ausgangsspannungsregelung wird für eine Durchtrittsfrequenz des offenen Regelkreises $f_{D,Uo} = 10\ldots15\text{Hz}$ ausgelegt. Die dominante Polstelle der Regelstrecke ist durch die Zeitkonstante $\tau=R_LC$ der Ausgangsstufe bestimmt. Diese liegt für einen Ausgangsleistungsbereich von $P_O = 1000\text{W}\ldots3500\text{W}$ zwischen $\tau = 0{,}3\ldots0{,}086\text{s}$, also weit oberhalb der Zeitkonstante des Stromregelkreises und einer Totzeit $T_T = 1\text{ms}$ infolge der Berechnungsdauer für eine neue Stellgrösse $\hat{I}_D$. Aus diesem Grund werden für die Bestimmung der Reglerparameter des PI-Spannungsreglers in erster Näherung alle weiteren Polstellen vernachlässigt und nur die Proportionalglieder innerhalb der Regelschleife berücksichtigt.

Die Übertragungsfunktion $L_{Uo}(s)$ des offenen Spannungsregelkreises (Schleifenverstärkung) ergibt sich zu

$$L_{U_O}(s) = R_U(s) \cdot \frac{2U_O{}^2}{\hat{U}_N^2} \cdot K \cdot G_{U_O}(s) \approx R_U(s) \frac{2U_O{}^2}{\hat{U}_N{}^2} \cdot K \cdot \frac{D'^2}{k_{MI}} \cdot \frac{R_L}{1+sR_LC}, \tag{2.95}$$

wobei K die Verstärkung der Übertragungsfunktion des D/A-Konverters (ausgeführt als Tiefpass 1. Ordnung), die Messgrössenverstärkung M_U und die 10-Bit A/D-Wandlung zusammenfasst ($K = DA(s)M_U(s)AD(s) \approx \frac{5}{2^9} \cdot 0{,}0103 \cdot \frac{2^{10}}{5} = 0{,}0206$).

Die Auslegung der Parameter des Spannungsreglers $R_U(s) = \frac{1+kp \cdot Tu \cdot s}{Tu \cdot s}$ erfolgt für eine Durchtrittsfrequenz von $L_{Uo}(s)$ im Bereich von $f_{D,Uo} = 10\ldots15\text{Hz}$. Für die robuste

Reglerauslegung wird der Arbeitspunkt $P_{O,M}$ = 1kW, $U_N = U_{N,max}$ herangezogen, da mit sinkender Belastung die Dynamik der Polstelle abnimmt.

Auslegung des Symmetrierreglers

Die Symmetrierung der Ausgangsspannung erfolgt durch einen entgegengesetzten Offset I_o der beiden Trägersignale i_{D+} und i_{D-} (siehe Bild 2.27). Die Schleifenverstärkung des Symmetrierregelkreises ergibt sich anhand des in Bild 2.28 gezeigten Regelungsmodells mit

$$L_{U,sym}(s) = R_{U,sym}(s) \cdot K \cdot \frac{2}{\hat{I}_D} \frac{U_O}{1 + sR_L C}. \tag{2.96}$$

K fasst wiederum die Verstärkungen der übrigen Übertragungsglieder (Messgrössenverstärkung, A/D- und D/A- Konversion) zusammen. Die Auslegung des Symmetrierreglers erfolgt für eine Durchtrittsfrequenz von $L_{U,sym}(s)$ im Bereich von $f_D \approx 4...6Hz$.

Die digitale Implementierung der PI-Regler $R(s) = kp + k_I / s = \frac{1 + sk_P / k_I}{s / k_I}$ wird durch eine Rechtecknäherung realisiert, welche nur den letzten Wert der Stellgrössenfolge $y[(k-1)T_S]$ berücksichtigt. Die digitale Ausführung lautet also

$$y[kT_S] = y[(k-1)T_S] + k_{INT} e[kT_S] + k_P e[kT_S], \tag{2.97}$$

wobei die zeitdiskrete Integrationskonstante mit $k_{INT} = k_I T_S$ bestimmt ist. $e[kT_S]$ bezeichnet die aktuelle Regelabweichung.

2.4.1.4 Softwarekonzept für den Microcontroller (μC- Atmel AT90S8535)

Die Software für den μC (*Atmel AT90S8535*) wurde vollständig in Assembler programmiert und ist in der Arbeit [Wag02] ausführlich dokumentiert. Ebenso sind dort die verschiedenen Betriebsmodis (Vorladen der Ausgangskondensatoren auf den Spitzenwert der Eingangsspannung, anschliessendes Hochladen auf den Nennspannungswert durch Vorgabe einer sehr kleinen Trägeramplitude $\hat{I}_D$, geregelter Betrieb bei Belastung des Systems, Systemabschaltung) und das Fehlermanagment ausführlich dargestellt. Das Softwarekonzept basiert darauf, dass mittels eines Timer0-Interrupts alle T_{int}=250µs zyklisch eine A/D-Wandlung der Messgrössen ($|u_N|$, U_{O+}, U_{O-}, U_{adj}) durchgeführt wird. Die A/D-Konversion dauert bei maximaler Auflösung von 10-Bit im „Single Conversion Mode“ 200µs. Damit ergibt sich eine Sample-Rate f_{Samp}=1/(4·T_{int})=1/(4.250µs)=1kHz. Die Grösse U_{adj} dient zur

Justierung des Sollwertes U_O^* der Ausgangsspannung. Die A/D-Wandlung läuft vollständig im Hintergrund, während in der *ALU* die Stellgrössen $\hat{I}_D$ und I_0 berechnet werden. Die Berechnung ist auf 4 Interrupt-Routinen aufgeteilt, womit eine Aktualisierung der PWM-Stellgrössensignale ($PWM_\hat{I}_D$ und PWM_I_0) alle 1ms vorliegt. Mit einer PWM-Auflösung von 9-Bit resultiert eine PWM-Frequenz von $f_{PWM} = f_{CLK}/(2(2^9-1)) = 8\text{MHz}/1022 = 7.8\text{kHz}$. Der Mittelwert des PWM-Signals wird durch analoge Tiefpassfilterung gebildet. Über einen weiteren Timer wird ein f_P=50kHz Rechtecksignal für die Taktung der analogen Dreiecksgeneratoren erzeugt. **Bild 2.29** veranschaulicht die Software-Implementierung der digitalen Regelung. **Bild 2.30** fasst die hybride Realisierung des modularen Regelungskonzeptes zusammen. Mit dieser Implementierung wird ein guter Kompromiss hinsichtlich programmierbarer Flexibilität und erforderlicher Stromregeldynamik erreicht.

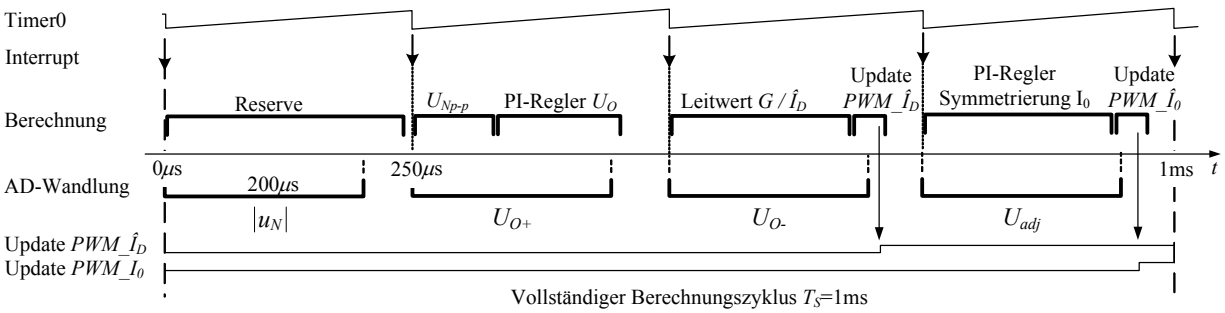


Bild 2.29: Software-Implementierung der digitalen Regelung. Während der A/D-Wandlung der Modulspannung $|u_N|$ können noch weitere Programmteile z.B. für die Kommunikation zwischen den einzelnen Modulen des dreiphasigen Gesamtsystems oder mit einem übergeordneten Leitsystem implementiert werden. In den anderen 3x250µs Zeitfenstern ist der gesamte digitale Regelungsalgorithmus implementiert.

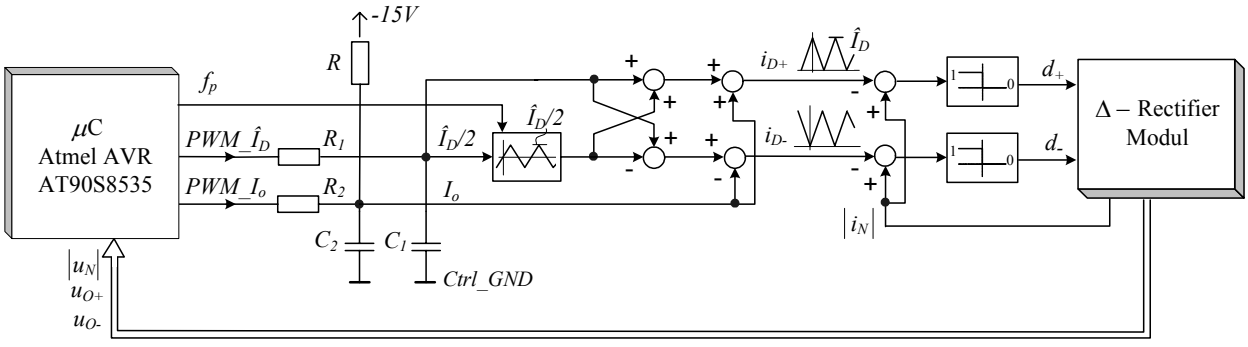


Bild 2.30: Vereinfachte Darstellung des implementierten hybriden Regelungskonzepts für ein Modul eines *Delta-Rectifier* (Labormuster A).

2.4.1.5 Experimentelle Ergebnisse zum Labormuster A

Die drei Module werden in Dreieckschaltung an ein symmetrisches Dreiphasennetz angeschlossen, welches durch einen linearen Dreiphasen-Leistungsverstärker (Spitzenberger+Spies DM 15000 PAS) nachgebildet wird. Die Modulausgangsstufen werden durch Lastwiderstände symmetrisch belastet. Die nachfolgenden Messergebnisse sind auch in [Gre03a] publiziert. In **Bild 2.31** und **Bild 2.32** werden die Ergebnisse der digitalen Simulation mit sehr guter Übereinstimmung durch die Messungen am Labormuster bestätigt. Die auf die Sternersatzschaltung bezogene Umrichterspannung $u'_{U,R}$= 1/3($u_{U,RS}$-$u_{U,TR}$) =1/3($u'_{U,RS}$-$u'_{U,TR}$) weist die 9 möglichen Spannungsstufen auf und approximiert sehr gut die sinusförmige Eingangsspannung $u'_{N,R}$. Daher enthält der Phasenstrom $i_{N,R}$ einen sehr geringen schaltfrequenten Rippel.

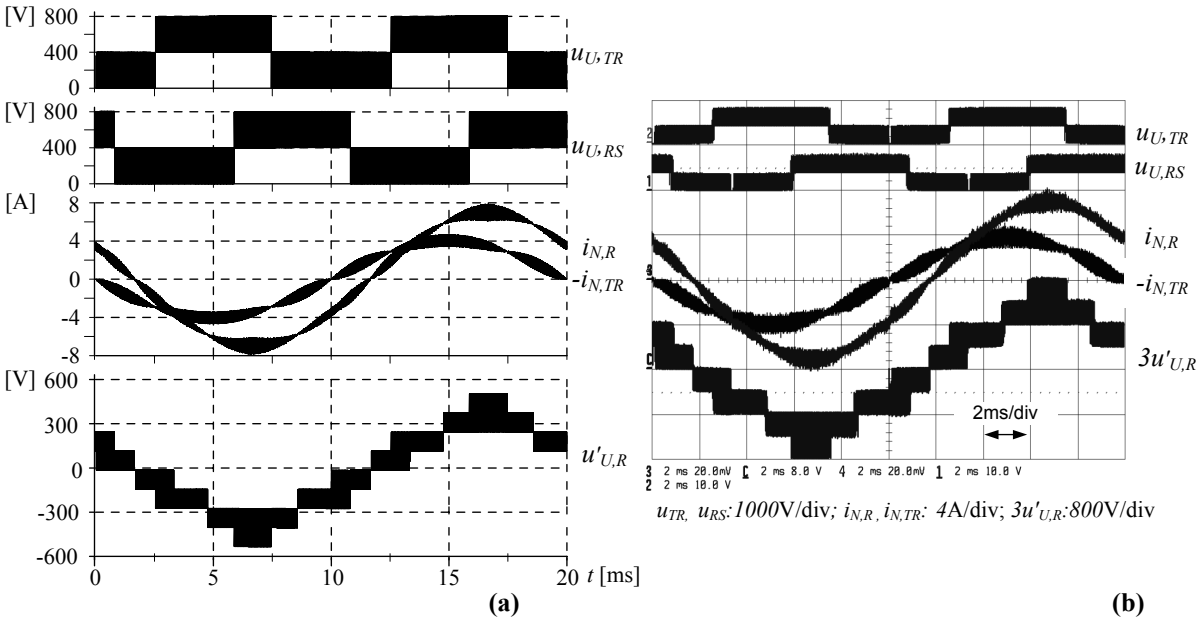


Bild 2.31: Digitale Simulation **(a)** und experimentelle Bestimmung **(b)** der Umrichterspannungen $u_{U,RS}$ und $u_{U,TR}$, des Moduleingangsstroms $-i_{N,TR}$, des Phasenstromes $i_{N,R}$ und der auf das Stern-Ersatzschaltbild bezogenen Umrichterspannung $u'_{U,R}$, die gemeinsam mit der Phasenspannung $u_{N,R}$ die Bildung des Phasenstromes $i_{N,R}$ bestimmt. In **(b)** ist die Messung der Umrichterspannung $u'_{U,R}$ über einen mathematischen Hilfskanal durch Subtraktion der Messkanäle (1) – (2) realisiert. Durch die fehlende Multiplikation mit 1/3 wird der dreifache Wert angezeigt.

Zu überprüfen ist im Weiteren, ob der schaltfrequente Nullstrom i_0 mit den simulierten Ergebnissen übereinstimmt. Die Messung des Nullstroms i_0 = ($i_{N,RS}$+$i_{N,ST}$+$i_{N,TR}$)/3 wird durch die gemeinsame Erfassung aller drei Modulströme mit einer Stromzange (*Tektronix A6303*) durchgeführt. Die Verläufe des Phasenstromrippels $\Delta i_{N,i}$ und des Modulstromrippels $\Delta i_{N,ij}$

wurden aus den gemessenen Strömen ($i_{N,i}$ und $i_{N,ij}$) durch nachträgliches Abziehen der Stromgrundschwingung ermittelt und sind in Bild 2.32 angegeben.

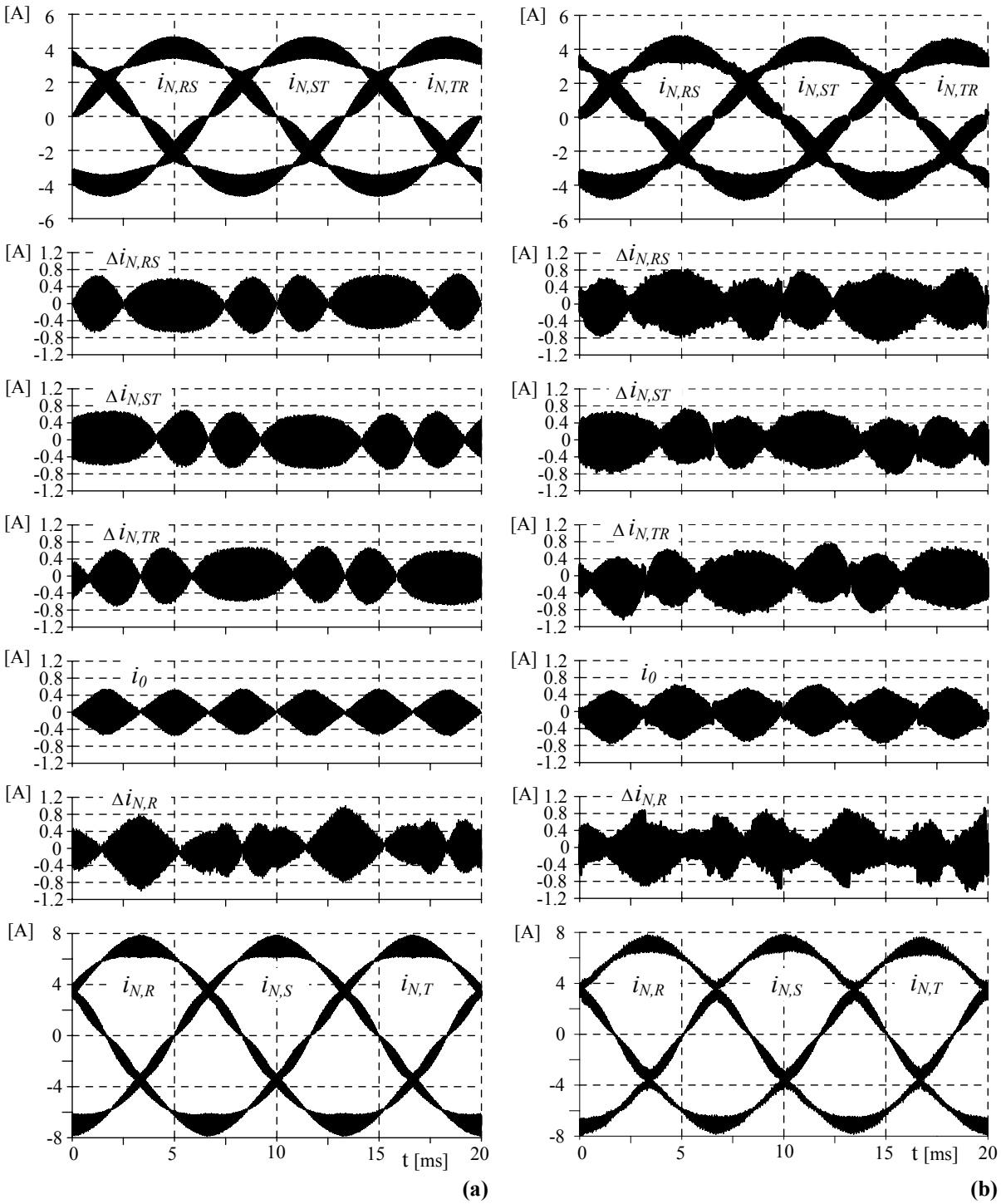


Bild 2.32: Digitale Simulation **(a)** und experimentelle Bestimmung **(b)** der Modulströme $i_{N,ij}$, der Rippelkomponenten $\Delta i_{N,ij}$ der Modulströme, des innerhalb der Dreieckschaltung fliessenden Nullstroms i_0 (= Nullgrösse der Modulstromschwankungen $\Delta i_{N,ij}$), des Phasenstromrippels $\Delta i_{N,R}$ und der Phasenstöme $i_{N,i}$ innerhalb einer Netzperiode. Lastpunkt: $U_{N,i}$ =230V, P_O = 3,4kW.

Es ist somit auch experimentell bestätigt, dass mit der synchronen Taktung der Module ein grosser Anteil des Modulstromrippels $\Delta i_{N,ij}$ als Nullstrom i_0 in der Dreieckschaltung der Module geführt werden kann, womit der Phasenstromrippel $\Delta i_{N,i}$ minimiert wird. Der aus den Rippelkomponenten von jeweils zwei Modulströmen gebildete Rippel des Eingangsstromes

$$\Delta i_{N,R} = \Delta i_{N,RS} - \Delta i_{N,TR} = \Delta i'_{N,RS} - \Delta i'_{N,TR}\,, \tag{2.98}$$

weist daher in erster Näherung nur die Grösse eines Modulstromrippels auf (vgl. in Bild 2.32), womit ein geringer Filteraufwand zur Unterdrückung leitungsgebundener Störungen resultiert.

In **Bild 2.33(a)** ist das normierte Spektrum der Oberschwingungen des simulierten Eingangsstromes dargestellt. Die um eine halbe Taktperiode versetzte Ansteuerung der Leistungshalbleiter (S_{ij+}, S_{ij-}) der in Serie liegenden Hochsetzstellerstufen führt im Idealfall zu Spektralkomponenten nur bei Vielfachen der doppelten Schaltfrequenz ($n{\cdot}2f_P$). Die Spektralanalyse der Messdaten für die Phasenströme abzüglich der Grundschwingung zeigt aber, dass auch um die Schaltfrequenz f_P = 50kHz Spektralkomponenten auftreten (s. **Bild 2.33 (b)**). Eine nähere Analyse zeigt [Gre03a], dass diese Komponenten im Wesentlichen durch Nichtidealitäten (Unsymmetrie und Offsetverschiebung) der beiden Trägersignale und durch unterschiedliche Ein- und Ausschaltverzögerungen der Ansteuerstufen bedingt sind. Weitere Störeinflüsse liegen durch die Nichtlinearität der Eingangsinduktivitäten und das Auftreten eines diskontinuierlichen Betriebs in der Umgebung des Spannungsnulldurchgangs vor. Wie die experimentelle Analyse zeigt, weist zufolge geringfügiger Unterschiede in der Ein- und Ausschaltverzögerung der Ansteuerstufen der Modulstrom im Bereich $u_{N,ij}=U_O/2$ einen nur schaltfrequenten Stromrippel auf. Aus diesem Grund werden auch kurzzeitig die Umrichterspannungsniveaus $u_{U,ij}=0$ und $u_{U,ij}=U_O$ gebildet, wodurch eine steile Änderung des Modulstroms resultiert (s. **Bild 2.34(a)**). Bei unterschiedlichen Amplituden oder bei einer Offsetverschiebung der Trägersignale i_{D+} und i_{D-} tritt in der Umgebung des Stromnull-durchgangs ein Stromrippel mit einfacher Schaltfrequenz auf (s. **Bild 2.34(b)**). Daraus folgt, dass eine Vergrösserung des Offsetsignals I_o bei zunehmender Unsymmetrie der Ausgangs-belastung auf eine Anhebung der Spektralanteile um die Schaltfrequenz führt.

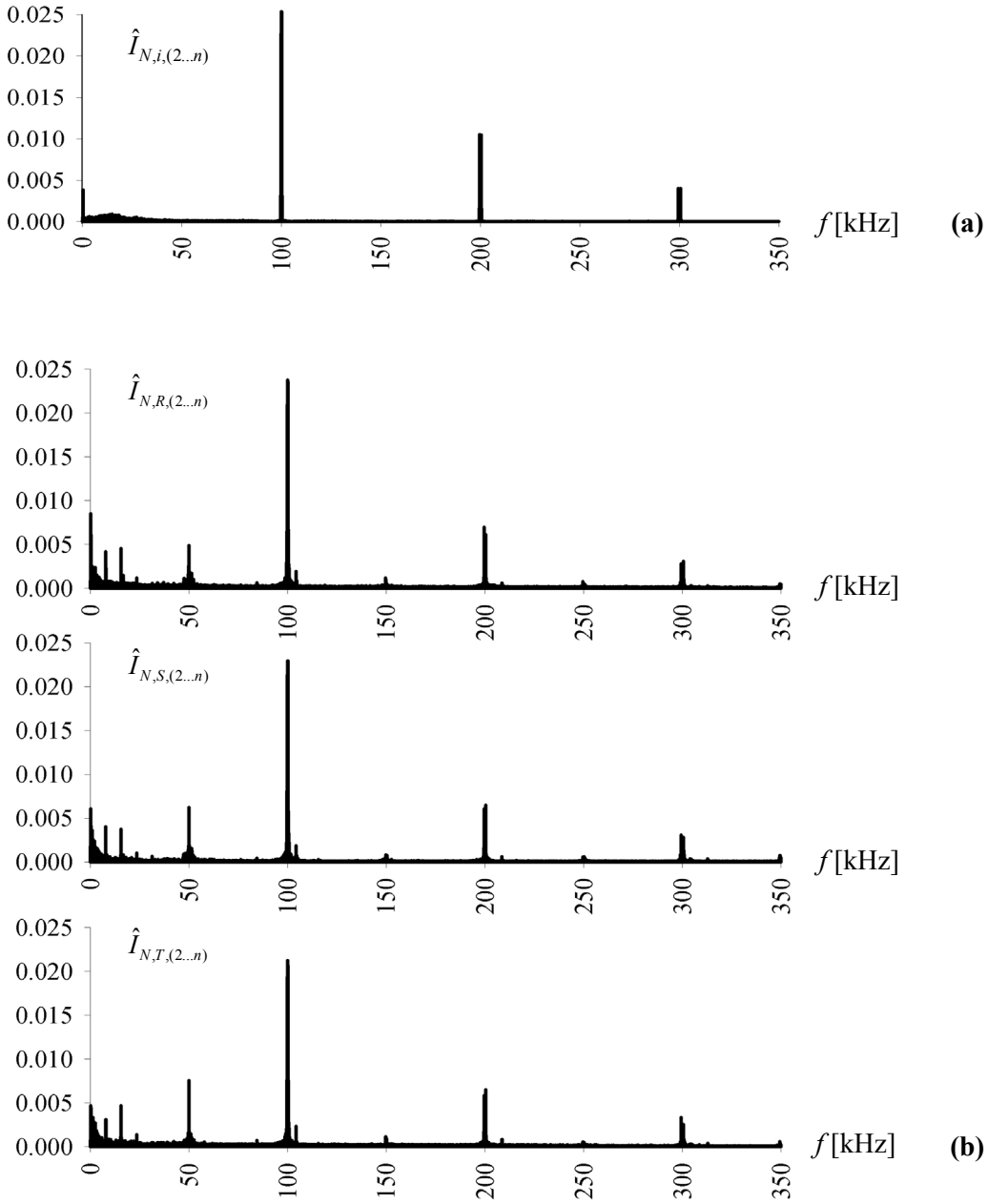


Bild 2.33: Normiertes Spektrum der Oberschwingungen des Phasenstromes bezogen auf die Grundschwingungsamplidude $\hat{I}_{N,i(1)}$ für die Phasenströme aus einer Simulation **(a)** und für die gemessenen Phasenströme am Labormuster A **(b)**.

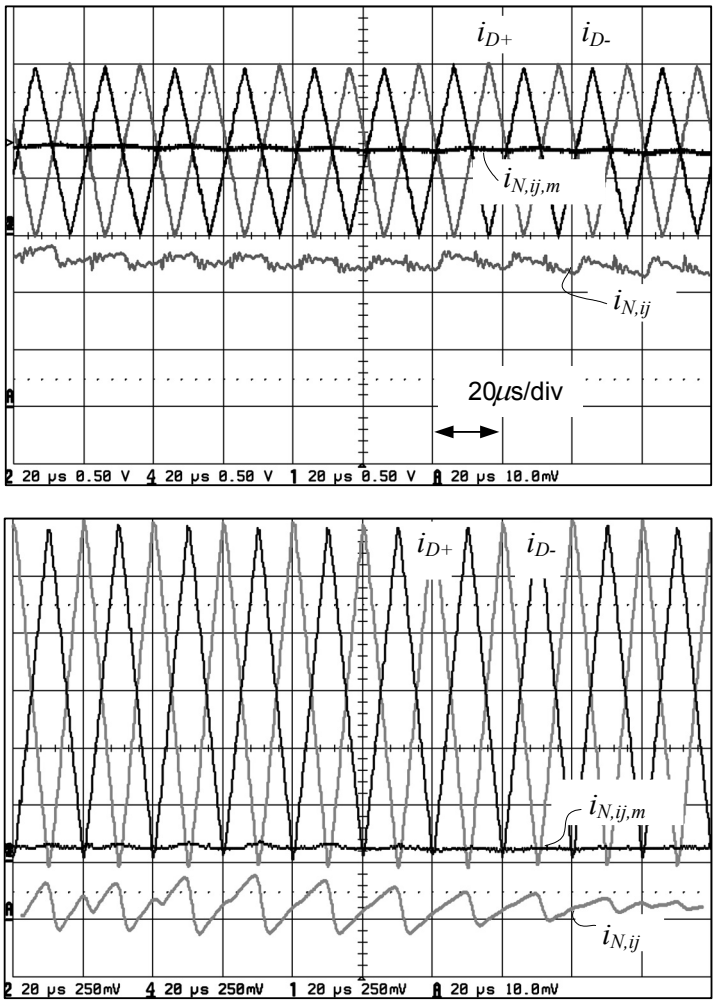


Bild 2.34: Ursachen für die schaltfrequenten Spektralkomponenten in den Modul- bzw. Phasenströmen. Darstellung der Zeitverläufe der beiden Trägersignale i_{D+} und i_{D-}, des tiefpassgefilterten Messsignals $i_{N,ij,m}$ des Modulstroms und des tatsächlichen Modulstroms $i_{N,ij}$. Änderung des Stromrippels mit einfacher Schaltfrequenz infolge von unterschiedlichen Schaltverzugszeiten der Ansteuerstufen in **(a)** und infolge einer Offset-Verschiebung der Trägersignale in **(b)**.

Der Wirkungsgrad des Systems wurde über eine Ein-Ausgangsleistungsmessung bestimmt. Netzseitig wurde die Leistung mit dem Leistungsmessgerät (*Norma Power Analyzer D6100*) erfasst, die einzelnen Modulausgangsleistungen wurden über eine Strom-Spannungsmessung (*Multimeter HP973A*) bestimmt. In **Bild 2.35** ist der gemessene Wirkungsgrad in Abhängigkeit der Ausgangsleistung und der Eingangsspannung dargestellt. Der Wirkungsgrad steigt von 95% für kleine Ausgangsspannungen und kleine Ausgangsleistungen auf 97.5% im Nennlastpunkt bei maximaler Eingangsspannung. Der Einbruch des Wirkungsgrades für die Messpunkte mit der Ausgangsleistung P_O=7200W ist durch die Abnahme der Messgenauigkeit aufgrund einer Messbereichsumschaltung im Leistungsmessgerät zu erklären. Ein Vergleich mit dem berechneten Wirkungsgrad (s. Bild

2.22) zeigt eine sehr gute Übereinstimmung. Der mit dem Leistungsmessgerät ermittelte THD_I der Eingangsströme beträgt ab einer Gesamtausgangsleistung von grösser als $P_O >$ 2,5kW und bei rein sinusförmigen symmetrischen Netzspannugen ca. $THD_I = 2\%$.

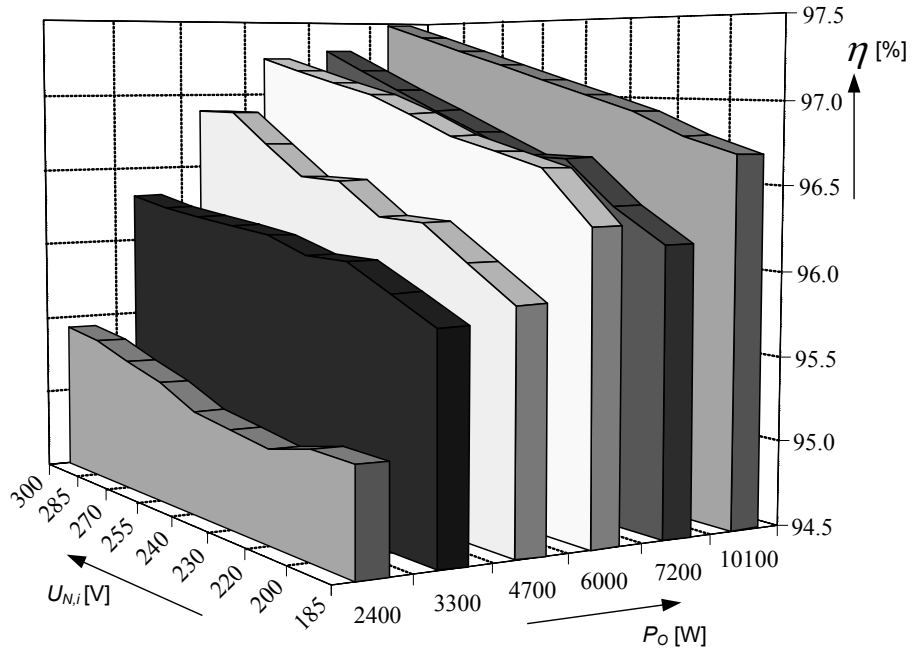


Bild 2.35: Gemessener Gesamtwirkungsgrad des Systems in Abhängigkeit der Phasenspannung $U_{N,i}$ und der Ausgangsleistung P_O.

Einbussen in der Stromqualität durch das multipliziererfreie Stromregelkonzept

Wichtig ist in diesem Zusammenhang darauf hinzuweisen, dass durch das multipliziererfreie Stromregelverfahren alle vorliegenden Nichtidealitäten in den Trägersignalen, in den Ansteuerstufen oder im Leistungsteil direkt Einfluss auf die Strombildung nehmen. Es ist daher besonderer Wert auf eine hohe Linearität und Symmetrie der Trägersignale zu achten. Im Gegensatz dazu, können bei der konventionellen Mittelwertstromregelung (*Average Current Mode Control*) die Nichtidealitäten in der Pulsbreitenmodulation bzw. in den Treiberstufen durch die Bildung der Stromregelabweichung ($i^*_{N,ij} - i_{N,ij}$) weitgehend unterdrückt werden. Auch eine sinkende Ausgangsleistung erschwert eine ideale Pulsmustergenerierung. Die Amplitude der Trägersignale ist proportional zum Moduleingangsleitwert und nimmt daher mit sinkender Belastung ab. Damit wird die Verschneidung von Strommesssignal und Trägersignal zunehmend ungenauer. Abgesehen von einer erforderlichen Mindestbelastung für die Sicherstellung einer kontinuierlichen Stromführung in der Induktivität, nimmt also die Qualität der Modulation mit sinkender Ausgangsleistung ab.

2.4.2 Delta-Rectifier (Prototyp B) mit volldigitaler DSP-Regelung

2.4.2.1 Aufbau- und Systemkonzept des Prototyps B

Für den Prototyp B ist das modulare Systemkonzept nur noch für den Leistungsteil vollzogen. Über eine gemeinsame Verbindungsplatine, welche die Funktionseinheiten Hilfsspannungsversorgung, Mess-, Regel- und Ansteuersignalelektronik umfasst, werden die Leistungsmodule gesteuert. Die Regelung der drei Leistungsmodule ist volldigital in einem DSP [AD03] integriert, die PWM-Ansteuersignale der Leistungsschalter werden in einem PLD generiert. Das Redesign für den Prototyp B wurde in der Diplomarbeit [Fri05] ausgeführt. Im Anhang sowie in der Arbeit [Fri05] sind detailierte Kenndaten zum Systemaufbau angegeben. Der kompakte Aufbau der Hardware (Prototyp B) ist in **Bild 2.36** gezeigt.

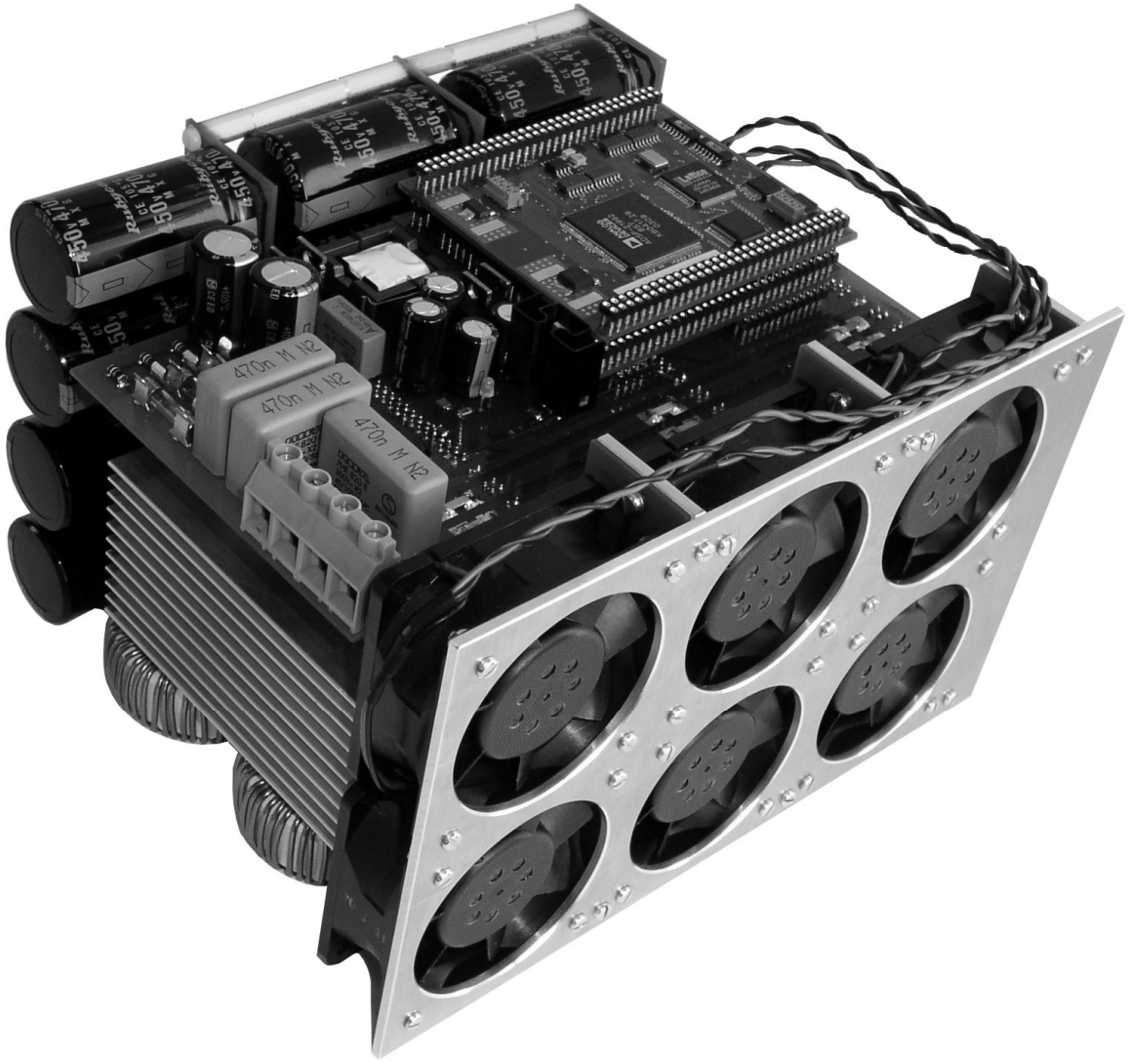


Bild 2.36: Aufbau des *Delta-Rectifiers* (Prototyp B). Gesamtabmessung (B×H×T): 195mm × 130mm × 176mm; Leistungsdichte: 2,4kW/dm^3; Leistungsgewicht: 2,6kW/kg.

2.4.2.1.1 DSP-Platine

Die digitale Regelung ist mittels eines 16-Bit *Mixed-Signal Fixed-Point* Signalprozessor des Typ *ADSP-2199x* von *Analog Devices* ([AD03]) implementiert. Die zugehörige DSP-Platine wurde am Institut ([Gil03], [PES03]) entwickelt. Sie enthält neben dem DSP eine UART für die serielle Kommunikation mit einem PC zum Lesen und Schreiben von DSP-Variablen über ein Monitor-Programm, einen Flash-Speicher, ein PLD für die Erkennung und Aktivierung von Fehlersignalen sowie programmierbare TrimDACs, mit denen die Echtzeit-Überwachung der Messgrössen an den 8 Analog-Digital-Eingängen des Signalprozessors via Komparatoren durchgeführt werden kann. Zusätzlich können mittels eines Hardware-Monitors bis maximal 4 DSP-Variable über die SPI-Schnittstelle in Echtzeit ausgegeben und mittels eines Oszilloskops dargestellt werden. Detaillierte Informationen zur Entwicklungsumgebung der DSP-Platine sind [Höp03] zu entnehmen.

2.4.2.1.2 PLD-Platine zur PWM-Generierung

Für die Ansteuerung der sechs Leistungsschalter der drei PFC-Eingangsstufen werden sechs PWM-Signale benötigt. Für die Symmetrierung der Modulausgangsspannungen müssen die PWM-Signale voneinander unabhängig eingestellt werden können. Dadurch kann die Generierung der PWM-Signale nicht im DSP erfolgen, sondern muss in ein zusätzliches PLD ausgelagert werden. Das Design der PLD-Platine berücksichtigt im Weiteren eine Systemerweiterung mit drei DC/DC-Ausgangsstufen. Der Funktionsumfang des PLD-Codes umfasst

- die Generierung von 6 unabhängigen PWM-Signalen zur Ansteuerung der 6 Leistungs-MOSFETs mit einer zeitlichen Auflösung von 16ns bei einer Schaltfrequenz von f_P=50kHz (zu Testzwecken ist sowohl versetztes als auch synchrones Schalten der Teilausgangstufen einstellbar);
- das Sperren der PWM-Signale im Fehlerfall durch ein Steuersignal vom DSP oder durch die Überstromdetektionseinheit, bei Ausbleiben der Datenübertragung vom DSP oder nach Betätigung der Stop-Taste;
- das modulweise Aktivieren und Deaktivieren der PWM-Ausgangssignale;
- das Absenden eines zeitlich verstellbaren DSP-Interrupts bezogen auf das Ende eines Taktzyklus (T_P=20µs);
- eine über den DSP einstellbare Schaltfrequenz (41kHz … 61kHz) .

Detaillierte Informationen zur Hardware der PLD-Platine sind in [Gie04], ausführliche Angaben zur VHDL-Programmstruktur, zum Datentransfer zwischen DSP und PLD sowie zur Zustandssignalisierung in [Fri04] nachzulesen.

2.4.2.2 Auslegung einer volldigitalen DSP- Regelung (Prototyp B)

Die volldigitale Abtastregelung basiert wie die hybride Regelung auf einer modularen Mehrschleifenregelung für die einzelnen Module. Die unterlagerte Stromregelung ist nun als Mittelwertregelung (*Average Current Mode Control*) implementiert, um die Nachteile des multipliziererfreien Regelkonzepts zu umgehen. Aus regelungstechnischer Sicht können die drei Leistungsmodule im Betrieb am Dreiphasennetz als voneinander entkoppelt betrachtet werden. Die Erweiterung des Systems für den zweiphasigen Betrieb bei Ausfall einer Netzphase wird in Abschnitt 2.4.2.4 behandelt. Nachfolgend wird die Regelungsstruktur für ein Leistungsmodul vorgestellt, auf die Systemmodellierung eingegangen und abschliessend die Implementierung der Regelung vorgestellt.

2.4.2.2.1 Regelungsstruktur

Für die Entkopplung der mit unterschiedlicher Dynamik zu regelnden Systemgrössen (Modulstrom $i_{N,ij}$, Ausgangsspannungen $U_{O,ij+}$ und $U_{O,ij-}$) wird eine kaskadierte Regelung mit unterlagertem Stromregler eingesetzt. Der Sollwert für die unterlagerte Stromregelung wird von der Ausgangsspannungsregelung bereitgestellt. Zusätzlich ist für die Symmetrierung der Teilausgangsspannungen ein weiterer Regelkreis vorgesehen. Im Sinne eines eingeschränkten Realisierungsaufwandes, der zur Verfügung stehenden Rechenzeit und der erforderlichen Robustheit bezüglich Parameterunsicherheiten stellt ein konventionelles, mehrschleifiges Regelkonzept einen sehr guten Kompromiss dar. Darüber hinaus kann durch Vorsteuerung der Eingangsspannung oder der Ausgangsleistung eine sehr hohe Dynamik der Störungsunterdrückung bei Eingangsspannungs- oder Laständerungen erreicht werden. **Bild 2.37** zeigt die im DSP implementierte Regelungsstruktur für ein Leistungsmodul. Zentrales Element ist dabei die unterlagerte Mittelwert-Stromregelung mit der Vorsteuerung des Tastverhältnisses. Durch die Vorsteuerung des Tastverhältnisses wird die seitens der Stromregelung zu bildende Spannung bereits weitgehend eingestellt, sodass der Stromregler im Wesentlichen nur noch eine geringe Stellgrösse zur Abdeckung der Systemverluste, des netzfrequenten Spannungsabfalls an der Modulinduktivität L_Δ und die fehlenden Spannungsanteile aufgrund einer endlich schnellen Ansteuerung der Leistungsschalter aufbringen muss. Aus diesem Grund ist es ausreichend, den Stromregler als reinen

Proportionalregler auszuführen. Die Vorsteuerfunktion m_{ij} bei kontinuierlicher Stromführung in der Induktivität (engl. *Continuous Conduction Mode*, CCM) berechnet sich mit

$$m_{ij} = 1 - \frac{\left|u_{N,ij}\right|}{U_{O,ij}}, \tag{2.99}$$

wobei $U_{O,ij}$ die Abtastwerte der Modulausgangsspannung $u_{O,ij}$ zum Zeitpunkt des Nulldurchganges der Moduleingangsspannung $u_{N,ij}$ bezeichnet, um den 100Hz Ausgangsspannungsrippel zu unterdrücken. Die Berechnung der Vorsteuerfunktion für geringe Ausgangsleistung und/oder diskontinuierlicher Stromführung in der Induktivität (engl. *Discontinuous Conduction Mode*, DCM) unter Einbeziehung des Eingangsleitwertes G_{ij}^{*} entsprechend [DeG05] und [DeG04] wird in Abschnitt 2.4.2.3.2 behandelt. Der Sollwert der Stromregelung $\left|i_{N,ij}^{*}\right| = G_{ij}^{*} \cdot \left|u_{N,ij}\right|$ wird durch die übergeordnete Ausgangsspannungsregelung vorgegeben. Die Einführung des Leitwertes G_{ij} als Regelzwischengrösse dient zur Begrenzung der Ausgangsleistung unter Beibehaltung einer sinusförmigen Stromführung (äquivalent mit $\hat{I}_D$ bei der hybriden Regelung). Auf das Eingreifen der Begrenzungseinheiten wird in Kapitel 2.4.3.2 ausführlich eingegangen. Zur Regelung der Modulausgangsspannung wird ein PIT1-Regler eingesetzt. Um eine symmetrische Aufteilung der Teilausgangsspannungen bei unsymmetrischer Belastung sicherzustellen, greift analog zur hybriden Regelung ein Symmetrierregler korrigierend auf die Tastverhältnisse für die beiden Teilausgangsstufen ein. Die beiden Tastverhältnisse werden über ein Formfilter geführt, bevor sie zur PWM-Generierung an das PLD gesendet werden. Dieses Formfilter korrigiert die Tastverhältnisse im Bereich des Spannungsnulldurchganges unter Berücksichtigung der Spannungsabfälle an den Eingangsthyristoren. Näheres dazu in Abschnitt 2.4.2.3.2. Die Erweiterung der Regelstruktur für das Gesamtsystem mit DC/DC-Ausgangsstufe ist in Kapitel 2.4.3 ausführlich erläutert.

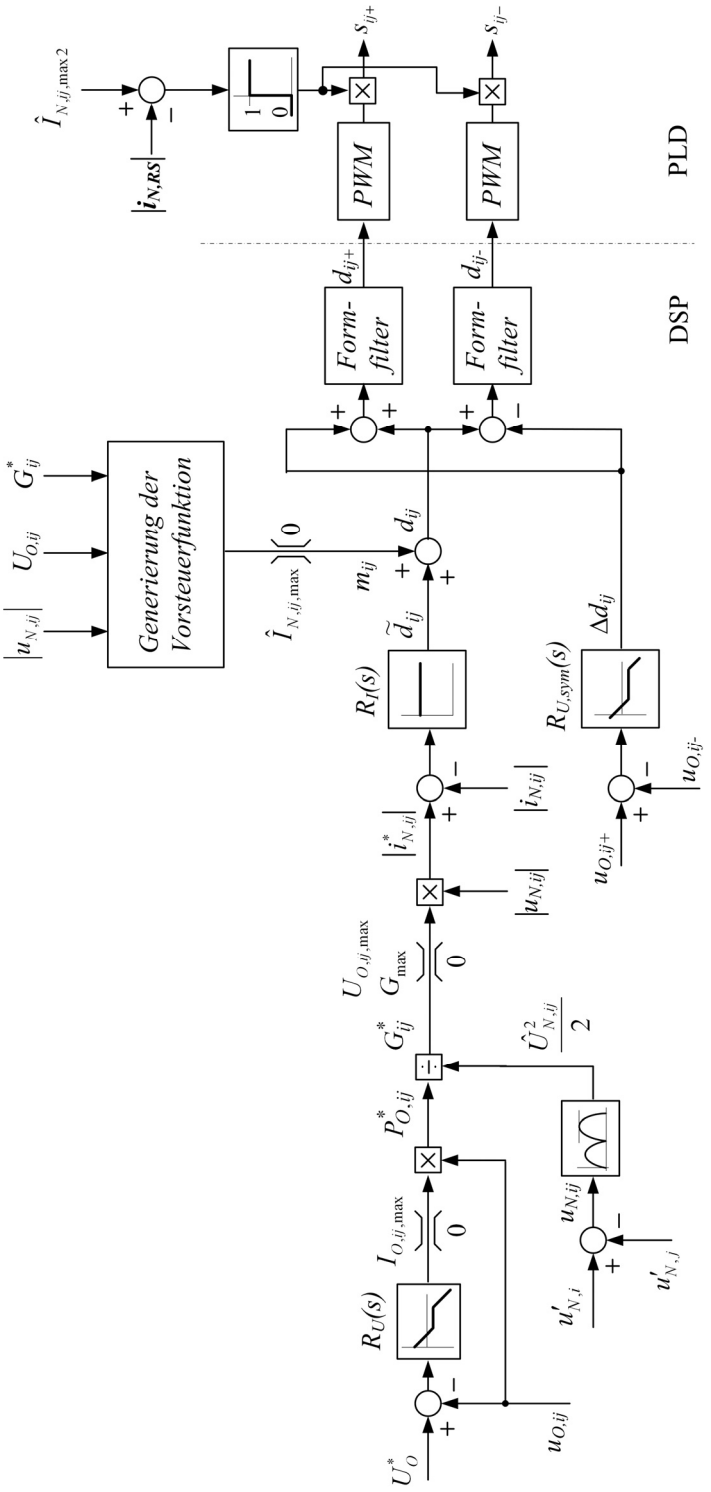


Bild 2.37: Implementierte Regelstruktur für ein Leistungsmodul der AC/DC-Eingangsstufe (*ij* = *RS*, *ST*, *TR*) zur Sicherstellung einer sinusförmigen Stromaufnahme $i_{N,ij}$ und einer konstanten Modulausgangsspannung $U_{O,ij}$. Die Stromregelung ist als Mittelwertregelung mit Vorsteuerung des Tastverhältnisses ausgeführt. Die Amplitude der Moduleingangsspannung $u_{N,ij}$ wird über eine Spitzenwertdetektion erfasst und vorgesteuert. Die Symmetrierung der Teilausgangsspannungen ist mittels eines Symmetrierreglers $R_{U,sym}(s)$ sichergestellt. Auf die Blöcke Vorsteuerfunktion und Formfilter wird in Abschnitt 2.4.2.3.2 eingegangen.

2.4.2.2.2 Modellierung der Regelstrecke und Auslegung der Regelung

Leistungselektronische System weisen aufgrund der schaltenden Betriebsweise ein nichtlineares Systemverhalten auf. Um ein Modell der Regelstrecke zu erhalten, wird meist eine Mittelung der Systemzustandsbeschreibungen für die einzelnen Schaltzustände über eine Taktperiode vorgenommen (engl. *State Space Averaging*). Dabei wird vorausgesetzt, dass die Dynamik der Systemzustandsgrössen gegenüber der Schaltfrequenz sehr klein ist. Mit diesem Ansatz wird ein kontinuierliches, nichtlineares Modell erhalten. Anschliessend kann durch Linearisierung in einem DC/DC-Arbeitspunkt ein Kleinsignalmodell der Regelstrecke, d.h. eine Kleinsignal-Strecken-Übertragungsfunktion berechnet werden. Zusätzlich müssen für die Auslegung einer digitalen Abtastregelung im Frequenzbereich die Bedingungen für eine quasi-kontinuierliche Betrachtung der abgetasteten Messgrössen und der Stellgrössen erfüllt sein. Um eine robuste Regelung zu erreichen, ist die Auslegung der Regelparameter z.B. anhand eines Bodediagramms für verschiedene Arbeitspunkte zu überprüfen. Durch die Vorsteuerung des Tastverhältnisses werden die Systemregler in den vorliegenden Arbeitspunkt geführt, sodass die Reglerauslegung auf Basis des Kleinsignalmodells gerechtfertig ist. Wie die Messungen von Sprungantworten am Labormuster zeigen, stimmt die gemessene Systemdynamik sehr gut mit jener des für die Auslegung herangezogenen Kleinsignalmodells überein.

Kleinsignalmodell eines 3-Punkt Hochsetzstellers

Die Bestimmung eines Kleinsignalmodells erfolgt für ein verlustfreies Leistungsmodul bei kontinuierlicher Stromführung und Modellierung der Gesamtausgangsbelastung durch zwei gleich grosse ohmsche Widerstände ($R_+=R_-=R/2$) an den Teilausgangsstufen. Das Ergebnis der Systemmodellierung nach Mittelung der den beiden Schaltzuständen zugeordneten Zustandsgleichungen über eine Taktperiode und anschliessender Linearisierung ist in Gl. (2.100) in Form der Zustandsraumdarstellung angegeben. Die Zustandsgrössen für das gemittelte Systemverhalten sind der Modulstrom $i_{N,ij}$ und die beiden Ausgangsteilspannungen u_{Oij+} und u_{Oij-} .

$$\begin{bmatrix} \dot{i}_{N,ij} \\ \dot{u}_{O,ij+} \\ \dot{u}_{O,ij-} \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1-D}{L_\Delta} & -\frac{1-D}{L_\Delta} \\ \frac{1-D}{2C} & -\frac{1}{RC} & 0 \\ \frac{1-D}{2C} & 0 & -\frac{1}{RC} \end{bmatrix} \cdot \begin{bmatrix} i_{N,ij} \\ u_{O,ij+} \\ u_{O,ij-} \end{bmatrix} + \begin{bmatrix} \frac{U_{O,ij+}}{L_\Delta} & \frac{U_{O,ij-}}{L_\Delta} & \frac{1}{L_\Delta} \\ -\frac{I_{Nij}}{2C} & 0 & 0 \\ 0 & -\frac{I_{Nij}}{2C} & 0 \end{bmatrix} \cdot \begin{bmatrix} d_{ij+} \\ d_{ij-} \\ u_{N,ij} \end{bmatrix} \qquad (2.100)$$

Für die Auslegung des Stromreglers und des Ausgangsspannungsreglers kann die Zustandsbeschreibung einer 2-Punkt-Topologie in Gl. (2.101) angewendet werden, da das Kleinsignalverhalten für den Modulstrom $i_{N,ij}$ und der Gesamtausgangsspannung $u_{O,ij}$ unabhängig von der Implementierung des Ausganges als 2-Punkt- oder 3-Punkt-Stufe ist.

$$\begin{bmatrix} \dot{i}_{N,ij} \\ \dot{u}_{O,ij} \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1-D}{L_\Delta} \\ \frac{1-D}{C} & -\frac{1}{RC} \end{bmatrix} \cdot \begin{bmatrix} i_{N,ij} \\ u_{O,ij} \end{bmatrix} + \begin{bmatrix} \frac{U_{O,ij}}{L_\Delta} & \frac{1}{L_\Delta} \\ -\frac{I_{ij}}{C} & 0 \end{bmatrix} \cdot \begin{bmatrix} d_{ij} \\ u_{N,ij} \end{bmatrix} \tag{2.101}$$

mit ($u_{O,ij} = u_{O,ij+} + u_{O,ij-}$, $d_{ij} = d_{ij+} = d_{ij-}$)

2.4.2.2.3 Auslegung der Regelung

Die Dimensionierungskriterien für die einzelnen Regler sind im Zuge der Auslegung der hybriden Regelung bereits besprochen worden und werden in Kapitel 2.4.3.1 im Zuge der Regelung des Gesamtsystems nochmals im Detail behandelt. In der Auslegung der unterlagerten Stromregelung wird die vergleichsweise sehr langsame Ein- und Ausgangsspannungsänderung vernachlässigt, womit die Systemstrecke für die innere Stromregelung vereinfacht durch das integrale Verhalten

$$\frac{d}{dt} i_{N,ij} = \frac{U_{O,ij}}{L_\Delta} d_{ij} \tag{2.102}$$

beschrieben werden kann. Mit der Stromreglerverstärkung $k_P = 0{,}03\text{A}^{-1}$ ergibt sich für die offene Stromregelschleife $L_I(s)=k_P \cdot G_I(s)$ eine Durchtrittsfrequenz von $f_{D,I} = 4{,}5\text{kHz}$ ($L_\Delta = 2\times 420\mu\text{H}$). Gl. (2.102) gibt ausreichend genau das Modell der Stromregelstrecke $G_I(s) = i_{N,ij}/d_{ij}$ im Bereich der Durchtrittsfrequenz der Schleifenverstärkung $L_I(s)$ an. Aus Gl. (2.101) kann bei Berücksichtigung des Einflusses von $u_{O,ij}$ auf $i_{N,ij}$ die Übertragungsfunktion der Stromregelstrecke

$$G_I(s) = \frac{i_{N,ij}}{d_{ij}} = \frac{2U_{O,ij}}{R(1-D)^2} \cdot \frac{1 + s\frac{RC}{2}}{1 + s\frac{L}{R(1-D)^2} + s^2 \frac{LC}{(1-D)^2}} \tag{2.103}$$

bestimmt werden, die das niederfrequente Streckenverhalten ($f < 1\text{kHz}$) durch eine Nullstelle und einem konjungierten Polpaar im Vergleich zu Gl. (2.102) korrekt beschreibt. Für den Frequenzbereich der Stromregelung ($2\text{kHz} < f_{D,I} < f_P/10$) führt aber Gl. (2.102) auf eine ausreichend genaue Beschreibung des Streckenübertragungsverhaltens [Man04].

Durch Einbeziehen des unterlagerten Stromreglers

$$d_{ij} = k_P (i^*_{N,ij} - i_{N,ij}) \tag{2.104}$$

in Gl. (2.101) ergibt sich die Zustandsraumdarstellung des Systems mit innerer Stromregelschleife zu

$$\begin{bmatrix} \dot{i}_{N,ij} \\ \dot{u}_{O,ij} \end{bmatrix} = \begin{bmatrix} -kp\dfrac{U_{O,ij}}{L_\Delta} & -\dfrac{1-D}{L_\Delta} \\ kp\dfrac{I_{N,ij}}{C} + \dfrac{1-D}{C} & -\dfrac{1}{RC} \end{bmatrix} \cdot \begin{bmatrix} i_{N,ij} \\ u_{O,ij} \end{bmatrix} + \begin{bmatrix} kp\dfrac{U_{O,ij}}{L_\Delta} & \dfrac{1}{L_\Delta} \\ -kp\dfrac{I_{N,ij}}{C} & 0 \end{bmatrix} \cdot \begin{bmatrix} i^*_{N,ij} \\ u_{N,ij} \end{bmatrix}. \tag{2.105}$$

Hiermit kann die Streckenübertragungsfunktion $G_U(s)=u_{O,ij}/i^*_{N,ij}$ für die Auslegung des überlagerten Zwischenkreisspannungsreglers berechnet werden. Dieser wurde als PI-Regler für den Arbeitspunkt $\overline{U}_{N,ij} = 400\text{V}$, $P_{M,O} = 3500\text{W}$, $U_O = 800\text{V}$ anhand des Bodediagramms ausgelegt, wobei der Multiplikationsterm $u_{N,ij}U_O / U^2_{N,ij}$ (s. Bild 2.37) im betrachteten DC-Arbeitspunkt ($u_{N,ij} = 400\text{V}$, $U_{N,ij} = 400\text{V}$) mit dem Wert 2 berücksichtigt wurde. Der Symmetrierregler $R_{Usym}(s)$ ist wie für den Prototyp A auszulegen.

Die berechneten Reglerparameter wurden anschliessend an einem gemittelten, nichtlinearen Grosssignalmodell unter *Matlab* sowie unter *Simplorer* an einem geschalteten Modell der Systemstrecke getestet.

Bisher wurde stillschweigend davon ausgegangen, dass die digitale Regelung auf Basis der zeitkontinuierlichen Regelungsentwurfsmethoden ausgelegt werden kann. Voraussetzung für diese quasi-kontinuierliche Betrachtungsweise ist, dass sich in zwei aufeinander folgenden Abtastzeitpunkten die Zustandsgrössen des Systems nicht wesentlich ändern. Die Abtastzeit der einzelnen Messgrössen muss also klein gegenüber den dominierenden Systemzeitkonstanten sein. Die nachfolgende Gegenüberstellung von Abtastrate, Bandbreite der Regelkreise und Änderung der Messgrössen zeigt auf, dass die quasi-kontinuierliche Betrachtung des digitalen Regelkreises gerechtfertigt ist.

- Die Bandbreite des Stromregelkreises liegt um den Faktor 10...15 unterhalb der Schaltfrequenz (f_P=1/T_P=50kHz).
- Die Abtastung des Modulstromes erfolgt zweimal innerhalb einer Taktperiode T_P=20µs. Durch die entsprechende Wahl der Abtastzeitpunkte (siehe **Bild 2.38**) wird im Wesentlichen die netzfrequente Grundschwingung des Stromes ohne den schaltfrequenten Anteil erfasst.

- Die Bandbreite der Ausgangsspannungsregelung liegt unterhalb von 15Hz und die des Symmetrierreglers unterhalb von 5Hz.
- Die Abtastung und Weiterverarbeitung der Ausgangsspannungen ($U_{O,ij}$ und $U_{O,ij+}$) erfolgt alle $12T_P = 240\mu s$.

Für die Mittelwertstromregelung wird der Grundschwingungsanteil des gemessenen Modulstroms benötigt. Um den schaltfrequenten Stromrippel und die im Umschaltzeitpunkt ausgelösten Schaltstörungen zu unterdrücken, muss besonderer Wert auf den optimalen Abtastzeitpunkt gelegt werden. Dadurch kann auf ein mehrmaliges Oversampling des Stromes mit anschliessender gleitender Mittelwertbildung oder auf eine analoge Tiefpassfilterung mit tiefer Knickfrequenz verzichtet werden, und so das Einbringen einer zusätzlichen Phasendrehung in die Stromregelung vermieden. Der optimale Abtastzeitpunkt liegt genau in der Mitte der steigenden und fallenden Flanke des lokalen Stromrippels. Durch die versetzte Taktung der Teilausgangsstufen weist der Stromrippel eine Schwankung mit doppelter Schaltfrequenz auf. Wird ein Tastverhältnis im Bereich $d = 0{,}25 \ldots 0{,}75$ ausgegeben, ist die fallende Stromflanke (2. Abtastwert zum Zeitpunkt $t = 5\mu s$) schmäler als die steigende (1. Abtastzeitpunkt zum Zeitpunkt $t = 0\mu s$). Für die Tastverhältnisse zwischen 0 und 0,25 bzw. zwischen 0,75 und 1 liegt die umgekehrte Situation vor. Abhängig vom ausgegebenen Tastverhältnis kann also der 1. oder 2. Abtastwert als Istwert für die unterlagerte Stromregelung ausgewählt werden, wodurch die Umschaltstörungen weitgehend ausgeblendet werden. Dieser Abtastalgorithmus ist ausführlich in [VdS04] für einen 2-Punkt PFC behandelt. Während der Inbetriebnahme zeigte sich, dass durch Mittelung der beiden Abtastwerte die Messgenauigkeit gesteigert und somit die beste Stromführung erreicht werden kann. Die Abstimmung der Abtastzeitpunkte des D/A-Konverters im DSP mit der PWM-Generierung im PLD wird in Abschnitt 2.4.2.3.1 behandelt.

2.4.2.3 Implementierung der Regelung

Die Implementierung der volldigitalen Regelung im DSP, die Generierung der PWM-Ansteuersignale im PLD sowie der zeitliche Ablauf der Steuerung sind ausführlich in [Fri05] dokumentiert. Die nachfolgenden Unterkapitel geben nur einen groben Überblick über das Konzept der eingesetzten Steuerhardware und zeigen auf struktureller Ebene die Implementierung des modularen Regelkonzeptes im DSP.

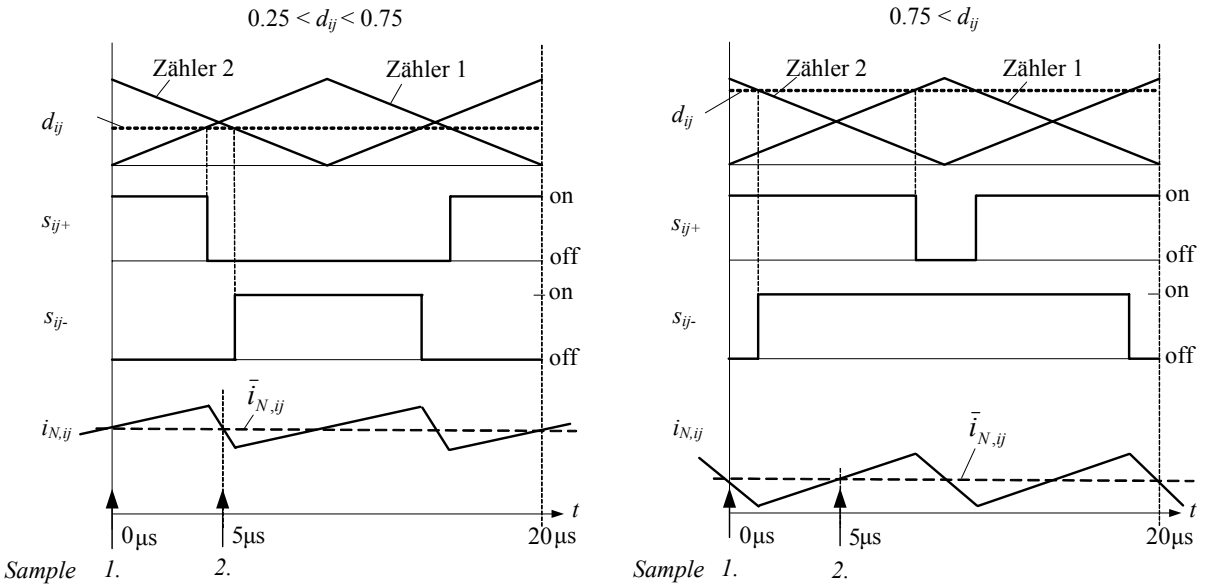


Bild 2.38: Optimale Abtastzeitpunkte zur Unterdrückung des schaltfrequenten Stromrippels und der Störungen in den Umschaltzeitpunkten. Tastverhältnis d_{ij}, die beiden im PLD implementierten Zähler zur PWM-Generierung, die beiden Ansteuersignale s_{ij+} und s_{ij-} und der Modulstrom $i_{N,ij}$ innerhalb einer Taktperiode T_P=20µs.

2.4.2.3.1 Steuerkonzept – Zusammenwirken von PLD - DSP

Nach der Initialisierung der Steuerhardware und dem erstmaligen Senden von Daten des DSP an das PLD, läuft die Regelungssoftware im DSP vollständig durch Interrupts gesteuert. Das PLD generiert vor dem Ende eines jeden Taktzyklus einen DSP-Interrupt, der die Interrupt Service Routine ISR_DSP aufruft, in der die Abtastung der aktuellen Messdaten und die Berechnung der neuen Tastverhältnisse durchgeführt wird (s. **Bild 2.39**). Die zweite Abtastung der Messwerte nach 5µs wird über einen Timer0-Interrupt gesteuert. Wichtig ist in diesem Zusammenhang die Berücksichtigung der Verzögerungszeit von 1µs für die Ausführung einer Interrupt-Service Routine[4] und der Verzögerungszeit von 400ns zwischen dem Aufruf der A/D-Service Routine und dem Beginn der Datenkonversion, damit die Abtastwerte in der Mitte des schaltfrequenten Stromrippels liegen. Zu diesem Zweck kann der Zeitpunkt für das Absetzen des DSP-Interrupts justiert werden, indem der DSP die resultierende Verzögerungszeit von 1,4 µs in den Eingangsspeicher des PLDs schreibt. Damit ist sichergestellt, dass der 1. Abtastzeitpunkt für die Messdaten mit dem Beginn des Hochzählens des PWM-Zählers 1 (s. Bild 2.38) übereinstimmt, wodurch die Abtastung der Modulströme

[4] wenn diese in C programmiert ist

zum gewünschten Zeitpunkt (in der Mitte des schaltfrequenten Rippels) erfolgt. Die Berechnung der Tastverhältnisse erfolgt innerhalb eines Taktzyklus $T_P = 20\mu s$. Am Ende einer Taktperiode werden die neu berechneten Daten an das PLD gesendet. Diese werden in der Folgeperiode zur PWM-Generierung verwendet. Bei Ausbleiben der Datenübertragung geht das PLD in einen Fehler-Zustand über und setzt alle PWM-Signale auf 0 zurück. Die resultiernde Totzeit durch die digitale Regelung (Berechnungsalgorithmus (T_P) und PWM-Generierung ($T_P/2$)) beträgt somit $T_{T,dig} = 1.5T_P = 30\mu s$ und kann bezogen auf die Bandbreite der Stromregelung in der Regelungsauslegung vernachlässigt werden. Weitere Informationen zum Datentransfer zwischen DSP und PLD und zur VHDL-Programmstruktur des PLDs sind in [Fri05] angeführt.

Am Ende des Berechnungsalgorithmus geht der DSP in die *main*-Routine über, und führt dort die Temperaturüberwachung des Systems, die Kommunikation mit einem Leitrechner über den externen Interrupt des Software-Monitors oder die Ausgabe von DSP-Variablen via SPI-Schnittstelle und Hardware-Monitor an das Oszilloskop aus. Die beiden letzten Punkte erleichtern die Softwareentwicklung und die Abstimmung der Reglerparameter während der Inbetriebnahmephase erheblich. Mit dem nächsten DSP-Interrupt wird die *main*-Routine verlassen, und die 1. Abtastung der Messdaten für den neuen Taktzyklus zum Zeitpunkt t=20µs eingeleitet. Bild 2.39 stellt den zeitlichen Ablauf eines Regelzyklus mit Angaben der Programmteile für den Regelalgorithmus dar.

Die 10 Messgrössen für die Regelung der PFC-Eingangsmodule werden nach dem in **Tabelle 2.9** angegebenen Messzyklus eingelesen. Über einen externen Multiplexer, der über Steuersignale des DSP adressiert wird, wird die Auswahl der abzutastenden Messgrösse für die A/D-Kanäle 4 und 8 festgelegt. Die Einschwingzeit der Messgrösse am Ausgang des Multiplexers beträgt ca. 60µs. Aus diesem Grund dauert ein Messzyklus 3 Taktperioden. Für die Weiterverarbeitung der über den externen Multiplexer geführten Messgrössen werden nur die Abtastwerte der letzten Taktperiode eines Messzyklus verwendet. Somit ergibt sich eine Abtastrate für die Modulausgangsspannungen und die Systemtemperatur von $T_S = 240\mu s$. Das Design der Messwerterfassung wurde flexibel entworfen, sodass die Messung von zusätzlichen Messgrössen einer nachgeschalteten DC/DC-Ausgangsstufe (bestehend aus drei DC/DC-Konvertermodulen, siehe Bild 2.59 auf S. 144) möglich ist [Fri05].

Informationen zur Programmstruktur der DSP-Software und zum Zustandsautomaten im PLD sind ausführlich in der Diplomarbeit [Fri05] dokumentiert. Nachfolgend sind zusätzliche Details zum Funktionsumfang der Stromregelung und zur Vorsteuerung des Tastverhältnisses angeführt.

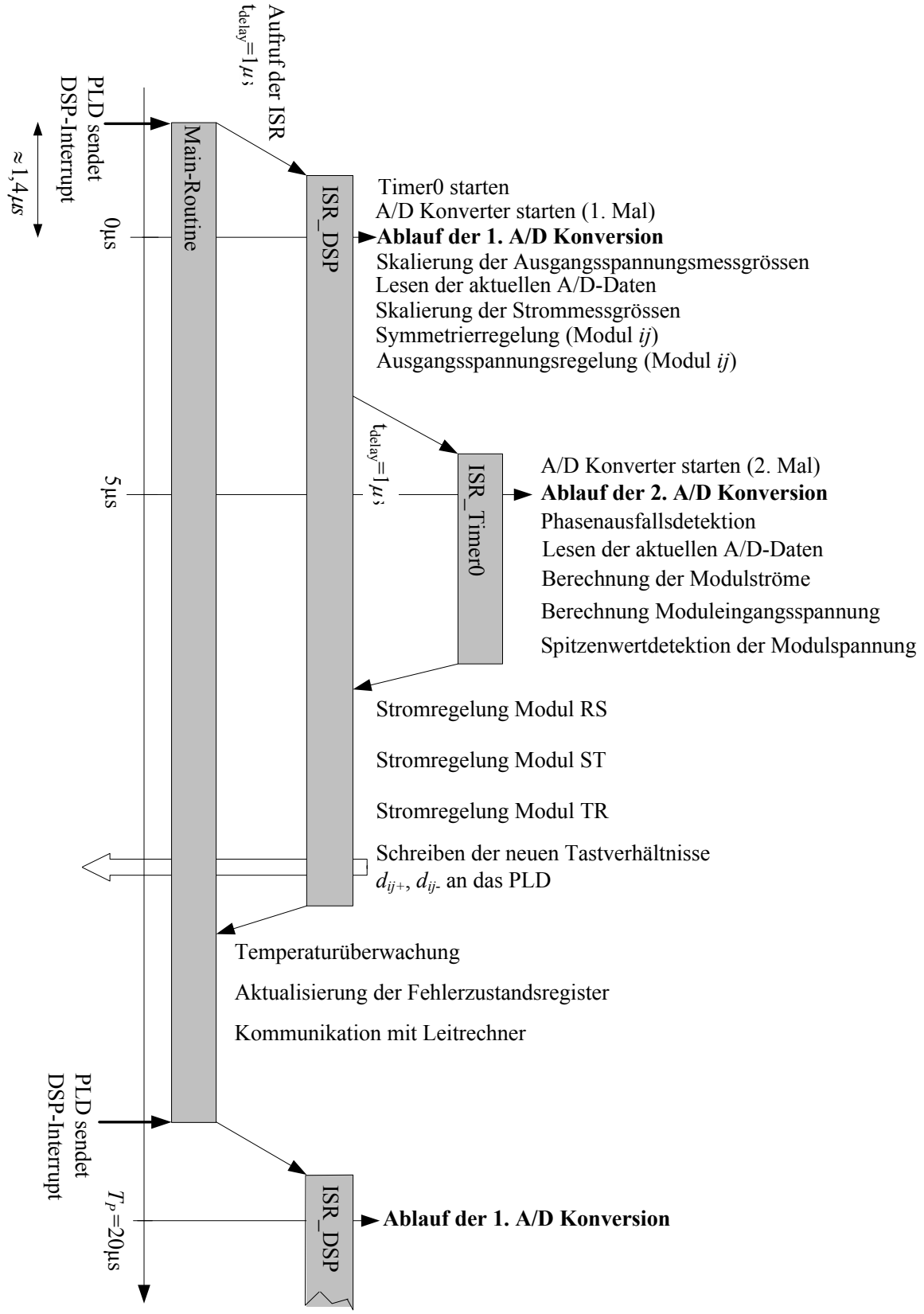


Bild 2.39: Zeitlicher Ablauf eines Regelzyklus. Für die Erweiterung der Systemregelung einschliesslich der DC/DC-Ausgangsstufen stehen noch ca. 4,5µs innerhalb einer Taktperiode zur Verfügung.

Tabelle 2.9: Messzyklus für die PFC-Messgrössen.

Messzyklus		1	2	3	4
Abtastperiode		1...3	4...6	7...9	10...12
A/D-Kanal	1	$i_{N,RS}$	$i_{N,RS}$	$i_{N,RS}$	$i_{N,RS}$
	2	$i_{N,ST}$	$i_{N,ST}$	$i_{N,ST}$	$i_{N,ST}$
	3	$i_{N,TR}$	$i_{N,TR}$	$i_{N,TR}$	$i_{N,TR}$
	4	$U_{O,RS}$	$U_{O,ST}$	$U_{O,TR}$	$Temp$
	5	$u_{N,R}$	$u_{N,R}$	$u_{N,R}$	$u_{N,R}$
	6	$u_{N,S}$	$u_{N,S}$	$u_{N,S}$	$u_{N,S}$
	7	$u_{N,T}$	$u_{N,T}$	$u_{N,T}$	$u_{N,T}$
	8	$U_{O,RS+}$	$U_{O,ST+}$	$U_{O,TR+}$	-

2.4.2.3.2 Stromregelung mit Vorsteuerfunktion des Tastverhältnisses

Im geregelten Betrieb des Systems bestimmt die abgeführte Ausgangsleistung den Betriebsmodus der unterlagerten Stromregelung. Bei sinkender Ausgangsbelastung geht die kontinuierliche Stromführung (CCM) in der Eingangsinduktivität L_Δ verloren, und die Vorsteuerung des Tastverhältnisses mittels

$$m_{ij,CCM} = 1 - \frac{u_{N,ij}}{U_{O,ij}}, \tag{2.106}$$

verliert ihre Gültigkeit. Der Übergang zur diskontinuierlichen Stromführung (DCM) findet als erstes im Stromnulldurchgang statt, und liegt vor, wenn die Einhüllende des Stromrippels für CCM eine grössere Steigung als der Sollwert der Stromgrundschwingung $i^*_{N,ij}$ [Kol04] aufweist. Für eine 2-Punkt Pulsgleichrichterstufe ist nach [DeG05] der Betrieb bei CCM während der gesamten Netzhalbperiode ab einem Mindesteingangsleitwert von $G > T_P/2L$ gewährleistet, wobei T_P die Taktperiode und L die Eingangsinduktivität des Systems bezeichnet.

Für die vorliegende 3-Punkt-Topologie ergibt sich aufgrund der versetzten Taktung - die auf eine Schwankung des Stromrippels mit doppelter Schaltfrequenz führt - eine Halbierung des Mindestleitwertes. Dies kann durch die Bestimmung der Anfangssteigung der Einhüllenden des lokalen Stromrippels angegeben in Gl. (2.30) bzw. Gl. (2.39) überprüft werden. Für die gegebenen Systemparameter arbeitet deshalb ein Modul ab einem Leitwert von

$$G_{ij,\min} = \frac{T_P}{4L_\Delta} = 5.95\text{mS} \tag{2.107}$$

bzw. oberhalb einer Mindestausgangsleistung von $P_{M,O,min}$=950W bei $U_{N,ij}$=400V ausschliesslich im CCM Betrieb. Liegt die zu liefernde Leistung unterhalb dieser Schwelle, wird der Regelung durch die gewählten Abtastzeitpunkte ein zu grosser Stromistwert vorgegeben. Wie in [DeG05] dargestellt, kann durch Korrektur der Vorsteuerfunktion des Tastverhältnisses auch im DCM Betrieb eine sehr gute Stromführung erreicht werden. Die für den kontinuierlichen Betrieb ausgelegte Stromreglerverstärkung muss bei der korrigierten Vorsteuerfunktion nicht an die geänderten dynamischen Streckenverhältnisse angepasst werden. Die Vorsteuerfunktion für den diskontinuierlichen Bereich errechnet sich nach [DeG05] und mit Anpassung an die 3-Punkt Struktur zu

$$m_{ij,DCM} = \sqrt{4G_{ij}L_\Delta f_P} \cdot \sqrt{m_{ij,CCM}} \,. \tag{2.108}$$

In **Bild 2.40** sind die Vorsteuerfunktionen für kontinuierliche Stromführung (Kennlinie CCM) und für diskontinuierliche Stromführung (DCM) bei verschiedenen reduzierten Ausgangsleistungen dargestellt. Der Schnittpunkt der Kennlinien gibt den Übergang zwischen DCM und CCM an. Mit zunehmender Leistung wandert der Schnittpunkt in Richtung Nulldurchgang der Modulstroms (φ =0 bzw. π) bis nach Gl. (2.107) nur noch kontinuierliche Stromführung vorliegt. D.h. für die angegebenen Lastpunkte liegt innerhalb einer Netzhalbperiode im Bereich des Stromnulldurchganges diskontinuierliche und im Bereich der Stromamplitude kontinuierliche Stromführung vor. Die Auswahl der Vorsteuerfunktion m_{ij} kann einfach durch einen Minimum-Vergleich der aktuellen Werte der Vorsteuerfunktionen $m_{ij,CCM}$ und $m_{ij,DCM}$ durchgeführt werden. Die Berechnung der Vorsteuerfunktion $m_{ij,DCM}$ wird im DSP aus Laufzeitgründen mit einer linearen Näherung der Wurzelfunktion im Leistungsbereich zw. 250W-800W implementiert. **Bild 2.41** zeigt den Verlauf der Kennlinien mit der linearen Näherung. **Bild 2.42** erläutert die implementierte Variante zur Vorsteuerung des Tastverhältnisses. Sinkt die Modulausgangsleistung respektive der Modulleitwert unterhalb eines Mindestwertes ($P_{M,O}$<150W, $G_{ij,min}$<0,94mS bei $U_{N,ij}$=400V) wird die Vorsteuerfunktion m_{ij} auf Null gesetzt und das Tastverhältnis nur durch die Stellgrösse des Stromreglers gebildet. Bei kleineren Ausgangsleistungen ist die zu erreichende Stromqualität zusätzlich sehr stark von der Messsensorik und vom Verhältnis des Nutzmesssignals zum Störpegel bestimmt.

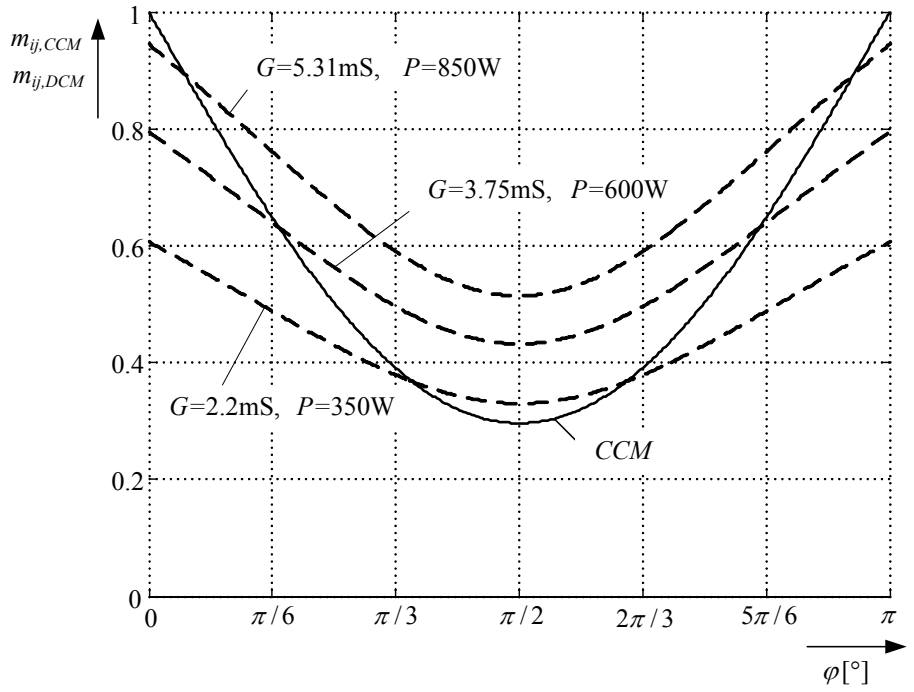


Bild 2.40: Ideale Vorsteuerfunktion für das Tastverhältnis bei kontinuierlicher Stromführung (Kennlinie CCM) und bei diskontinuierlicher Stromführung infolge reduzierter Ausgangsleistung (strichlierte Kennlinien). Die Abtastung des Modulstroms erfolgt gemäss **Bild 2.38**.

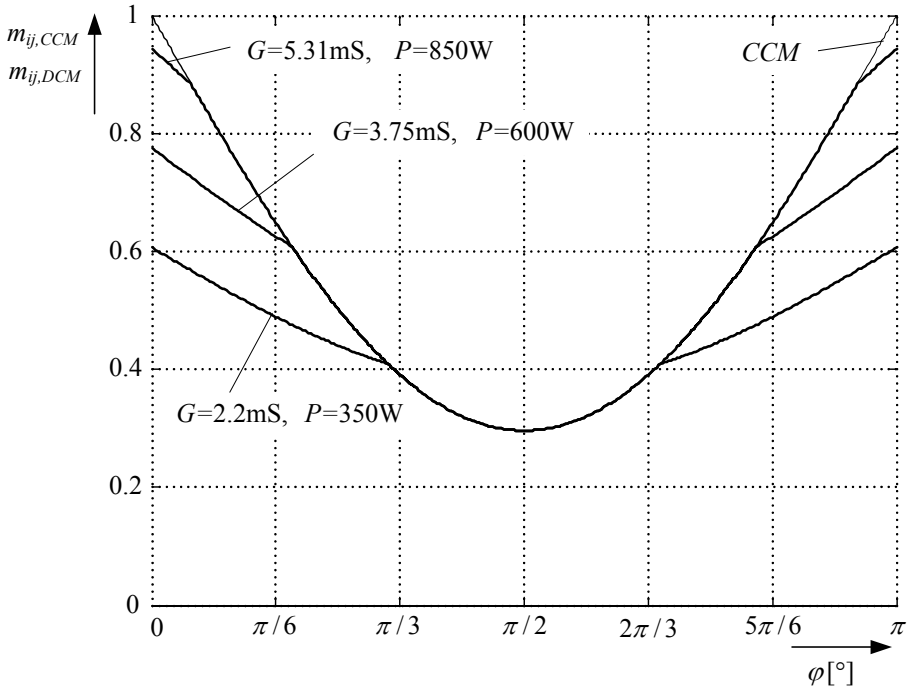


Bild 2.41: Wirksame Vorsteuerfunktion m_{ij} nach der Minimumauswahl von $m_{ij,CCM}$ und $m_{ij,DCM}$. Die Berechnung der Vorsteuerfunktion $m_{ij,DCM}$ für den diskontinuierlichen Bereich wird anstelle der rechenintensiven Wurzelfunktion durch eine lineare Näherung (s. **Bild 2.42**) ermittelt.

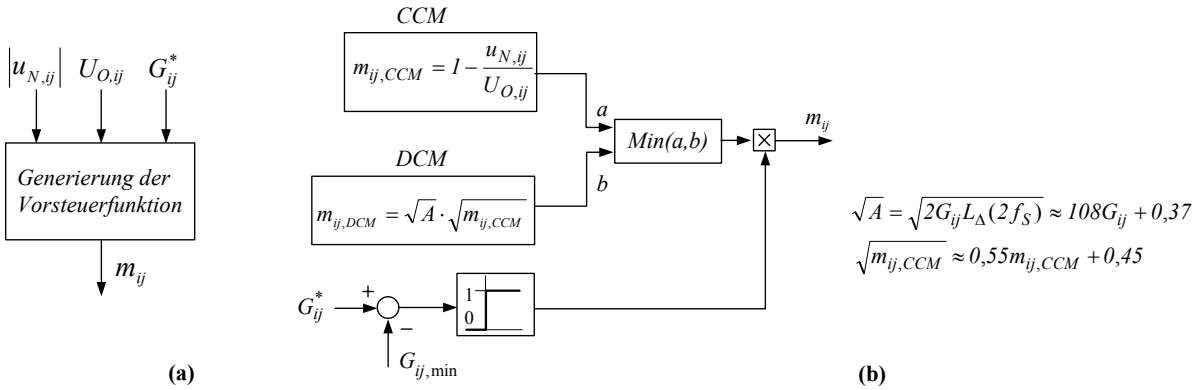


Bild 2.42: Die Berechnung der Vorsteuerfunktion m_{ij} unter **(a)** bzw. in Bild 2.37 erfolgt durch die in **(b)** gezeigte Implementierung. Die Koeffizienten für die lineare Näherung der DCM-Vorsteuerfunktion wurden für $U_{N,ij}$=400V ermittelt.

Im Bereich des Stromnulldurchganges kann eine Verbesserung der sinusförmigen Stromführung bzw. eine Reduzierung der Stromnulldurchgangsverzerrung aufgrund der erhöhten Durchlassspannungen der Gleichrichterventile während der Stromkommutierung durch Beschränkung der Tastverhältnisse erreicht werden. Die Wirkungsweise der in Bild 2.37 als Formfilter bezeichneten Funktion ist in **Bild 2.43** dargestellt. Die Optimierung der Begrenzungsschwellen $d_{ij,rise,max}$=0,92 und $d_{ij,fall,max}$=0,945 erfolgte experimentell und stellt den bestmöglichen Kompromiss für verschiedenen Lastpunkten dar.

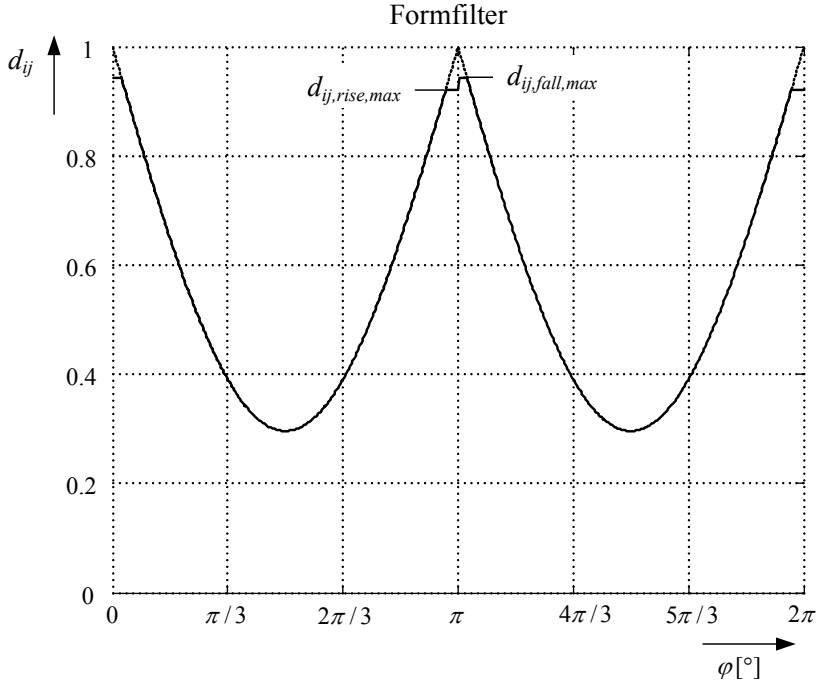


Bild 2.43: Anpassung des Tastverhältnisses vor der Übergabe an das PLD, um die Stromverzerrung in den Nulldurchgängen zu reduzieren.

2.4.2.3.3 Implementierung der Reglerparameter

Die zeitkontinuierlich berechneten Regler müssen in den zeitdiskreten Bereich transformiert werden und die Reglerparameter an die zusätzlich wirksamen Verstärkungen der Messglieder und an die Normierung der Messgrössen sowie der Tastverhältnisse angepasst werden.

Die Parameter für die Nullpunkts- und Verstärkungskorrektur der abgetasteten Werte wurden so gewählt, dass der Nennwert der Messgrössen ($U_{Nij,nenn}$=400V, $I_{N,ij,nenn}$=16A, $U_{O,ij+,nenn}$=400V) auf den Zahlenwert $8192_{(integer)}$=$1FFF_{(hex)}$=$0.25_{(dezimal)}$ abgebildet wird. Die resultierende Verstärkung für das Tastverhältnis ergibt sich aus dem Verhältnis zwischen dem Zahlenwert $32767_{(integer)}$ und dem Maximalwert des PWM-Zählers von $1250_{(integer)}$ (1250 entspricht einer relativen Einschaltdauer von 100%; $d=1$)[5]. Damit resultieren die folgenden Verstärkungsfaktoren für die Strom- und Spannungsmessung bzw. für die Pulsmusterausgabe

$$\begin{aligned} k_{MI} &= 1/64 \ \ [\mathrm{A}^{-1}] \\ k_{MU} &= 1/1600 \ \ [\mathrm{V}^{-1}]. \\ k_{PWM} &= 26{,}2 \end{aligned} \tag{2.109}$$

Bevor die zeitkontinuierlichen Systemregler $R_I(s)$, $R_U(s)$ und $R_{Usym}(s)$ in den zeitdiskreten Berechnungsalgorithmus übergeführt werden, müssen die in Gl.(2.109) angegeben Verstärkungsfaktoren berücksichtigt werden. In Gl. (2.110) kennzeichnet der Index m die Systemregler mit Berücksichtigung der Messkreisverstärkung.

$$\begin{aligned} R_{I,m}(s) &= \frac{R_I(s)}{k_{PWM} \cdot k_{MI}} \\ R_{U,m}(s) &= \frac{k_{MI}}{k_{MU}} R_U(s) \\ R_{Usym,m}(s) &= \frac{k_{PWM}}{k_{MU}} R_{Usym}(s) \end{aligned} \tag{2.110}$$

Die digitale Implementierung der PIT1-Spannungsregler ist in Gl. (2.111) angegeben. Die Überführung des Integrators und des Tiefpassfilters in den diskreten Zeitbereich basiert auf einer einfachen Rechtecknäherung. Der Tiefpassalgorithmus ist ab $T_2 > 10T_S$ hinreichend

[5] Mit der Taktfrequenz (f_{PLD} = 125MHz) des PLDs und dem Maximalwert von 1250 für den PWM-Zähler resultiert für ein symmetrisches Dreieckträgersignal ein PWM-Signal mit einer zeitlichen Auflösung von 16ns und einer Pulsperiode von T_P = 50kHz.

genau; T_S bezeichnet die Samplerate bzw. die Zykluszeit der Berechnungsausführung. Die Berechnung der Spannungsregler wird versetzt für die einzelnen Module alle $T_S = 12T_P = 240\mu s$ ausgeführt.

$$\text{PIT}_1 - \text{Regler} = \frac{k_P(1+T_1 s)}{T_1 s(1+T_2 s)} = \frac{(1+T_1 s)}{\frac{T_1}{k_P}s}\frac{1}{(1+T_2 s)} = (\underbrace{\frac{k_P}{T_1}\frac{1}{s}}_{\text{I-Anteil}} + k_p)\underbrace{\frac{1}{1+T_2 s}}_{\text{PT1}}$$

$$\text{I} - \text{Anteil}: y_{[kTs]} = y_{[(k-1)T_S]} + \frac{k_P T_S}{T_I} e_{[kT_S]} \tag{2.111}$$

$$\text{PT1}: y_{[kT_S]} = y_{[(k-1)T_S]} + \frac{T_S}{T_2}(e_{[kT_S]} - y_{[(k-1)T_S]})$$

2.4.2.4 Erweiterungen der Regelung für den Betrieb des Systems bei Phasenausfall

Die Entwicklung des modularen Regelungskonzepts beruht darauf, dass die drei Eingangsmodule voneinander entkoppelt sind und unabhängig geregelt werden können. Diese Bedingung liegt solange vor, bis durch einen Ausfall einer Phase zwei Module in Serie geschaltet werden. Über den gemeinsamen Modulstrom sind nun die beiden Modulausgangsspannungen verkoppelt. Die Frage ist nun, welches Übertragungsverhalten das verkoppelte System aufweist, und welche Wirkung die Stellgrössen der Zwischenkreisspannungsregler auf die verkoppelten Zwischenkreisspannungen ausüben. Es ist zu überprüfen, ob das modulare Regelungskonzept auch für den zweiphasigen Netzbetrieb Stabilität garantiert.

Die nachfolgende Analyse behandelt ein System ohne die Möglichkeit einer Phasenumschaltung, d. h. die Eingangsgleichrichtung ist durch eine Diodenbrücke gemäss Bild 2.8 realisiert. Zur besseren Übersicht, wird die Beschreibung der Verkopplung der Module für eine 2-Punkt Ausgangsstruktur gezeigt. Diese Vereinfachung hat auf die Analyse der Verkopplung keinen Einfluss, da hinsichtlich der Gesamtzwischenkreisspannung $U_{O,ij}$ die 3-Punkt und die 2-Punkt Topologie dasselbe dynamische Verhalten aufweisen. Die Systembeschreibung mittels *State-Space-Averaging* in einem DC/DC-Arbeitspunkt gibt einen hinreichend genauen Aufschluss über das dynamische Verhalten. Dies ist damit zu begründen, dass die Regelung des Systems durch die Vorsteuerung des Tastverhältnisses immer in einem quasistationären Betrieb geführt wird. Die Zustandsraumdarstellung des Kleinsignalmodells für einen 2-Punkt Hochsetzsteller ist in Gl. (2.101) und (2.105) angegeben.

Tritt ein Unterbruch z.B. in Phase *T* auf (dargestellt in **Bild 2.44)**, fliesst ein gemeinsamer Modulstrom durch die Module *ij=ST* und *TR*. Die in Serie geschalteten Module liegen nun parallel zum Modul *ij=RS* an der speisenden Netzspannung $-u_{N,RS}$. Die Moduleingangsspannungen $u_{N,ST}$ und $u_{N,TR}$ werden über die nullgrössenfreien Sternpunktsspannungen $u'_{N,i}$ erfasst.

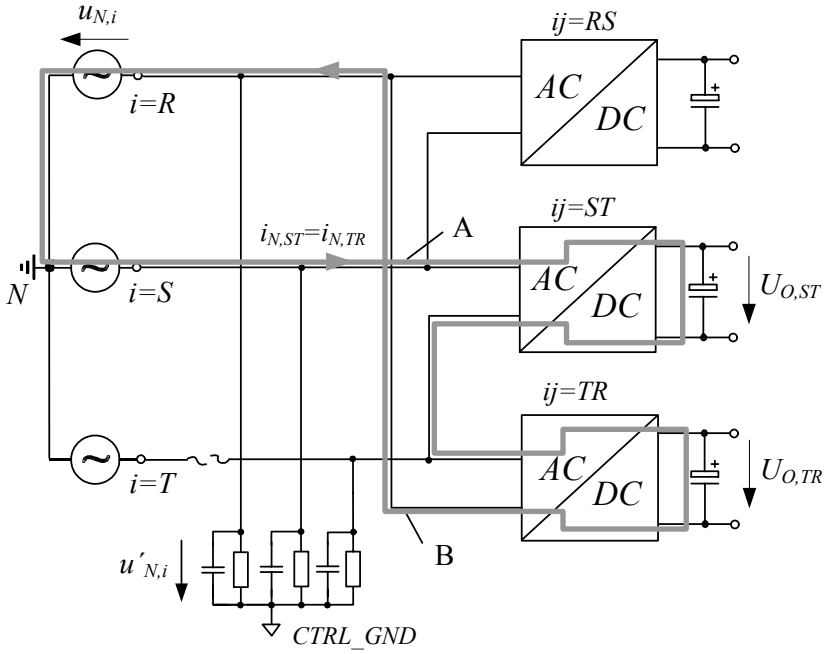


Bild 2.44: Darstellung der auftretenden Modulverkopplung aufgrund eines Phasenausfalls. Die Module *ij=ST* und *TR* kommen aufgrund eines Ausfalls der Phase *T* in Serie und parallel zum Modul *ij=RS* an der Phasenspannung $u_{N,RS}$ zu liegen

Die Zustandsraumdarstellung nach Gl. (2.105) für das Kleinsignalmodell einer einzelnen Gleichrichterstufe gemittelt über eine Netzhalbperiode muss nun auf die Serienschaltung zweier Module erweitert werden. Dies wird erreicht, indem die Zustandsraumdarstellungen für das Modul *ij=ST* und *ij=TR* unter Berücksichtigung von $i_{N,ST} = i_{N,TR} = i_N$ zu einer gemeinsamen Beschreibung zusammengefasst werden. Mit

$$\begin{bmatrix} \dot{i}_N \\ \dot{u}_{O,ST} \\ \dot{u}_{O,TR} \end{bmatrix} = \begin{bmatrix} -kp\dfrac{U_{O,ST}+U_{O,TR}}{L_\Delta} & -\dfrac{1-D}{L_\Delta} & -\dfrac{1-D}{L_\Delta} \\ kp\dfrac{I_N}{C}+\dfrac{1-D}{C} & -\dfrac{1}{RC} & 0 \\ kp\dfrac{I_N}{C}+\dfrac{1-D}{C} & 0 & -\dfrac{1}{RC} \end{bmatrix} \cdot \begin{bmatrix} i_N \\ u_{O,ST} \\ u_{O,TR} \end{bmatrix} + \begin{bmatrix} kp\dfrac{U_{O,ST}}{L_\Delta} & kp\dfrac{U_{O,TR}}{L_\Delta} \\ -kp\dfrac{I_N}{C} & 0 \\ 0 & -kp\dfrac{I_N}{C} \end{bmatrix} \cdot \begin{bmatrix} i^*_{N,ST} \\ i^*_{N,TR} \end{bmatrix} + \begin{bmatrix} \dfrac{1}{L_\Delta} & \dfrac{1}{L_\Delta} \\ 0 & 0 \\ 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} u_{N,ST} \\ u_{N,TR} \end{bmatrix} \tag{2.112}$$

wird das Kleinsignalverhalten einer Serienschaltung zweier Hochsetzstellerstufen (s. **Bild 2.45**) mit unterlagertem Stromregelkreis im Arbeitspunkt (I_N, $U_{O,ST}$, $U_{O,TR}$, D) beschrieben. Um bei Beibehaltung des modularen Regelkonzeptes ein stabiles Systemverhalten erreichen zu können, darf die Streckenverkopplung keinen wesentlichen Einfluss auf das Systemverhalten haben. Mit anderen Worten müsste die Stellgrösse $i^*_{N,ST}$ weiterhin einen positiven Durchgriff auf $u_{O,ST}$ und kaum einen Einfluss auf $u_{O,TR}$ haben.

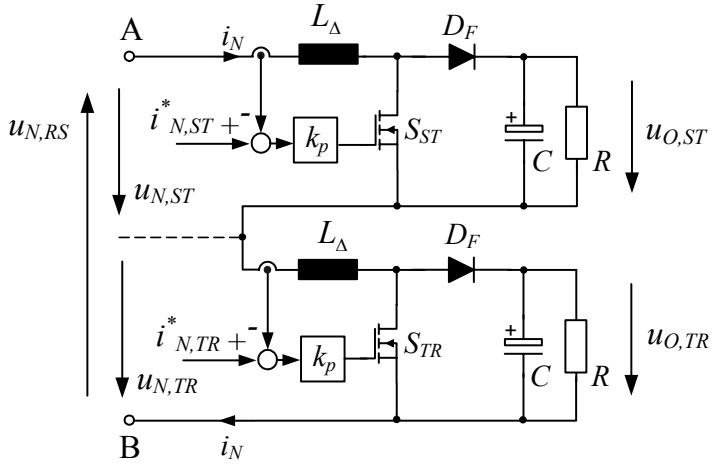


Bild 2.45: Serienschaltung von zwei Hochsetzstellern. Durch das modulare Regelkonzept ist jede Stufe mit einem Proportionalstromregler ausgeführt; die Sollwerte $i^*_{N,ST}$ und $i^*_{N,TR}$ werden von den überlagerten Modulspannungsreglern vorgegeben.

Die Übertragungsfunktionen der Stellgrösse $i^*_{N,ST}$ des Spannungsreglers $R_{U,ST}(s)$ auf die Ausgangsspannungen $u_{O,ST}$ und $u_{O,TR}$, d.h.

$$G_{ST-ST}(s)=\frac{u_{O,ST}(s)}{i^*_{N,ST}(s)} \quad \text{(Längskopplung) und}$$
$$G_{ST-TR}(s)=\frac{u_{O,TR}(s)}{i^*_{N,ST}(s)} \quad \text{(Querkopplung)}, \tag{2.113}$$

sind in **Bild 2.46** für die folgenden DC-Arbeitspunkte (1…$U_{N,RS}$ = 600V, I_N = 5,83A; 2…$U_{N,RS}$ = 200V, I_N = 17,5A; 3…$U_{N,RS}$ = 200V, I_N = 5A; 4…$U_{N,RS}$ = 600V, I_N = 1,67A; 5…$U_{N,RS}$ = 400V, I_N = 4,5A) dargestellt. Die weiteren Parameter für die Arbeitspunkte der Kleinsignalübertragungsfunktionen sind mit

$$U_{O,ST}=U_{O,TR}=U^*_O=800\text{V},\ U_{N,ST}=U_{N,TR}=U_{N,RS}/2,$$
$$D=1-\frac{U_{N,RS}}{2U^*_O},\ kp=0{,}03\text{A}^{-1},\ C=470\mu\text{C},\ L_\Delta=840\mu\text{H} \tag{2.114}$$

festgelegt.

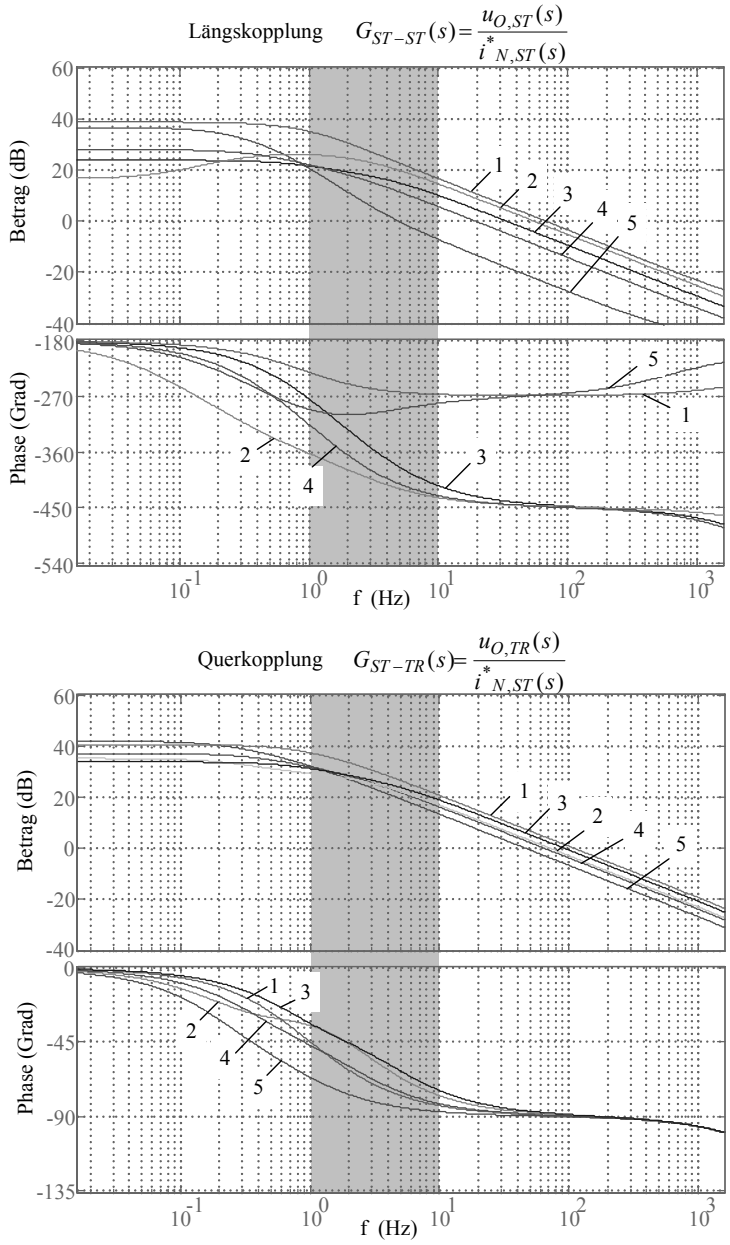


Bild 2.46: Bodediagramm für das Übertragungsverhalten der Teilausgangsspannungen in Abhängigkeit des Stellgrösseneingriffs des Modulspannungsreglers $R_{U,ST}$(s). Der interessante Bereich für die Reglerauslegung ist grau markiert.

Es ist klar ersichtlich, dass sich das Übertragungsverhalten der Stellgrösse des Spannungsreglers auf die Ausgangsspannungen vollkommen geändert hat. Die Längskopplung weist nun eine Phasendrehung von mindestens -180° auf, hingegen weist die Querkopplung eine Systemdynamik auf, die sehr ähnlich mit der eines entkoppelten Systems ist. Die modulare Regelung muss also für den zweiphasigen Betrieb zur Stabilisierung der Modulzwischenkreisspannungen modifiziert werden. Nachfolgend werden 3 verschiedene Möglichkeiten zur Implementierung einer Systemregelung für den zweiphasigen Fall

vorgestellt, die mittels Simulation an einem geschalteten System mit digitaler Regelung auf Stabilität überprüft wurden.

2.4.2.4.1 Anpassung des Regelkonzepts an das geänderte Streckenverhalten

Die Regelung der in Serie geschalteten Systeme kann nun genauso implementiert werden, wie die Regelung eines Hochsetzstellers mit einer 3-Punkt Ausgangstopologie. Damit wird automatisch nur eine Sollgrösse für den gemeinsamen Modulstrom ausgegeben, und eine Überbestimmung der Systemregelung durch zwei Sollstromvorgaben wird vermieden. Der Sollwert des Modulstroms i_N^* wird mit dem gemessenen Istwert des Moduls *ij=ST* verglichen. Ebenso könnte der Stromistwert in der Regelung durch den gemessenen Strom im Modul *ij=TR* gebildet werden. **Bild 2.47** zeigt das Regelungskonzept für den Einsatz der beiden verkoppelten Module *ij=ST* und *TR* bei Ausfall der Phase *T*. Die Erkennung des Phasenausfalls kann eindeutig über die $u'_{N,T} = 0$ und $i_{N,ST} = i_{N,TR}$ detektiert werden. Die Umschaltung des Regelungskonzeptes durch die Phasenausfallserkennung sollte innerhalb von 10ms nach Phasenausfall erfolgen. Die Symmetrierung der Teilausgangsspannungen der verkoppelten Module wird weiterhin über die Modul-Symmetrierregler $R_{U,sym}$(s) durchgeführt. Das Modul *ij=RS* wird unverändert über das modulare Regelkonzept (s. Bild 2.37) gesteuert. Aus Gründen einer besseren Übersicht, sind in Bild 2.47 die Begrenzungs- und Schutzeinrichtungen weggelassen. Dieses Regelkonzept wird auch für den *Y-Rectifier* bei zweiphasigem Netzbetrieb angewendet. Experimentelle Messungen am *Y-Rectifier* verifizieren die Systemstabilität (vgl. Kapitel 3.6.3. und s. Bild 3.48 und Bild 3.49).

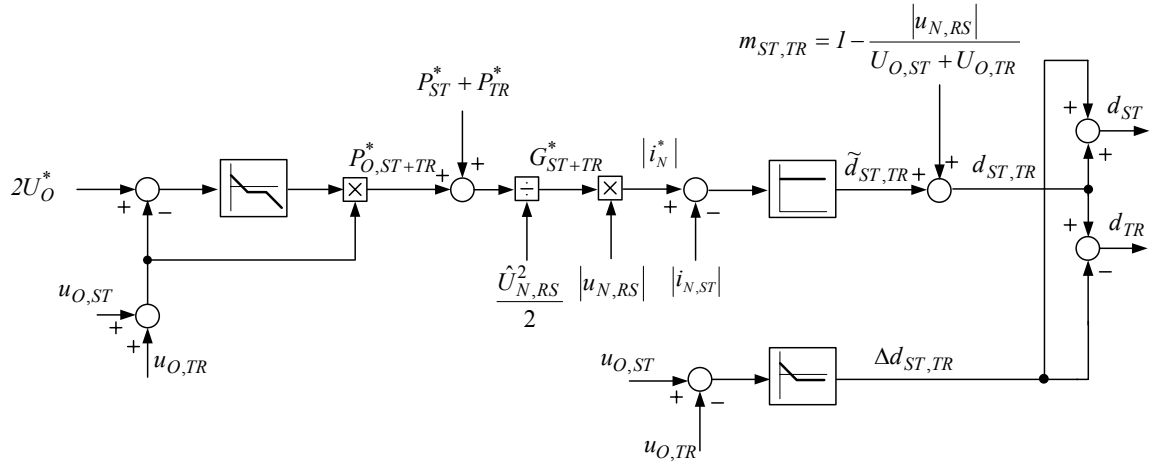


Bild 2.47: Regelungskonzept für die beiden verkoppelten Module basierend auf dem Konzept zur Regelung einer 3-Punkt Ausgangsstufe. Eine Vorsteuerung der Ausgangsleistung durch die nachgeschalteten DC/DC-Konverter greift als Summenausgangsleistung (P^*_{ST}+P^*_{TR}) ein. Die Tastverhältnisse d_{ST} und d_{TR} werden noch durch die Symmetrierregler der Teilausgangsspannungen korrigiert ($d_{ST} = d_{ST,TR} + \Delta d_{ST,TR}$ bzw. $d_{TR} = d_{ST,TR} - \Delta d_{ST,TR}$).

2.4.2.4.2 Regelung über die dominante Querkopplung

Eine weitere eingangsseitige Möglichkeit das modulare Regelkonzept an die verkoppelte Strecke anzupassen besteht darin, die Stellgrösse $i^*_{N,ST}$ des Ausgangsspannungsreglers $R_{U,ST}$(s) direkt zur Regelung der Modulspannung $U_{O,TR}$ heranzuziehen, d.h. die Regelung der Modulspannungen auf die dominante positive Querkopplung abzusetzen und den Stellgrösseneingriff auf $U_{O,ST}$ zu deaktivieren. Umgekehrt wird mit der Stellgrösse $i^*_{N,TR}$ direkt auf die Modulausgangsspannung $U_{O,ST}$ eingewirkt, und der Eingriff auf $U_{O,TR}$ deaktiviert. Im Prinzip wird damit der Eingriff des Symmetrierreglers und des Ausgangsspannungsreglers aus Bild 2.47 zusammengefasst. Der Arbeitspunkt der Tastverhältnisse d_{ST} und d_{TR} wird über die Vorsteuerfunktionen $m_{ST} = m_{TR} = 1 - \left|u_{N,RS}\right| / 2U_O^*$ vorgegeben. Dieses Regelungskonzept wurde bisher nur in einer Simulation für wenige Arbeitspunkte getestet und müsste für einen Systemeinsatz noch einer umfangreichen Stabilitätsuntersuchung einschliesslich der diskontinuierlichen Stromführung bei reduzierter Ausgangsleistung unterzogen werden. Für die eingangsseitige Stabilisierung der verkoppelten Module ist dem vorhergehenden Regelungskonzept aus Abschnitt 2.4.2.4.1 der Vorzug zu geben.

2.4.2.4.3 Ausgangsseitige Stabilisierung der Zwischenkreisspannungen über Anpassung der bezogenen Leistung

Um die modulare Systemregelung (s. Bild 2.37) auch für den zweiphasigen Fall anwenden zu können, muss die Stabilisierung der Zwischenkreisspannungen der verkoppelten Systeme über die Regelung der nachgeschalteten DC/DC-Stufen realisiert werden. Das Prinzip beruht darauf, dass ein geringer Anteil der zu übertragenen Ausgangsleistung in Abhängigkeit der Spannungsverhältnisse der Modulzwischenkreise bezogen wird. Dieser zusätzliche Eingriff wird über einen Balancierregler realisiert, der in Kapitel 2.4.3 ausführlich behandelt wird.

Liegt z. B. die Zwischenkreisspannung $U_{O,ST}$ über den Sollwert, bezieht der nachgeschaltete DC/DC-Konverter eine erhöhte Ausgangsleistung, die über eine Ausgangslastvorsteuerung an die Eingangsstufe rückgekoppelt wird (eine Erhöhung des Tastverhältnisses d_{ST} wird gefordert). Die Ausgangslastvorsteuerung und die erhöhte Leistungsentnahme wirken der Stellgrösse des Zwischenkreisspannungsreglers ausreichend entgegen, sodass die Zwischenkreisspannungen der verkoppelten Module auf den Sollwert zurückgeführt werden (der Zwischenkreisspannungsregler $R_{U,ST}$(s) reduziert in der Ausregelphase das Tastverhältnis d_{ST} für $U_{O,ST} > U_O^*$).

Im dreiphasigen Netzbetrieb, wo keine Modulverkopplung vorliegt, ist der Eingriff des Zwischenkreisspannungsreglers korrekt. Gemeinsam mit der gesteigerten Modulausgangsleistung wird die Modulspannung wieder auf den Sollwert zurückgeführt. Die Erhöhung des Tastverhältnisses durch die Ausgangslastvorsteuerung wird durch die Stellgrösse des Zwischenkreisspannungsreglers aufgehoben. Auf das Regelungskonzept für das Gesamtsystem, bestehend aus drei AC/DC-Eingangsstufen und drei DC/DC-Ausgangsstufen wird detailliert in Kapitel 2.4.3 eingegangen.

2.4.2.5 Experimentelle Ergebnisse zum Labormuster B

Nachfolgend werden die Messergebnisse zum Prototyp B vorgestellt. Die Speisung der Eingangsmodule erfolgt über einen linearen Dreiphasen-Leistungsverstärker (Spitzenberger+Spiess DM 15000 PAS) um verschiedene Netzspannungsverhältnisse realisieren zu können. In **Bild 2.48** bis **Bild 2.50** wird die erreichte Systemperformance anhand von Systemwirkungsgrad, Klirrfaktor und Leistungsfaktor dargestellt. Diese Grössen wurden im Rahmen einer Leistungsmessung für den Eingangsspannungsbereich von $U_{N,i}$ = 185V…275V und einem Ausgangsleistungsbereich zwischen $P_O = 1 \ldots 10.5$kW bestimmt. Die Messung der Moduleingangsleistungen und des Leistungsfaktors λ erfolgte mittels des Leistungsmessgeräts *Norma Wide Band Power Analyzer D6100*. Die Messung des Klirrfaktors (THD) der Eingangsströme wurde mittels *Power Analyzer Voltec PM300* durchgeführt. Die Ausgangsleistung der Module wurde über eine Strom-Spannungsmessung mit Multimetern *Fluke 187* bestimmt.

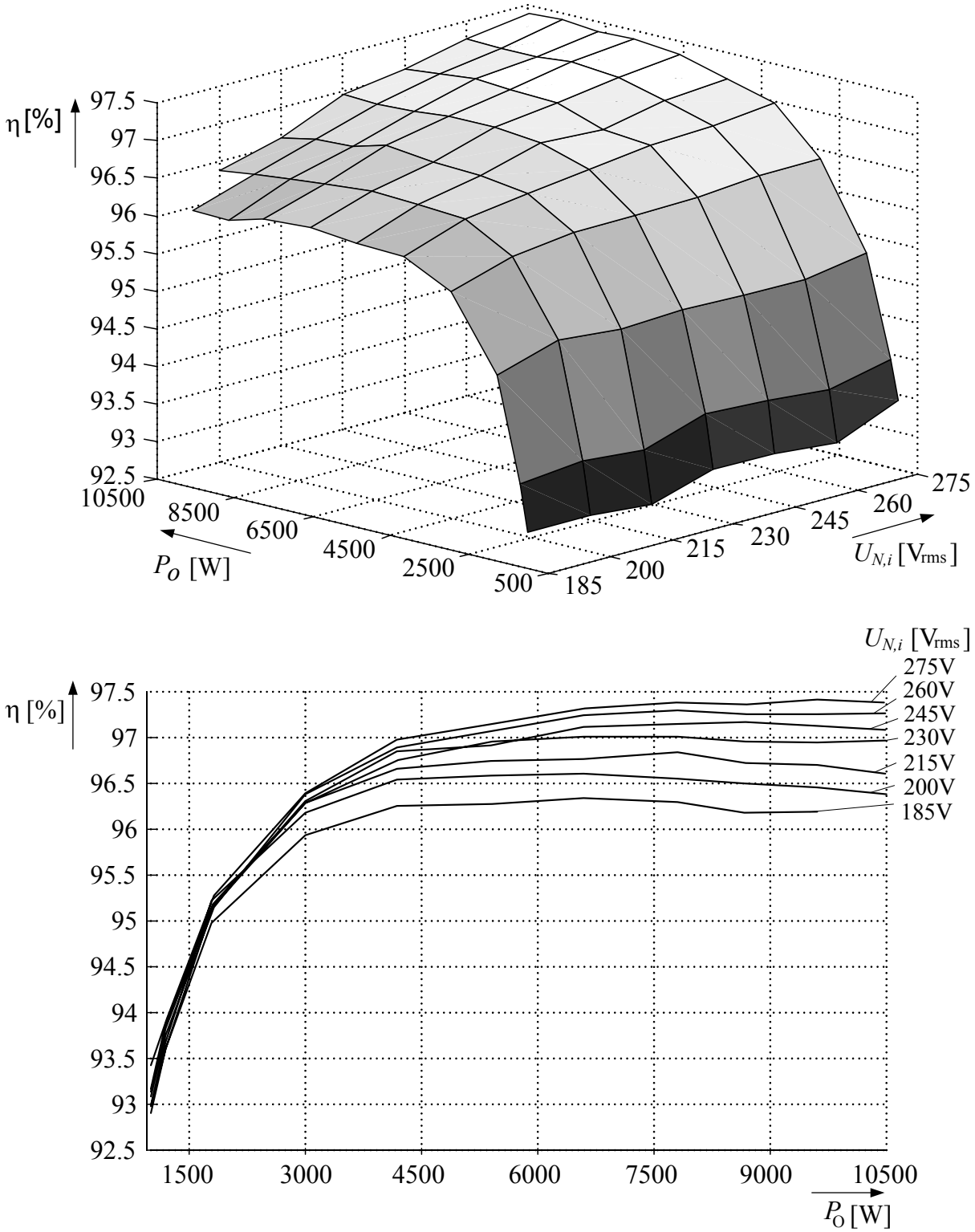


Bild 2.48: Gemessener Systemwirkungsgrad (dreiphasige Pulsgleichrichterstufe ohne DC/DC-Ausgangsstufe) in Abhängigkeit der Eingangsspannung $U_{N,i}$ und der Ausgangsleistung für symmetrische Netzverhältnisse.

Die Zunahme des THD hin zu kleineren Leistungen ist vorrangig durch die Verschlechterung des Stör-Nutzsignal-Verhältnisses in der Strommesserfassung (siehe **Bild 2.52**) bedingt.

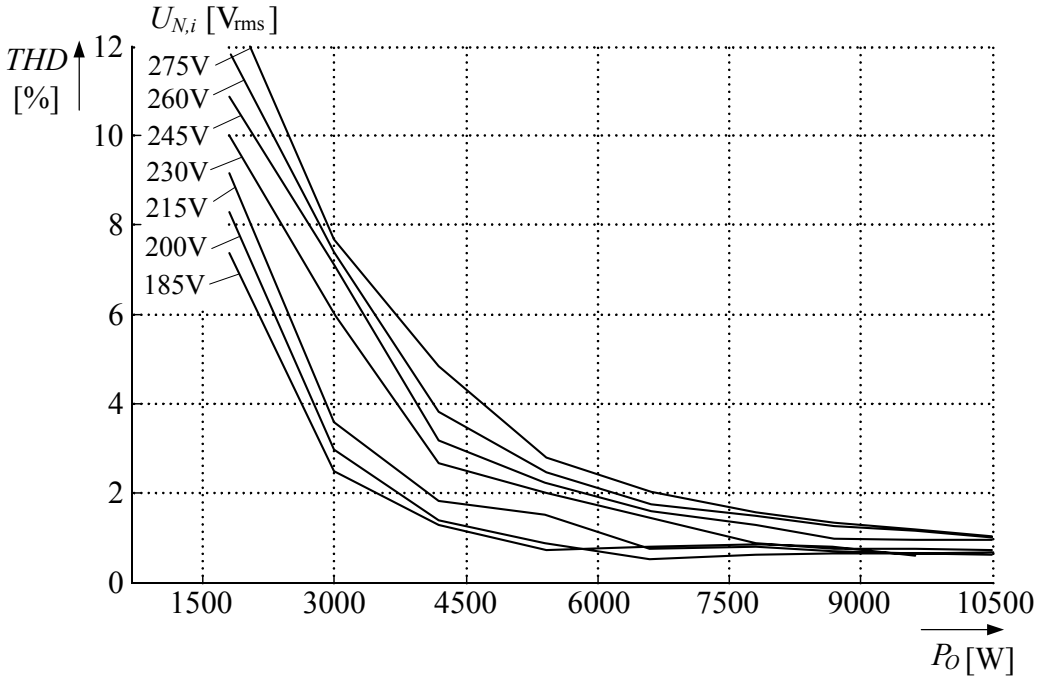


Bild 2.49: Mittlerer Klirrfaktor (THD) der Eingangsströme in Abhängigkeit der Ausgangsleistung und der Eingangsspannung bei symmetrischen rein sinusförmigen Netzspannungen.

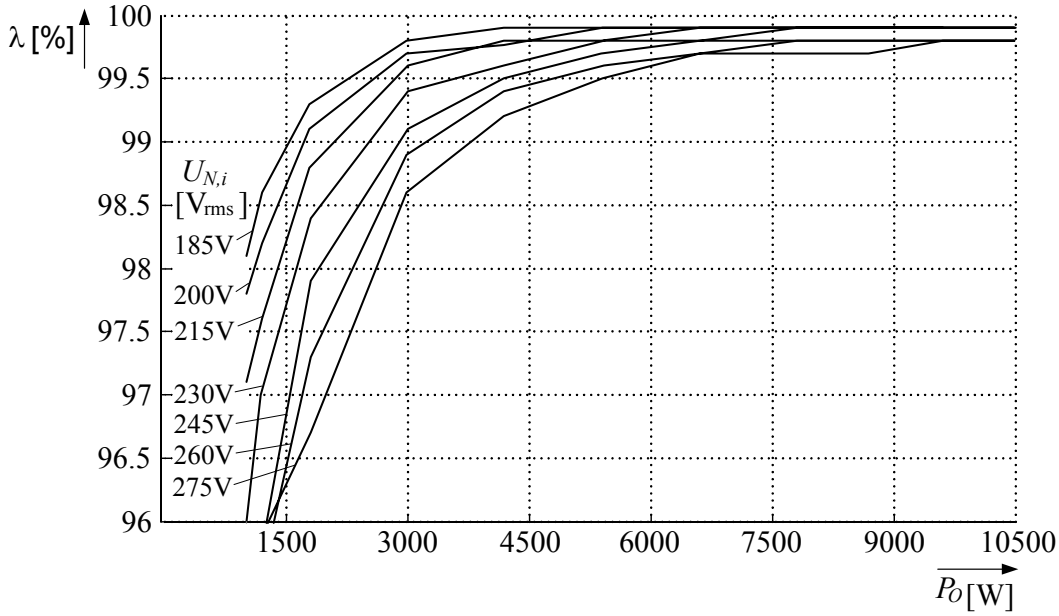


Bild 2.50: Mittlerer Leistungsfaktor λ der drei Phasen in Abhängigkeit der Ausgangsleistung und der Eingangsspannung bei symmetrischen Netzverhältnissen.

2.4.2.5.1 Phasenströme

In **Bild 2.51** sind die Phasenströme gemessen an den Zuleitungen für den Nennlastpunkt $P = 10{,}5\text{kW}$ und bei Nennspannung $U_{N,i} = 230\text{V}$ dargestellt. Durch die Auslegung der Modulinduktivitäten für einen Modulstromrippel von < ±5% bezogen auf den Nennwert des Modulstromes und die wirksame Rippelstromkompensation ist der auftretende Phasenstromrippel sehr gering.

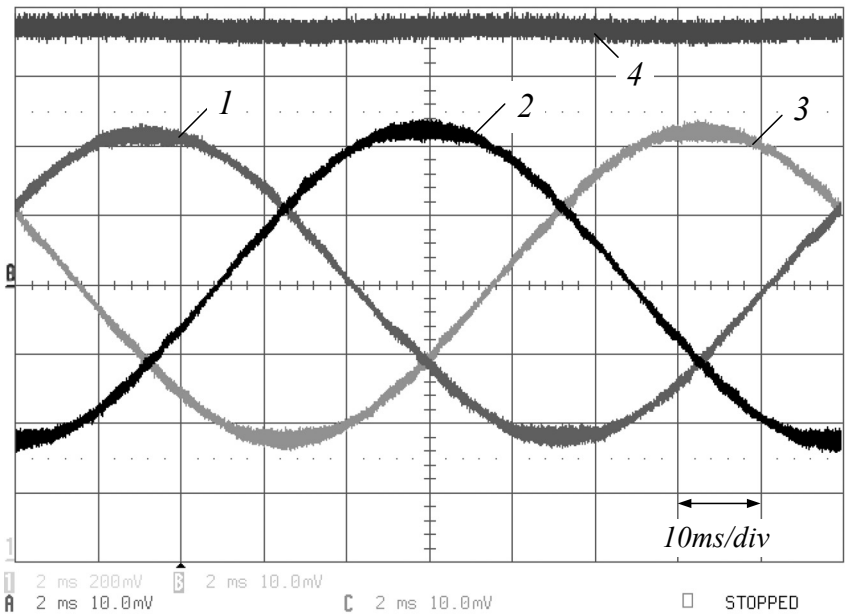


Bild 2.51: Phasenströme (1, 2, 3) und Modulleitwert g_{RS} (4) im Nennlastpunkt (P=10,5kW, $U_{N,i}$=230V) bei symmetrischen Eingangsspannungen. Der gemessene THD in diesem Arbeitspunkt beträgt 0,7%. 1, 2, 3…. Phasenströme [10A/Div] gemessen mit Stromzange Tektronix A6303; 4… interne DSP-Regelgrösse für den Modulleitwert g_{RS} (entspricht 24.8mS).

Die Phasenströme im Schwachlastfall P_O=3×360W sind in **Bild 2.52** dargestellt. Zusätzlich ist das Messsignal abgegriffen am Eingang des Analog/Digital-Konverters ungefiltert (4) und über eine Filterfunktion des Oszilloskops (5) dargestellt. Die Amplitude des Modulstroms in diesem Lastpunkt beträgt 1,28A, was einem Nutzmesssignal von 135mV entspricht. In Anbetracht des vorherrschenden Messrauschens kann durch die optimierten Abtastzeitpunkte eine ansprechende Stromform für die Phasenströme erreicht werden.

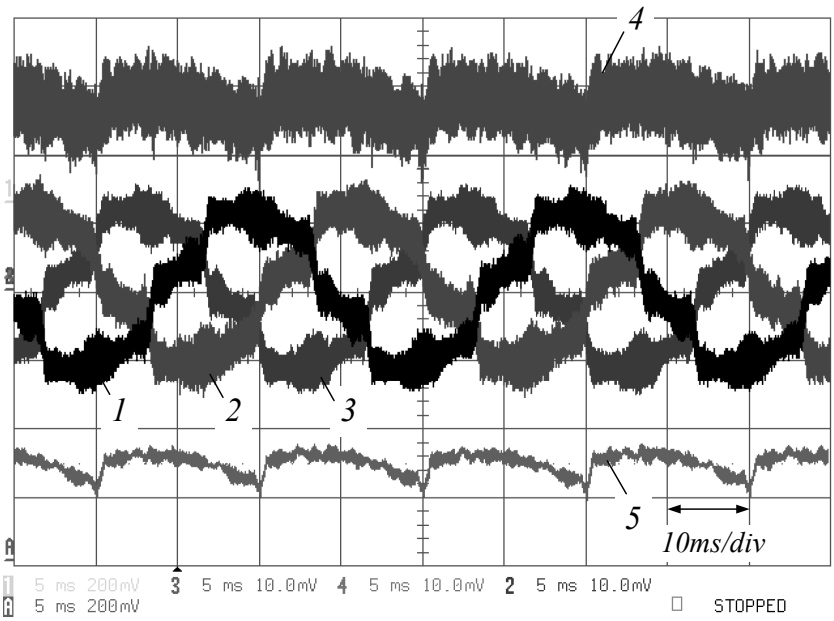


Bild 2.52: Phasenströme (1, 2, 3), ungefilterte (4) und gefilterte (5) Messgrösse des Modulstroms bei stark reduzierter Ausgangsleistung (P_O=3×360W, $U_{N,i}$=230V). Der gemessene THD in diesem Arbeitspunkt beträgt 11,5%. 1, 2, 3… Phasenströme [2A/Div] gemessen mit Stromzange Tektronix A6303; 4… Abgriff der Messgrösse des Modulstroms vor dem A/D-Konvertereingang des DSPs; 5… geglättete Grösse des Messabgriffs mittels Filterfunktion des Oszilloskops.

2.4.2.5.2 Transientes Verhalten

Die nachfolgenden Messungen zum transienten Verhalten zeigen die erreichte Systemdynamik ohne Ausgangslastvorsteuerung und dienen zur Überprüfung der Reglerauslegung und gegebenenfalls zur Feinabstimmung der Reglerparameter. **Bild 2.53** zeigt das dynamische Verhalten bei Übergang von Leerlauf in den Nennlastpunkt eines Moduls. Der Lastsprung wird durch das Zuschalten einer ohmschen Belastung an den Modulzwischenkreis realisiert. Die Ausregelung der Zwischenkreisspannung erfolgt ohne Überschwingen. Die erreichte Dynamik stimmt sehr gut mit dem Kleinsignalmodell des linearisierten Systems, mit dem nichtlinearen gemittelten Modell und dem simulierten, geschalteten System überein. Das transiente Systemverhalten bei einem Lastsprung von mittlerer Leistung auf Nennleistung ist in **Bild 2.54** dargestellt.

Bild 2.55 zeigt das Verhalten bei einem negativen Lastsprung. Als Ersatz für die fehlende Lastvorsteuerung ist in der Regelung eine zusätzliche Funktion für die Rücknahme des Leitwertes implementiert. Durch den sprunghaften Abfall der Ausgangsleistung übersteigt die Modulausgangsspannung einen oberen Grenzwert, wodurch die Halbierung des Leitwertes ausgelöst wird. Dadurch nimmt der Modulstrom sprunghaft auf einen reduzierten Wert ab. Im

vorliegenden Fall wird durch die Halbierung des Leitwertes eine zu hohe Leistungsrücknahme vorgegeben, wodurch die Ausgangsspannung unter den Sollwert abnimmt und mit der Dynamik des Ausgangsspannungsregelkreises in den Sollwert rückgeführt wird.

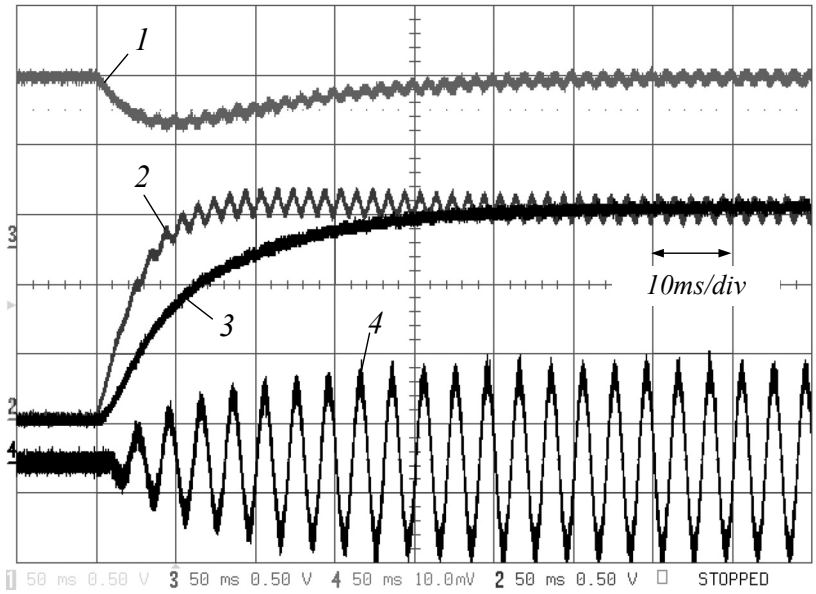


Bild 2.53: Dynamisches Verhalten der Modulgrössen bei Nennlastsprung 0W → 3500W. 1… DSP-interne Grösse für die Modulausgangsspannung $U_{O,ij}$ [320V/Div]; 2… Stellgrösse des PI-Ausgangsspannungsreglers $R_U(s)$; 3… Tiefpass gefilterter Modulleitwert G_{ij}; 4… gemessener Modulstrom $i_{N,ij}$ [10A/Div] mit Stromzange Tektronix A6303;

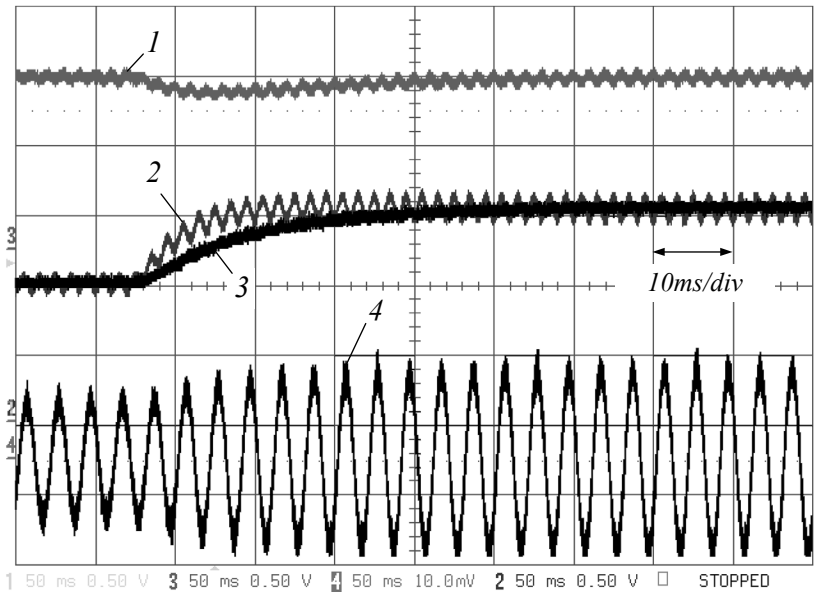


Bild 2.54: Dynamisches Verhalten der Modulgrössen bei einem positiven Lastsprung 2280W → 3500W. 1… DSP-interne Grösse für die Modulausgangsspannung $U_{O,ij}$ [320V/Div]; 2… Stellgrösse des PI-Ausgangsspannungsreglers $R_U(s)$; 3… Tiefpass gefilterter Modulleitwert G_{ij}; 4… gemessener Modulstrom $i_{N,ij}$ [10A/Div] mit Stromzange Tektronix A6303;

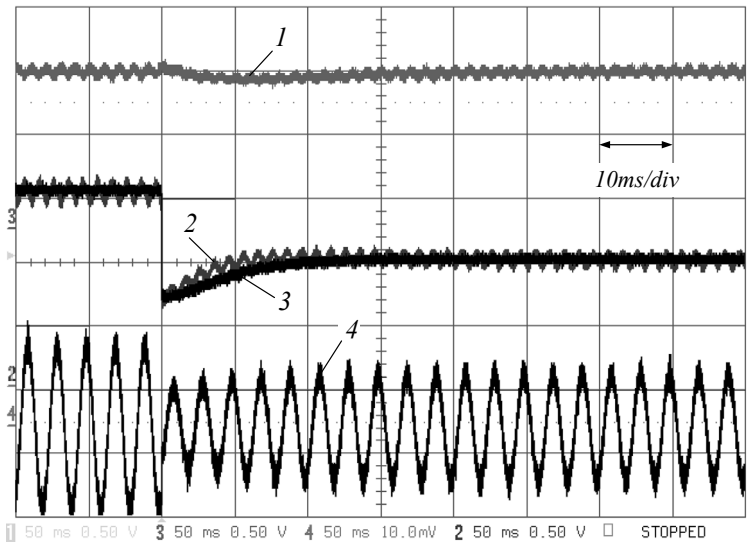


Bild 2.55: Dynamisches Verhalten der Modulgrössen bei einem negativen Lastsprung 3500W → 2280W. 1… DSP-interne Grösse für die Modulausgangsspannung $U_{O,ij}$ [320V/Div]; 2… Stellgrösse des PI-Ausgangsspannungsreglers $R_{U(s)}$; 3… Tiefpass gefilterter Modulleitwert G_{ij}; 4… gemessener Modulstrom $i_{N,ij}$ [10A/Div] mit Stromzange Tektronix A6303.

Bild 2.56 zeigt die Änderung der Phasenströme bei einem sprunghaften Abfall der Phasenspannungen. Die eingeschränkte Dynamik der Leitwertänderung ist durch eine Tiefpassfilterung nach der Eingangsspannungsvorsteuerung bedingt. Diese Filterung wurde nur zu Testzwecken implementiert und wird für den direkten Durchgriff der Eingangsspannungsvorsteuerung abschliessend entfernt.

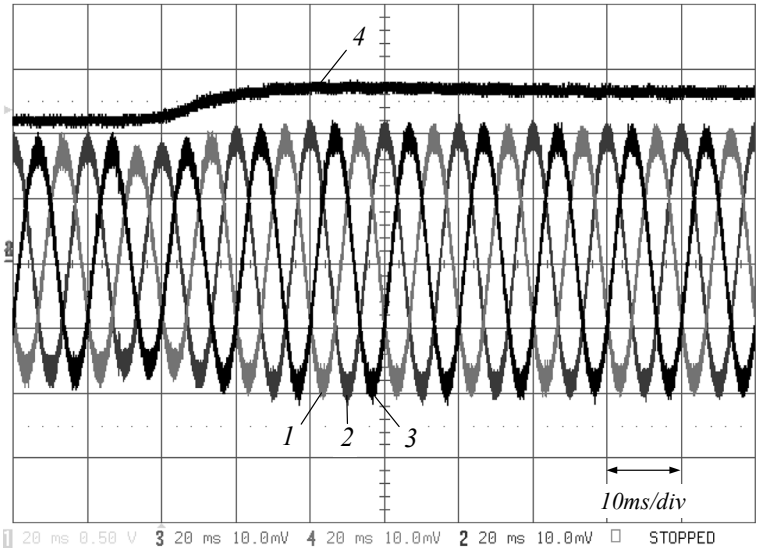


Bild 2.56: Negativer Phasenspannungssprung $U_{N,i}$=250V→230V. 1, 2, 3…. Phasenströme [10A/Div] gemessen mit Stromzange Tektronix A6303; 4… interne DSP-Regelgrösse für den Modulleitwert G_{RS} ausgelesen über den HW-Monitor.

Bild 2.57 und **Bild 2.58** veranschaulichen den Eingriff des Symmetrierreglers bei Auftreten einer Lastasymmetrie von 200W an den Modulausgängen. Es wird bestätigt, dass die Ausregelung der Teilausgangsspannungen durch Anpassen der Tastverhältnisse über den Eingriff des Symmetrierreglers keinen Einfluss auf die Modulstromregelung hat. Mit steigender Asymmetrie der Teilausgangsstufen nimmt der Modulstromrippel zu.

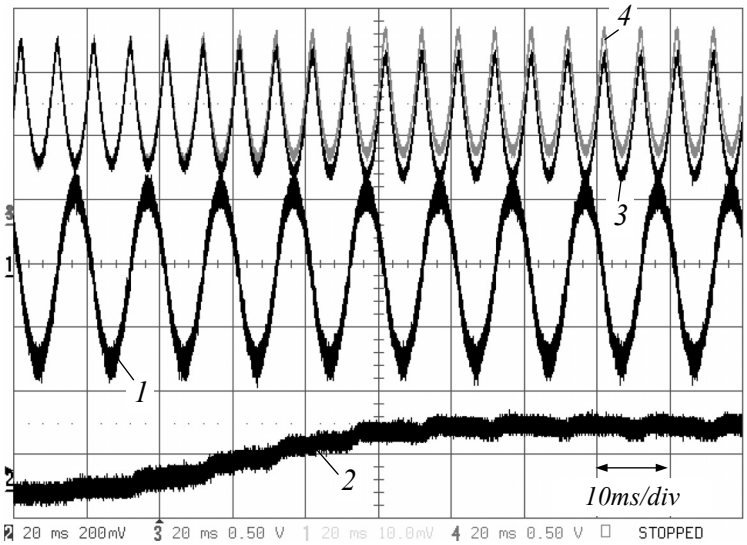


Bild 2.57: Symmetrierung der Modulausgangsspannungen bei Auftreten einer Lastasymmetrie von 200W ($P_{O,ij+}$=1820W → 1920W bzw. $P_{O,ij-}$= 1820W→1720W). 1… Modulstrom $i_{N,ij}$ [5A/Div] gemessen mit Stromzange Tektronix A6303; 2…Stellgrösse des Symmetrierreglers; 3…*low-side* Tastverhältnis d_{ij-}; 4… *high-side* Tastverhältnis d_{ij+}. Die Verläufe der Teilausgangsspannungen sind Bild 2.58 zu entnehmen.

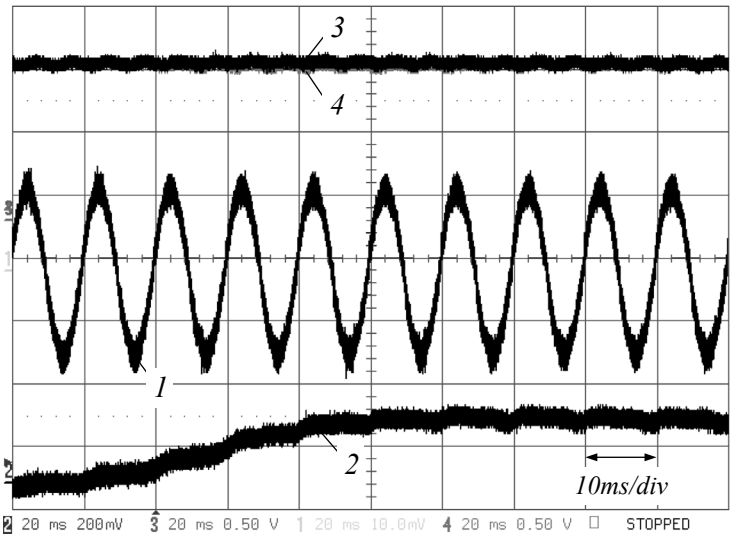


Bild 2.58: Symmetrierung der Modulausgangsspannungen. Wie Bild 2.57 nur sind anstelle der Tastverhältnisse die Ausgangsteilspannungen dargestellt. 1… Modulstrom; 2… Stellgrösse des Symmetrierreglers; 3… *low-side* Ausgangsspannung $U_{O,ij-}$; 4… *high-side* Ausgangsspannung $U_{O,ij+}$.

2.4.3 Gesamtsystem mit DC/DC-Ausgangsstufe ohne Umschaltmöglichkeit der Eingangsphase bei Phasenausfall

Nachfolgend wird das Gesamtsystem des *Delta-Rectifier* einschliesslich der DC/DC-Ausgangsstufen vorgestellt und die Struktur der Gesamtregelung im Detail angegeben. Anschliessend werden die Ergebnisse einer digitalen Simulation mit unterschiedlichen Netzspannungs- und Lastverhältnissen dargestellt, und der Eingriff der ausgangsseitigen Balancierung der Zwischenkreisspannungen $U_{O,ij}$ für die beiden im Falle eines Phasenunterbruchs in Serie liegenden Module erläutert. Auf die Ausführung und die Topologiewahl der letztlich durch die Ausgangsspannungen der Module zu speisenden DC/DC-Konverter wird an dieser Stelle nicht näher eingegangen. Prinzipiell besteht die Möglichkeit zur Herabsetzung der Sperrspannungsbeanspruchung der Halbleiter in der DC/DC-Eingangsstufe pro Modul zwei zueinander versetzt getaktete DC/DC-Durchflusswandler einzusetzen, die eine gemeinsame Ausgangsinduktivität teilen [Min00].

2.4.3.1 Regelungsstruktur des Gesamtsystems

Bild 2.59 zeigt die Struktur des Gesamtsystems einschliesslich der potenzialtrennenden DC/DC-Ausgangsstufen. Die zugehörige Systemregelung exemplarisch für das Modul *ij=RS* ist in **Bild 2.60** angegeben. Darin sind die Messgrössen im Vergleich zu anderen Signalgrössen stärker hervorgehoben. Das Grundkonzept der Regelung wurde in [Min02] dargestellt, und wird nachfolgend mit der notwendigen Stabilisierungsmassnahme für die Zwischenkreisspannungen bei zweiphasigem Netzbetrieb im Falle eines Unterbruchs (Ausfalls) einer Netzphase und den Eingriff für die Symmetrierung der Teilausgangsspannungen ($U_{O,ij+}$, $U_{O,ij-}$) erweitert. Es wird davon ausgegangen, dass der gesamte Regelungsalgorithmus in einem ADSP2199x DSP ([Fri05], [AD03], [Gil03]) mit einer Taktfrequenz von f_{DSP} = 160MHz implementiert ist. Nachfolgend wird mit *Sample* die Abtastrate der Messgrösse, die als Reglereingangsgrösse des entsprechenden Regelkreises wirkt, und mit *Update* die Zeitdauer des DSP-Bearbeitungszyklus angegeben. Die Modulatoren zur Generierung der pulsbreitenmodulierten Ansteuersignale sind in einem PLD programmiert.

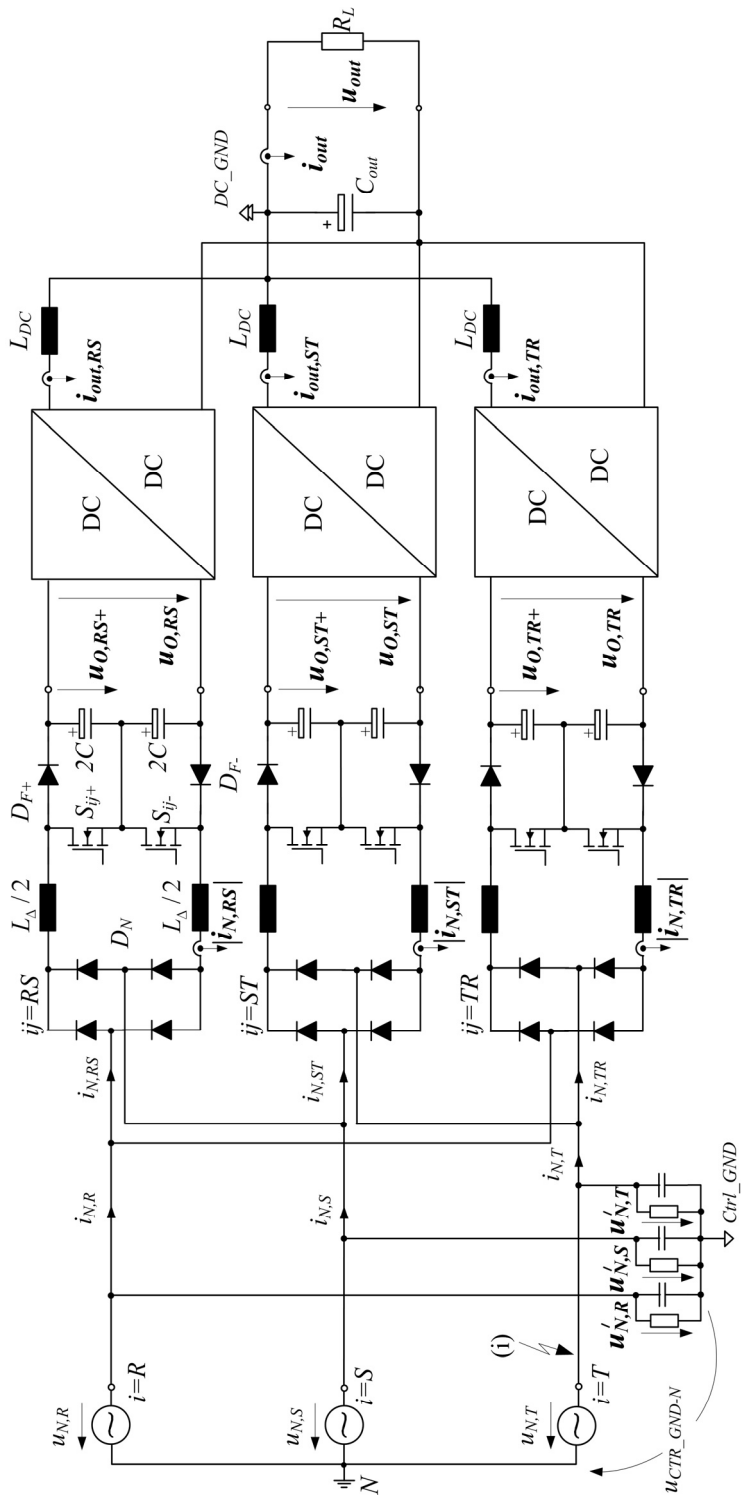


Bild 2.59: Strukturbild des Leistungsteils eines 3-Punkt *Delta-Rectifier* bei Einsatz einer Diodenbrücke zur Netzgleichrichtung (anstelle einer Thyristor-Gleichrichtung mit der Möglichkeit der Phasenumschaltung bei Phasenausfall) und mit nachgeschalteten DC/DC-Konverter Modulen. Die Messgrössen für die Regelung sind hervorgehoben. Die Mess- und Regelungselektronik wird auf einen künstlichen Sternpunkt bezogen. Die Modulspannungen $u_{N,ij}$ werden aus den gemessenen Sternpunktspannungen $u'_{N,i}$ berechnet ($u_{N,ij} = u'_{N,i} - u'_{N,j}$). (i) kennzeichnet die Störstelle für den Unterbruch bzw. Erdschluss der Phase *T*.

Die kaskadierte modulare Regelung kann für jede Eingangsstufe in die Teilfunktionen

- unterlagerter Modulstromregler $R_I(s)$ implementiert als Mittelwertregler mit Vorsteuerung der relativen Einschaltdauer m_{ij} (*Sample*: 20µs / *Update*: 20µs, Auslegung des Regelkreises für eine Durchtrittsfrequenz: f_D = 3...5kHz),
- übergeordneter Zwischenkreisspannungsregler $R_U(s)$, der ergänzend zur Laststromvorsteuerung die Deckung der Modulverluste im stationären Betrieb bzw. die Ausregelung der Zwischenkreisspannung bei Last- und Netzspannungsänderungen sicherstellt (*Sample*: 80µs / *Update*: 240 µs, Auslegung für eine Durchtrittsfrequenz: f_D = 4…8Hz),
- Vorsteuerung der Ausgangsbelastung durch Rückführung der Modulausgangsleistung (*Update*: 80µs) bzw. Vorsteuerung des Effektivwertes der Eingangsspannung (*Update*: 10ms),
- Begrenzungselemente zum Schutz vor Überlastung G_{max}, Überstrom $I_{N,ij}$ (*Update*: 20µs) und Überspannung $U_{O,max1}$ im Modulzwischenkreis (*Update*: 80µs),
- Regler $R_{U,sym}(s)$ für die Symmetrierung der Teilausgangsspannungen der Eingangsstufe (*Sample*: 80µs / *Update*: 240 µs, Auslegung für eine Durchtritts-frequenz: f_D = 2…3Hz)

und für die DC/DC-Ausgangstufen in die Teilfunktionen

- unterlagerter Modulausgangsstromregler $R_{Iout}(s)$ (*Sample*: 20µs / *Update*: 20µs, Auslegung für eine Durchtrittsfrequenz f_D = 3…5kHz),
- Gesamtausgangsspannungsregler $R_{Uout}(s)$ (*Sample*: 40µs / *Update*: 240µs, Auslegung für eine Durchtrittsfrequenz f_D =200…400Hz),
- Vorsteuerung des Gesamtausgangsstromes (*Sample*:40µs / *Update*: 80µs),
- Ohmsche Laststromaufteilung auf die 3 Module durch Berücksichtigung der Netzspannungsverhältnisse (*Update*: 10ms),
- Limitierung der DC/DC-Ausgangsleistung (*Update*: 20 µs),
- ausgangsseitige Balancierung der Modulzwischenkreisspannungen zur Sicherstellung des stabilen Betriebs bei Ausfall einer Netzphase (*Update*: 240µs)

gegliedert werden.

Die folgenden Erklärungen zum Regelungskonzept beziehen sich auf das Modul *ij=RS*. Der Modulstromregler $R_I(s)$ gibt zusammen mit der Vorsteuerfunktion m_{RS} die relative Einschaltdauer d_{RS} vor. Zur Symmetrierung der Teilausgangsspannung $U_{O,RS+}$ und $U_{O,RS-}$ greift der Symmetrierspannungsregler $R_{U,sym}(s)$ korrigierend auf d_{RS} ein, indem die Einschaltdauer der Teilausgangsstufe mit etwas höherer Spannung entsprechend erhöht, und im gleichen Mass das Tastverhältnis der anderen Teilausgangsstufe verringert wird. Der Sollwert des Modulstromes $i^*_{N,RS}$ wird durch Multiplikation des Modulleitwertes G^*_{RS} mit dem gleichgerichteten Momentanwert der Modulspannung $\left|u_{N,RS}\right|$ bestimmt. Die Schutzfunktionen zur Überstrombegrenzung und zur Begrenzung der Modulzwischenkreisspannung greifen direkt auf den Modulleitwert G^*_{RS} ein. Zusätzlich wird bei Überschreiten eines maximalen Modulstroms $\hat{I}_{N,ij,max}$ (entspricht der Nennstromamplitude bei minimaler Nenneingangsspannung plus 10% für eine Stellgrössenreserve) die Vorsteuerung des Tastverhältnisses auf 0 begrenzt. Die Begrenzung der Modulzwischenkreisspannung ist als Hysterese ausgeführt und setzt den Modulleitwert G^*_{RS} bei Überschreiten einer maximalen Modulspannung $U^*_{O,max1}$ auf Null zurück und gibt diesen erst wieder für $U^*_{O,max1}$-u_{Hyst} frei. (Zusätzlich zu der softwaremässig implementierten Überstrombegrenzung greift hardwaremässig eine Überstromabschaltung bei $\hat{I}_{N,ij,off} > \hat{I}_{N,ij,max}$ ein, die in Echtzeit (<1µs) eine permanente Abschaltung der Leistungsschalter des Moduls sicherstellt.) Der Sollwert des Modulleitwertes G^*_{RS} berechnet sich aus zwei Anteilen. Der Hauptanteil wird durch die Ausgangslastvorsteuerung $G^*_{P,RS}$ bestimmt, zusätzlich liefert der Zwischenkreisspannungsregler $R_U(s)$ den Anteil zur Deckung der Modulverluste bzw. unterstützt die Ausregelung der Modulzwischenkreisspannung bei einem Lastwechsel. Die Stellgrösse des Zwischenkreisspannungsreglers R_U(s) entspricht physikalisch dem Sollwert des Zwischenkreiskondensatorstroms. Die Umrechung auf den Leitwert ΔG^*_{RS} erfolgt durch Multiplikation mit dem Sollwert der Modulzwischenkreisspannung $U^*_{O,ij}$ und anschliessender Division mit dem Quadrat des Effektivwertes der Moduleingangsspannung (Vorsteuerung der Moduleingangsspannung). Die Effektivwertberechnung der Moduleingangsspannung sollte zur Vermeidung von Abtastfehlern infolge von Messstörungen oder transienten Spannungsspitzen über eine gleitende Mittelwertbildung bestimmt werden. Alternativ ist bei eingeschränkter Rechenzeit eine Effektivwertberechnung über eine Spitzenwerterkennung möglich. Durch die Vorsteuerung des Effektivwertes der Moduleingangsspannung wird eine sprunghafte Leitwerterhöhung mit einer mittleren Verzögerungszeit von 10ms erreicht, womit der Einbruch der Zwischenkreisspannung bei Netzspannungsänderungen stark reduziert wird.

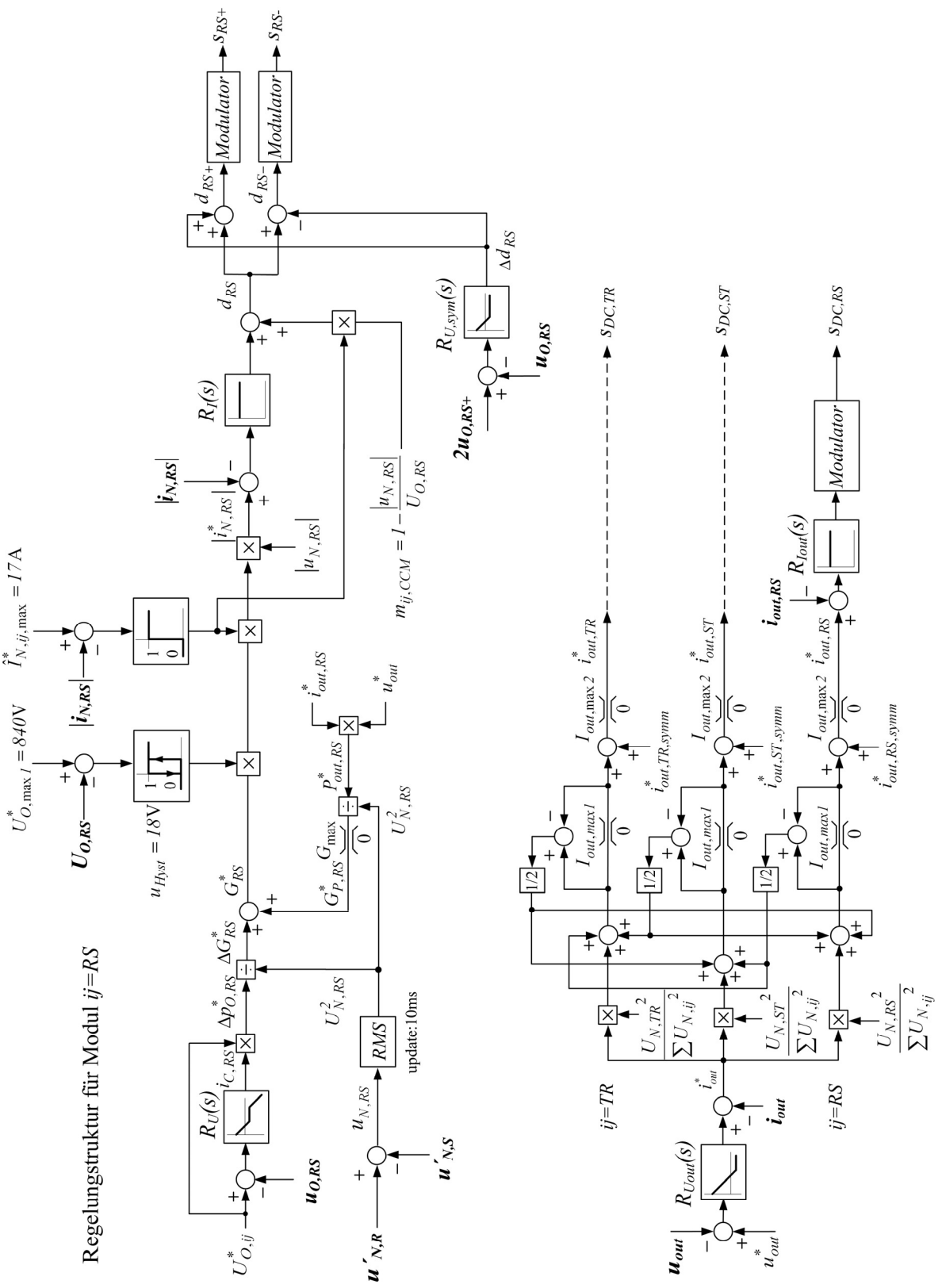


Bild 2.60: Regelstruktur für das Gesamtsystem gemäss Bild 2.59 für den generellen Einsatz auch bei unsymmetrischen Netzspannungsverhältnissen und / oder bei zweiphasigen Netzbetrieb mit Gewährleistung eines ohmschen Netzverhaltens. Die Balancierung der Zwischenkreisspannungen der im Fehlerfall bei einer Phasenunterbrechung verkoppelten Teilsysteme ist ausgangsseitig realisiert.

Ebenso wird aus der Sollausgangsleistung $P^*_{out,RS}$ durch Division mit $U^2_{N,RS}$ der Sollwert $G^*_{P,RS}$ errechnet, der im stationären Zustand für ein verlustfreies System den gesamten Moduleingangsleitwert repräsentiert. Der Sollleitwert $G^*_{P,RS}$ wird auf einen maximal zulässigen Eingangsleitwert G_{max} begrenzt, der im Nennspannungsbereich eine maximale Modulleistung von $P_{O,M} = 3500\text{W}$ plus 5…10% Stellgrössenreserve ermöglicht. Die Vorsteuerung der Modulausgangsleistung stellt die Schnittstelle zur Regelung der DC/DC-Ausgangsstufe dar.

Der überlagerte Ausgangsspannungsregler $R_{Uout}(s)$ gibt gemeinsam mit der Vorsteuerung des Ausgangslaststroms den Sollwert i^*_{out} des Gesamtausgangsstroms vor. Dieser wird in Abhängigkeit der Moduleingangsspannungsverhältnisse auf die 3 DC/DC-Stufen aufgeteilt. Durch die Multiplikation mit $U^2_{N,ij} / \Sigma U^2_{N,ij}$ wird der Sollwert des Gesamtausgangsstroms auf die einzelnen Module so aufgeteilt, dass das Netzverhalten eines symmetrischen ohmschen Verbrauchers nachbildet wird. Sollte bei zu starker Netzspannungsasymmetrie der Nennwert des Modulausgangsstroms $I_{out,max1}$ überschritten werden, wird der Sollwert des Modulstroms auf diesen Nennwert beschränkt. Die Differenz zwischen nicht begrenztem und begrenztem Sollwert des Modulausgangsstroms wird gleichmässig auf die beiden anderen Module aufgeteilt. Mit dieser Lastaufteilungsstrategie wird unter Einbusse eines symmetrischen ohmschen Netzverhaltens die maximal mögliche Ausgangsleistung bei Einhaltung der Modulnennbelastung an den Ausgang geliefert.

Anschliessend erfolgt der Eingriff für die Balancierung der Modulzwischenkreisspannungen über

$$
\begin{aligned}
i^*_{out,RS,symm} &= \frac{K_{bal} i^*_{out}}{U^*_{O,ij}} \left(u_{O,RS} - \Sigma u_{O,ij} / 3 \right) \\
i^*_{out,ST,symm} &= \frac{K_{bal} i^*_{out}}{U^*_{O,ij}} \left(u_{O,ST} - \Sigma u_{O,ij} / 3 \right) \quad , \\
i^*_{out,TR,symm} &= \frac{K_{bal} i^*_{out}}{U^*_{O,ij}} \left(u_{O,TR} - \Sigma u_{O,ij} / 3 \right)
\end{aligned}
\tag{2.115}
$$

wobei K_{bal} die Proportionalverstärkung des Balancierreglers bezeichnet. Dieser Eingriff ist für den stabilen Betrieb bei Ausfall einer Phasenspannung durch Unterbrechung der Phasenzuleitung notwendig, um die Modulzwischenkreisspannungen der beiden in Serie liegenden Eingangsmodule stabilisieren zu können. Der Eingriff zur Balancierung der Modul-

spannungen wäre nur für den Betrieb des Systems am zweiphasigen Netz notwendig, kann aber auch für alle anderen Netzspannungsverhältnisse aktiv bleiben. Die Balancierung beruht darauf, dass bei steigender Modulzwischenkreisspannung der Sollwert des Modulausgangsstroms erhöht wird. Damit erreicht man zum einen eine Erhöhung der Modulausgangsleistung und zum anderen eine Erhöhung des Tastverhältnisses der Eingangsstufe, wodurch im verkoppelten Fall die Modulzwischenkreisspannungen stabilisiert werden (s. auch Abschnitt 2.4.2.4.3). Das Limit $I_{out,max2}$ liegt etwa 10% oberhalb der Nennstromschwelle $I_{out,max1}$ und stellt die Stellgrössenreserve für die ausgangsseitige Balancierung der Modulzwischenkreisspannungen sicher. Bei der Auslegung der Modulausgangsinduktivitäten ist auf diese Stellgrössenreserve hinsichtlich der Sättigungsstromstärke Rücksicht zu nehmen.
Der so berechnete Sollwert $i^*_{out,RS}$ für den Modulausgangsstrom wird einerseits dem unterlagerten DC/DC-Modulstromregler $R_{Iout}(s)$ zugeführt, andererseits mit dem Sollwert der Modulausgangsspannung multipliziert, woraus die Ausgangslastvorsteuerung für das Eingangsmodul $ij=RS$ resultiert.

2.4.3.2 Digitale Simulation des Gesamtsystems

Aufgrund der fehlenden DC/DC-Ausgangsstufen wird das Verhalten des Gesamtsystems anhand einer digitalen Simulation des geschalteten Systems gezeigt. Folgende Vereinfachungen kommen in der Simulation im Vergleich zum realen System zum Einsatz:

- um die Simulationsschrittweite zur Reduzierung der Dauer und Datenmenge der Simulation herabsetzen zu können, arbeiten die Leistungsschalter der Eingangstufe mit einer Taktfrequenz von f_P=10kHz. Die Eingangsinduktivität ist dementsprechend auf den fünffachen Wert angehoben. Die unterlagerte Stromregelung weist eine herabgesetzte Bandbreite von f_D=1,4kHz auf;
- die DC/DC-Ausgangsstufe wird vereinfacht durch gesteuerte Stromquellen realisiert;
- die Systemregelung ist nicht als Abtastregelung sondern als kontinuierliche Regelung implementiert. Mit den eingangs angegebenen Verhältnissen zwischen Abtastrate, Berechnungszyklus und Regelungsbandbreite sind aber die Ergebnisse einer Abtastregelung mit denen einer kontinuierlichen Regelung quasi ident;
- die Berechnung des Effektivwertes der Moduleingangsspannung für die Vorsteuerung bzw. zur Laststromaufteilung erfolgt mittels einer gleitenden Mittelwertbildung mit nachgeschaltetem Abtasthalteglied (Haltezeit T_H=10ms).

Ein kleiner Unterschied bei transienten Vorgängen resultiert für die digitale Simulation im Vergleich zum realen System aufgrund eines quasi verzögerungsfreien Eingriffs der Begrenzungselemente.

Die Simulation analysiert die folgenden Netzspannungs- und Lastverhältnisse:

- 0 … 40ms: Symmetrisches Netz; $P_{O,M} = 60\% \cdot P_{O,max} = 6{,}25\text{kW}$
- 40…170ms: Zweiphasiger Betrieb aufgrund eines Unterbruchs in Phase *T*
- 170...270ms: Dreiphasiger Betrieb nach Rückkehr der ausgefallenen Phase *T*
- 270…370ms: Unterbruch und Erdschluss der Netzphase *T*
- 370…450ms: Dreiphasiger Betrieb nach Aufhebung des Erdschlusses in Phase *T*
- 450…540ms: Lastsprung auf die spezifizierte Maximalleistung des Systems $P_{O,max}=10{,}5\text{kW}$

Bild 2.61 zeigt eine Übersicht der simulierten Zeitverläufe. Für das bessere Verständnis werden die Zeitabschnitte während den Netzspannungsänderungen in **Bild 2.62** und **Bild 2.63** mit grösserer zeitlicher Auflösung dargestellt. Die Proportionalverstärkung des Balancierreglers beträgt $K_{bal} = 2$.

Bild 2.62 (a) zeigt den Ausfall der Phase *T* zum Zeitpunkt $t = 40\text{ms}$. Durch den Phasenausfall liegen nun die beiden Module $ij = ST$ und *TR* in Serie an der Gesamtmodulspannung $u_{N,RS}$. Es gilt $u_{N,RS} = -(u_{N,ST} + u_{N,TR})$, wobei die einzelnen Modulteilspannungen ($u_{N,ST}$ und $u_{N,TR}$) weiters korrekt über die Sternpunktspannungen $u'_{N,i}$ erfasst werden. Die eingetragenen Pfeile geben den Zeitpunkt der Aktualisierung der Effektivwertberechnung für die Moduleingangsspannungen an. Die erste Aktualisierung nach dem Phasenausfall führt einerseits zu einer sprunghaften Änderung der Leitwertanteile ΔG^*_{ST} und ΔG^*_{TR} , andererseits werden die Leitwertanteile der Ausgangslastrückführung $G^*_{P,ij}$ zusätzlich durch Umverteilung des Gesamtausgangsstroms sprunghaft geändert. Ein Phasenausfall verursacht durch die Spannungsvorsteuerung und die ohmsche Eingangscharakteristik also einen sprunghaften Anstieg der Modulströme $i_{N,RS}$ und $i_{N,ST} = i_{N,TR}$ (das Gleichheitszeichen gilt bei Vernachlässigung des schaltfrequenten Stromanteils im Filterkondensator des Messsternpunktes). Bei der nächsten Aktualisierung der Spannungseffektivwerte werden die aktuellen Netzverhältnisse korrekt erfasst. Aufgrund der vorliegenden Eingangsspannungseffektivwerte $U_{N,RS}/2 \cong U_{N,ST} \cong U_{N,TR}$ wird der Sollwert des Gesamtausgangsstroms $i^*_{out} = 0{,}6 \cdot P_{O,max}/U_{out} = 6250\text{W}/50\text{V} = 125\text{A}$ durch die Multiplikation

mit $U_{N,ij}^2 / \Sigma U_{N,ij}^2$ (zum Erreichen einer ohmsch-symmetrischen Netzbelastung im dreiphasigen Netzbetrieb) auf die Zwischensollwerte (Index $_{zw1}$)

$$i_{out,RS,zw1}^* = \frac{2}{3} \cdot i_{out}^* , \quad i_{out,ST,zw1}^* = \frac{1}{6} \cdot i_{out}^* , \quad i_{out,TR,zw1}^* = \frac{1}{6} \cdot i_{out}^* \tag{2.116}$$

aufgeteilt. Da die Modulausgangsleistung $P_{O,RS}$ bei dieser Leistungsaufteilung überschritten wird ($P_{O,RS}$ = 2/3.60%.$P_{O,max}$ = 4200W), greift die nachfolgende Begrenzungseinheit ein und limitiert die Leistung auf den Nennwert $P_{O,RS,nenn}$ =3500W. Die restlichen 700W werden zu gleichen Teilen auf die beiden Module *ij=ST* und *TR* aufgeteilt. Vor dem Balanciereingriff ist der Sollwert der Gesamtausgangsleistung folgendermassen auf die Module aufgeteilt:

$$p_{out,RS}^* = 3500\text{W} , \quad p_{out,ST}^* = 1375\text{W} , \quad p_{out,TR}^* = 1375\text{W} . \tag{2.117}$$

Diese Leistungsaufteilung stimmt nach Ablaufen des Ausregelvorganges mit der stationären Aufteilung der Gesamtausgangsleistung im zweiphasigen Betrieb überein.

Während der Ausregelphase bewirken die Stellgrössen des Balancierreglers $i^*_{out,ij,symm}$ (s. Gl. (2.115)) eine Stabilisierung der Modulausgangsspannungen $u_{O,ST}$ und $u_{O,TR}$, die aufgrund des gemeinsamen Modulstromes $i_{N,ST} = i_{N,TR}$ miteinander verkoppelt sind. Solange die beiden Modulspannungen $u_{O,ST}$ und $u_{O,TR}$ unterhalb des Sollwertes U^*_{out} liegen, bewirkt die Stellgrösse $i^*_{out,RS,symm}$, dass das Modul *ij=RS* eine erhöhte Ausgangsleistung (ca. +8%) abführt. Am Ende des transienten Abschnittes gibt die Lastvorsteuerung folgende Eingangs-referenzleitwerte vor:

$$\begin{aligned} G_{P,RS}^* &= 13\text{mS} \longrightarrow 21{,}8\text{mS} \\ G_{P,ST}^* &= 13\text{mS} \longrightarrow 34{,}4\text{mS} \\ G_{P,TR}^* &= 13\text{mS} \longrightarrow 34{,}4\text{mS} \end{aligned} \quad . \tag{2.118}$$

Es ist also festzuhalten, dass im zweiphasigen Betrieb die Aufteilung der Gesamtleistung unter Berücksichtigung der maximal zulässigen Modulausgangsleistung erfolgt. Mit dem Eingriff von $i^*_{out,ij,symm}$ gelingt eine Stabilisierung der Modulausgangsspannungen der beiden verkoppelten Systeme *ij=ST* und *TR*. Eine nähere Analyse der ausgangsseitigen Stabilisierung bei Zurücknahme der Proportionalverstärkung des Balancierreglers K_{bal} wird im nächsten Kapitel 2.4.3.3 angegeben.

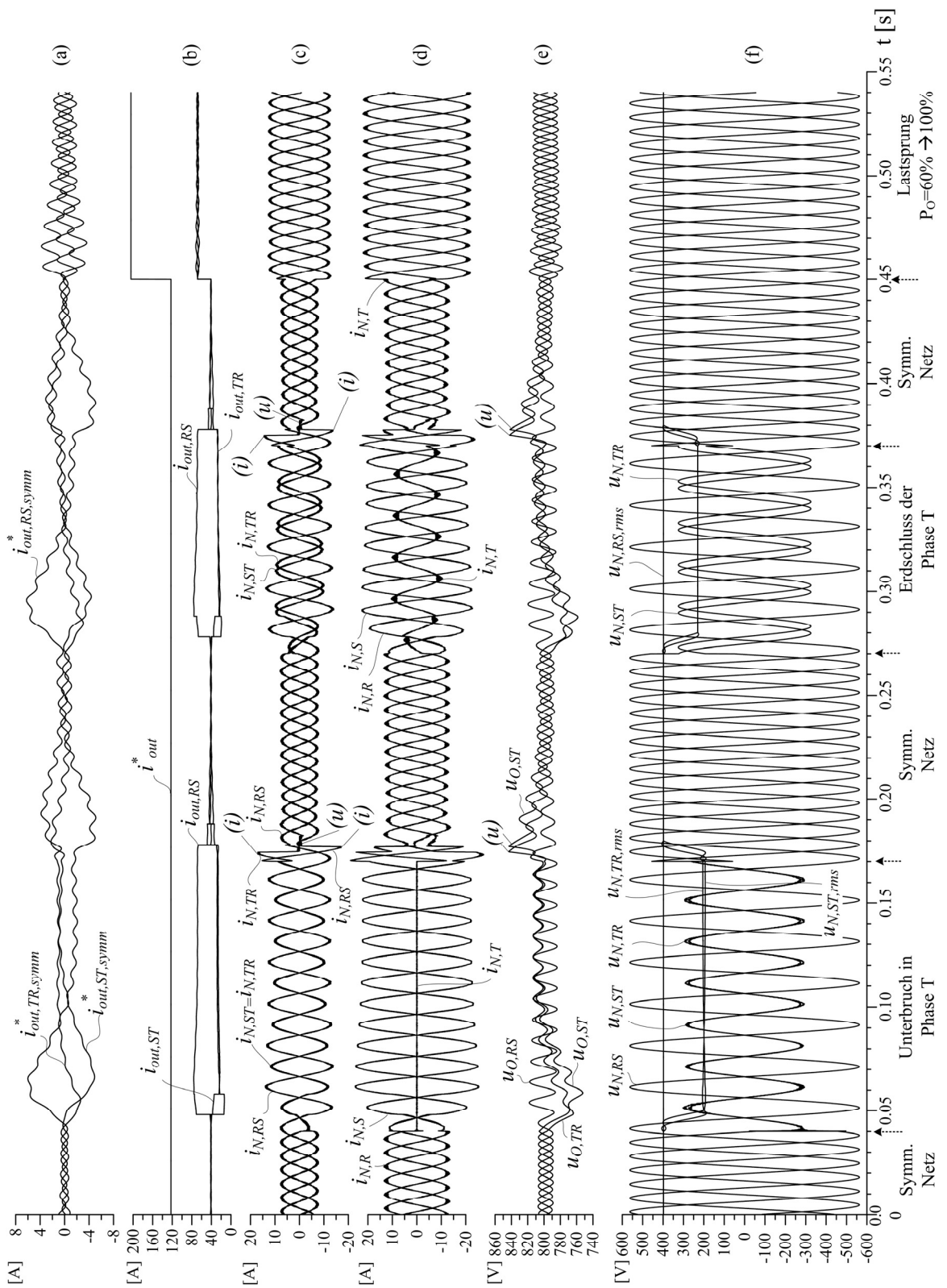


Bild 2.61: Simuliertes Systemverhalten mit Hauptaugenmerk auf die Zeitverläufe der Signalgrössen der AC/DC-Eingangsstufe und der Lastaufteilung auf die 3 Module für verschiedene Netzspannungs- und Lastverhältnisse (siehe Angaben zur Zeitachse). **(a)** Zeitverläufe der Stellgrössen des Balancierreglers für die Modulzwischenkreisspannungen, **(b)** Sollwert des Gesamtausgangsstromes i^*_{out} und die Modulausgangsströme. (aufgrund der vereinfachten Implementierung der DC/DC-

Ausgangsstufen in der Simulation gilt $i_{out,ij} = i^*_{out,ij}$), **(c)** die Moduleingangsströme $i_{N,ij}$, **(d)** die Phasenströme $i_{N,i}$ (siehe Messabgriff in **Bild 2.59**), **(e)** Modulzwischenkreisspannungen $u_{O,ij}$ und **(f)** die Moduleingangsspannungen $u_{N,ij}$ mit den ermittelten Effektivwerten $u_{N,ij,rms}$. *(i)* kennzeichnet den Eingriff der Überstrom- und *(u)* den Eingriff der Überspannungslimitierung. Die Pfeile an der Zeitachse markieren die Umschaltzeitpunkte.

Bild 2.62 (b) zeigt die Signalverläufe bei Aufhebung des Phasenausfalls in *T* zum Zeitpunkt t =170ms und Übergang in den symmetrischen Netzbetrieb. Durch die sprunghafte Änderung der Momentanwerte der Modulspannungen $u_{N,ST}$ und $u_{N,TR}$ steigen zufolge der noch vorliegenden erhöhten Leitwerte (s. Gl.(2.118)) die Modulströme $i_{N,ST}$ und $i_{N,TR}$ ebenfalls sprunghaft an. Als erstes erreicht der Modulstrom $i_{N,TR}$ die Begrenzungsschwelle $I^*_{N,ij,max}$. Dies führt dazu, dass der Modulleitwert G^*_{TR} und die Vorsteuerfunktion m_{TR} durch die Begrenzungseinheit (s. Bild 2.60) kurzzeitig auf 0 gesetzt werden. Dadurch nimmt der Modulstrom $i_{N,TR}$ ab, deaktiviert in der Folge die Begrenzung, und steigt wiederum auf die Abschaltschwelle an. In der Simulation führt die vereinfachte Implementierung der Begrenzungseinheiten auf eine Reaktionszeit entsprechend der Simulationsschrittweite (t_{sim} = 800ns). Im Vergleich dazu, greifen im realen System die Begrenzungseinheiten mit einer mittleren Verzögerung von Δt =10µs ein, womit eine grössere Stromschwankung resultiert. Aus Sicherheitsgründen ist es vorteilhaft, eine aktivierte Strombegrenzung erst nach Verstreichen einer Mindestsperrdauer von mehreren Taktperioden wieder aufzuheben.
Durch den zu hohen netzseitigen Leistungsbezug steigen $u_{O,ST}$ und $u_{O,TR}$ rasch an. Die Modulzwischenkreisspannung $u_{O,TR}$ erreicht als erstes die Begrenzungsschwelle $U^*_{O,max}$. Dadurch wird der Leitwertwert G^*_{TR} auf 0 gesetzt und erst wieder nach Absinken der Modulspannung unterhalb von $U^*_{O,max}$-$u_{O,Hyst}$ frei gegeben. Während der Aktivphase der Modulspannungsbegrenzung weisen die zugehörigen Modulströme nur einen schaltfrequenten Stromrippel um den Stromnullwert auf. Die Ermittlung der neuen Effektivwerte der Eingangsspannungen führt einerseits auf eine symmetrische Aufteilung des Gesamtausgangsstromes, andererseits werden die Leitwertanteile ΔG^*_{ij} und $G^*_{P,ij}$ sprunghaft korrigiert. Zum Zeitpunkt t =190ms ist praktisch der stationäre Zustand erreicht. Der Eingriff des Balancierreglers ist für die Phasenrückkehr von vernachlässigender Bedeutung.

Zusammengefasst kann gesagt werden, dass das Systemverhalten bei Rückkehr in den symmetrischen Betrieb primär durch das Ansprechen der Begrenzungseinheiten und sekundär durch die Vorsteuerung der Eingangsspannungseffektivwerte bestimmt ist.

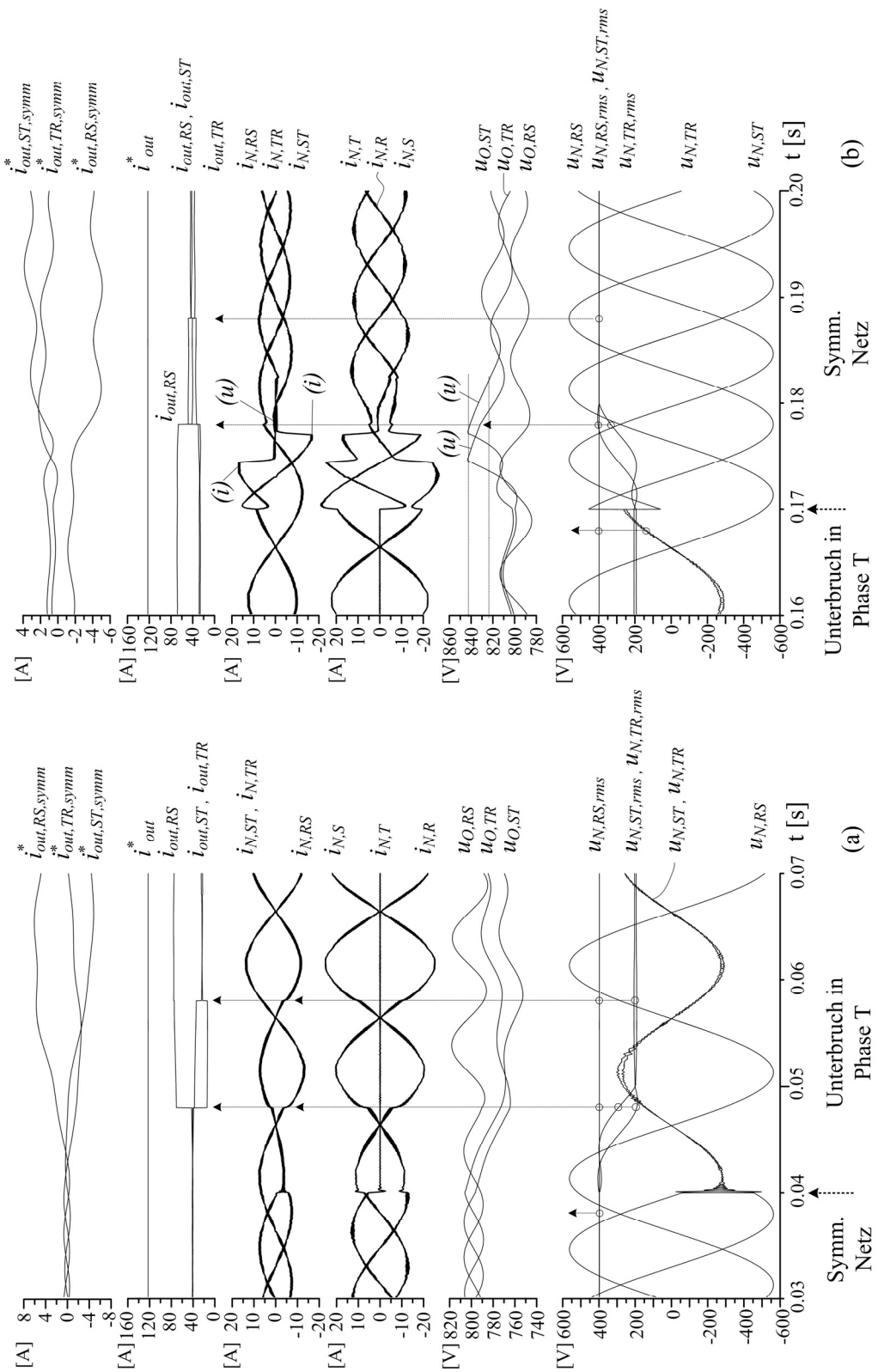


Bild 2.62: Die Zeitverläufe entsprechend Bild 2.61 mit erhöhter zeitlicher Auflösung im Übergangsbereich für **(a)** Ausfall / Unterbruch der Phase *T* und **(b)** Rückkehr der Phase *T*. Die eingetragenen Pfeile markieren die Zeitpunkte für die Aktualisierung der Effektivwerte der Eingangsspannungen. *(i)* kennzeichnet den Aktivzustand der Modulstrombegrenzung, *(u)* den Aktivzustand der Begrenzung für $u_{O,ij}$.

Bild 2.63 (a) zeigt die Signalverläufe bei Erdschluss der Phase *T*. Im Unterschied zum Phasenausfall bleiben hier alle 3 Module voneinander entkoppelt und die Ausregelung der Modulzwischenkreisspannungen $u_{O,ST}$ und $u_{O,TR}$ wird korrekt durch die Zwischenkreisspannungsregler $R_{U(s)}$ - wesentlich unterstützt durch die Vorsteuerung des Eingangsspannungseffektivwertes und der Ausgangslastvorsteuerung - durchgeführt.

Der Eingriff des Balancierreglers ist nicht notwendig, unterstützt aber die Ausregelung der Modulspannungen $u_{O,ST}$ und $u_{O,TR}$ in der Hinsicht, dass die Ausgangsleistung des Moduls *ij=RS* in der Ausregelphase angehoben wird. Mit der zweiten Aktualisierung der Effektivwerte der Modulspannungen sind die wirksamen Spannungsverhältnisse richtig erfasst. Die vorliegende Gesamtausgangsleistung wird unter der Berücksichtigung der maximal zulässigen stationären Modulausgangsleistung für das Modul *ij=RS* aufgeteilt. Nach der Ausregelphase werden die folgenden Referenzleitwerte durch die Ausgangslastvorsteuerung vorgegeben:

$$\begin{aligned} G^*_{RS} &= 13\text{mS} \longrightarrow 21{,}8\text{mS} \\ G^*_{ST} &= 13\text{mS} \longrightarrow 25{,}8\text{mS} \\ G^*_{TR} &= 13\text{mS} \longrightarrow 25{,}8\text{mS} \end{aligned} \quad . \tag{2.119}$$

Bild 2.63(b) zeigt das Systemverhalten bei Aufhebung des Erdschlusses in Phase *T* und die Rückkehr in den dreiphasigen Netzbetrieb. Analog zu Bild 2.62(b) ist der Ausregelvorgang durch das Ansprechen der Strom- und Spannungsbegrenzungen bzw. durch die sprunghafte Rücknahme der Leitwerte und die Umverteilung der Ausgangslast durch Vorsteuerung der Effektivwerte der Modulspannungen bestimmt.

Die erreichte hohe Regeldynamik wird durch das Systemverhalten bei einem Lastsprung (P_O=60% → 100%$P_{O,max}$) zum Zeitpunkt t=450ms unterstrichen (s. Bild 2.61).

Abschliessend kann festgehalten werden, dass das vorgestellte Regelungskonzept einen stabilen Betrieb des Systems einschliesslich dem kritischen Fall eines Phasenunterbruchs, der auf die Verkopplung von zwei Eingangsmodulen führt, gewährleistet, ohne eine Umschaltung des Regelkonzepts vornehmen zu müssen. Die Erweiterung mit der ausgangsseitigen Balancierung der Modulspannungen kann entfallen, wenn die Phasenumschaltung der Eingangsstufen mittels Thyristoren möglich ist. Werden die beiden von einem Phasenausfall betroffenen Module auf die verbleibenden zwei Netzphasen umgeschaltet, wird eine Modulverkopplung verhindert.

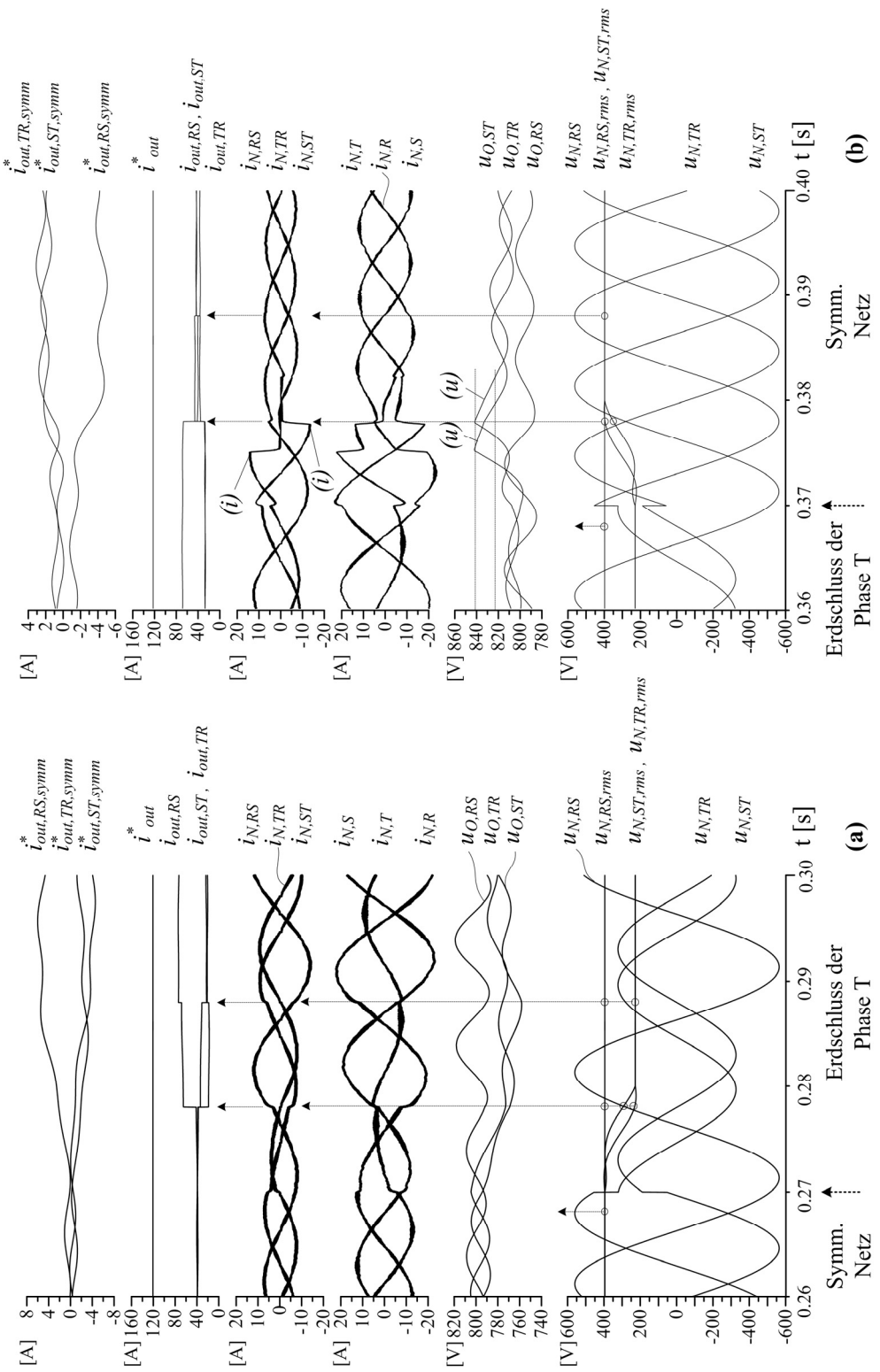


Bild 2.63: Die Zeitverläufe entsprechend Bild 2.61 mit erhöhter zeitlicher Auflösung im Übergangsbereich für **(a)** Erdschluss der Phase *T* nach Ausfall der Netzphase *T* und **(b)** Aufhebung des Erdschlusses der Phase *T* mit Übergang in den symmetrischen Dreiphasenbetrieb. Die eingetragenen Pfeile markieren die Zeitpunkte für die Aktualisierung der Effektivwerte der Eingangsspannungen. *(i)* kennzeichnet den Aktivzustand der Modulstrombegrenzung, *(u)* den Aktivzustand der Begrenzung für $u_{O,ij}$.

2.4.3.3 Stabiles Systemverhalten durch den Eingriff des Balancierreglers

Wie in Abschnitt 2.4.2.4 für den zweiphasigen Betrieb erläutert, führt der Eingriff der modularen Zwischenkreisspannungsregler R_U(s) für die beiden in Serie liegenden Module - die über den gemeinsamen Modulstrom verkoppelt sind - auf ein instabiles Systemverhalten. Um eine Regelkonzeptumschaltung oder –anpassung zu vermeiden, ist ein zusätzlicher Regeleingriff auf das Tastverhältnis notwendig. Dieser zusätzliche Eingriff muss

- einerseits die Stabilisierung des Systems bei vorliegender Verkopplung der Module aufgrund eines Phasenausfalls gewährleisten,
- andererseits für alle anderen Netzverhältnisse, in denen keine Modulverkopplung vorliegt, keine destabilisierende Wirkung ausüben.

Wie die Ergebnisse der digitalen Simulation zeigen, sind durch den ausgangsseitigen Balancierregler diese Anforderungen erfüllt. Das Wirkprinzip des Balancierreglers beruht darauf, einen geringen Anteil der Ausgangsleistung in Abhängigkeit der auf einen Mittelwert bezogenen Unsymmetrie der Modulzwischenkreisspannungen auf die 3 Module aufzuteilen. Die Gesamtleistungsabgabe wird durch die additiven Stellgrösseneingriffe des Balancierreglers

$$i^*_{out,ij,symm} = \frac{K_{bal} i^*_{out}}{U^*_{O,ij}} \left(u_{O,ij} - \Sigma u_{O,ij} / 3 \right) \tag{2.120}$$

nicht geändert. Laut Gl. (2.120) wird das Modul mit der grössten Zwischenkreisspannung durch einen positiven Zusatzterm $i^*_{out,ij,symm}$ stärker bzw. jenes mit der kleinsten Zwischenkreisspannung durch einen negativen Zusatzterm abgeschwächt belastet. Zusätzlich wird über die Ausgangslastvorsteuerung das Tastverhältnis für die Eingangsstufe des Moduls mit zu hoher (zu kleiner) Zwischenkreisspannung angehoben (reduziert). Diese Rückführung wirkt also den Stellgrössen der Zwischenkreisspannungsregler R_U(s) der beiden verkoppelten Module entgegen und sichert somit den stabilen Betrieb bei Phasenausfall. Für die beiden verkoppelten Module (z.B. $ij = ST$ u. TR) bewirkt eine Erhöhung des Tastverhältnisses am Modul $ij = ST$ ein Anheben der Ausgangsspannung $u_{O,TR}$ und ein Absenken der Ausgangsspannung $u_{O,ST}$. Um eine Instabilität zu unterdrücken, muss der Balancierregler während der Ausregelphase einen grösseren Einfluss auf die Änderung der relativen Einschaltdauern haben, als die zugehörigen Zwischenkreisspannungsregler. **Bild 2.64** zeigt das Systemverhalten bei Ausfall der Phase T zum Zeitpunkt $t = 40$ms mit einer reduzierten Proportionalverstärkung ($K_{bal} = 1$) des Balancierreglers. Im Vergleich zu **Bild 2.61** dauert der

Ausregelvorgang der Modulspannungen $u_{O,ST}$ und $u_{O,TR}$ durch die reduzierten Stellgrössen $i^*_{out,ij,symm}$ des Balancierreglers bereits etwas länger (bis ca. $t = 250$ms), führt aber noch auf einen stabilen Endzustand. Ein erstes Anzeichen für ein mögliches Auftreten einer Systeminstabilität ist anhand der überlagerten netzfrequenten Schwingung in der gemessenen Phasenspannung $u'_{N,T}$ zu erkennen. Das ist ein Indiz dafür, dass die aus den bezogenen Sternpunktspannungen ermittelten Moduleingangsspannungen $u_{N,ST}$ und $u_{N,TR}$ bzw. die mittleren Umrichterspannungen $u_{U,ST} = sgn(i_{N,ST}).d_{ST}.u_{O,ST}$ und $u_{U,TR} = sgn(i_{N,ST}).d_{TR}.u_{O,TR}$ von einer symmetrischen Spannungsaufteilung $u_{N,RS}/2$ abweichen.

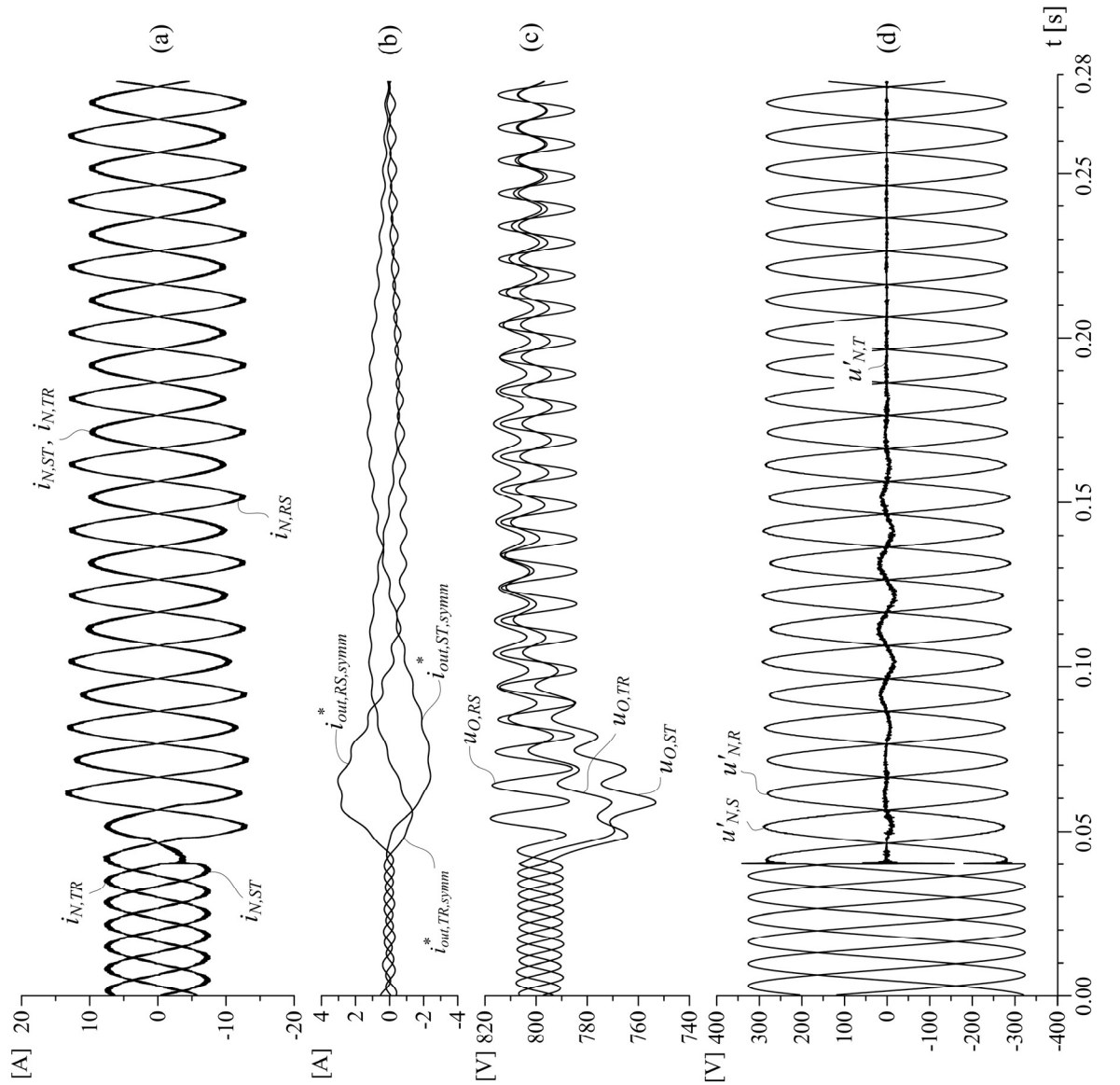


Bild 2.64 Analyse des Systemverhaltens nach Ausfall der Phase T zum Zeitpunkt $t = 40$ms mit einer reduzierten Verstärkung des Balancierregler $K_{bal} = 1$. In **(a)** sind die Modulströme, in **(b)** die Stellgrössen des Balancierreglers $i^*_{out,ij,symm}$, in **(c)** die Zwischenkreisspannungen der Module $u_{O,ij}$ und in **(d)** die gemessenen Phasenspannungen $u'_{N,i}$, aus denen die Modulspannungen über $u_{N,ij} = u'_{N,i} - u'_{N,j}$ berechnet werden, gezeigt.

In **Bild 2.65** ist wiederum der Ausfall der Phase *T* zum Zeitpunkt $t = 40$ms dargestellt, wobei die Verstärkung des Balancierreglers nur noch $K_{bal} = 0{,}2$ beträgt. Die reduzierten Stellgrössen des Balancierreglers können nun die Stellgrössen der Zwischenkreisspannungsregler $R_{U,ST}(s)$ und $R_{U,TR}(s)$ nicht mehr ausreichend korrigieren. Diese wirken aber aufgrund der vorliegenden Streckenverkopplung mit einer negativen Verstärkung auf ihre zugeordnete Zwischenkreisspannung und mit einer positiven Verstärkung auf die verkoppelte Zwischenkreisspannung (s. Bild 2.46). Aus diesem Grund wird die Modulausgangsspannung $u_{O,TR}$ durch die Stellgrösse des Zwischenkreisspannungsreglers des Moduls $ij=ST$ über den Sollwert hinaus verstärkt. Es resultiert eine anschwellende Schwingung der beiden verkoppelten Modulzwischenkreisspannungen. Die Frequenz dieser Schwingung wäre ohne das Eingreifen der Spannungsbegrenzung durch die Regelbandbreite des Zwischenspannungsregelkreises bestimmt. Zum Zeitpunkt $t \approx 182$ms erreicht $u_{O,ST}$ die Begrenzungsschwelle, wodurch der Modulleitwert G^*_{ST} auf 0 gesetzt wird. Entsprechend stellt das Modul nun einen hochohmigen Ersatzwiderstand dar. Dies führt dazu, dass die verkoppelten Modulströme $i_{N,ST} \approx i_{N,TR}$ auf einen schaltfrequenten Anteil abnehmen. Gleichzeitig liegt nun die Gesamtspannung $-u_{N,RS}$ nur noch am hochohmigen Modul $ij=ST$ an. Aus diesem Grund nehmen die Phasenspannungen $u'_{N,T}$ und $u'_{N,R}$ denselben Wert an. Durch das Eingreifen der Modulspannungsbegrenzung wird der Messsternpunkt durch den schaltfrequenten Strom erheblich gestört. Sinkt die Spannung unter die Begrenzungsschwelle, wird der Sollleitwert wieder freigegeben. Die Moduleingangsspannungen $u_{N,ST} = u'_{N,S} - u'_{N,T}$ bzw. $u_{N,TR} = u'_{N,T} - u'_{N,S}$ stimmen im Wesentlichen mit den mittleren Umrichterspannungen $u_{U,ST} = sgn(i_{N,ST}).d_{ST}.u_{O,ST}$ und $u_{U,TR} = sgn(i_{N,ST}).d_{TR}.u_{O,TR}$ überein und sind entsprechend $u'_{N,T}$ stark abweichend von einer symmetrischen Eingangsspannungsaufteilung. Durch die nichtlineare Wirkung der Spannungsbegrenzung und der instabilen Stellgrösseneingriffe der Zwischenkreisspannungsregler auf die verkoppelten Zwischenkreisspannungen, stellt sich ein Grenzzyklus ein. Die Modulspannungen führen in weiterer Folge eine nichtlineare Schwingung aus, deren Schwingungsamplitude durch die wirksame Spannungsbegrenzung (u) nach oben hin begrenzt ist.

Bild 2.66 stellt den Zeitabschnitt $t = 250\ldots380$ms aus Bild 2.65 mit höherer zeitlicher Auflösung dar. Zusätzlich sind die Verläufen für die Modulspannungen $u_{N,ij}$, die fiktive Spannung zwischen dem Messsternpunkt und dem Netzsternpunkt $u_{CTRL_GND\text{-}N}$ (s. Bild 2.59) und die Phasenströme $i_{N,i}$ angeführt. Es dient zur Veranschaulichung der Folgeeffekte eines instabilen Systemverhaltens. Interessant vorallem sind die Störung des Messsternpunktes und der Zusammenbruch der Modulspannung $u_{N,ST}$ in der Aktivphase der Spannungsbegrenzung

(u) und der Einfluss des schaltfrequenten Störstroms $i_{N,T}$ auf den Messsternpunkt bzw. auf die Eingangsspannungsmessung.

Um Stabilität im zweiphasigen Betrieb sicherzustellen, muss daher eine ausreichend hohe Verstärkung K_{bal} (≥1) gewählt werden.

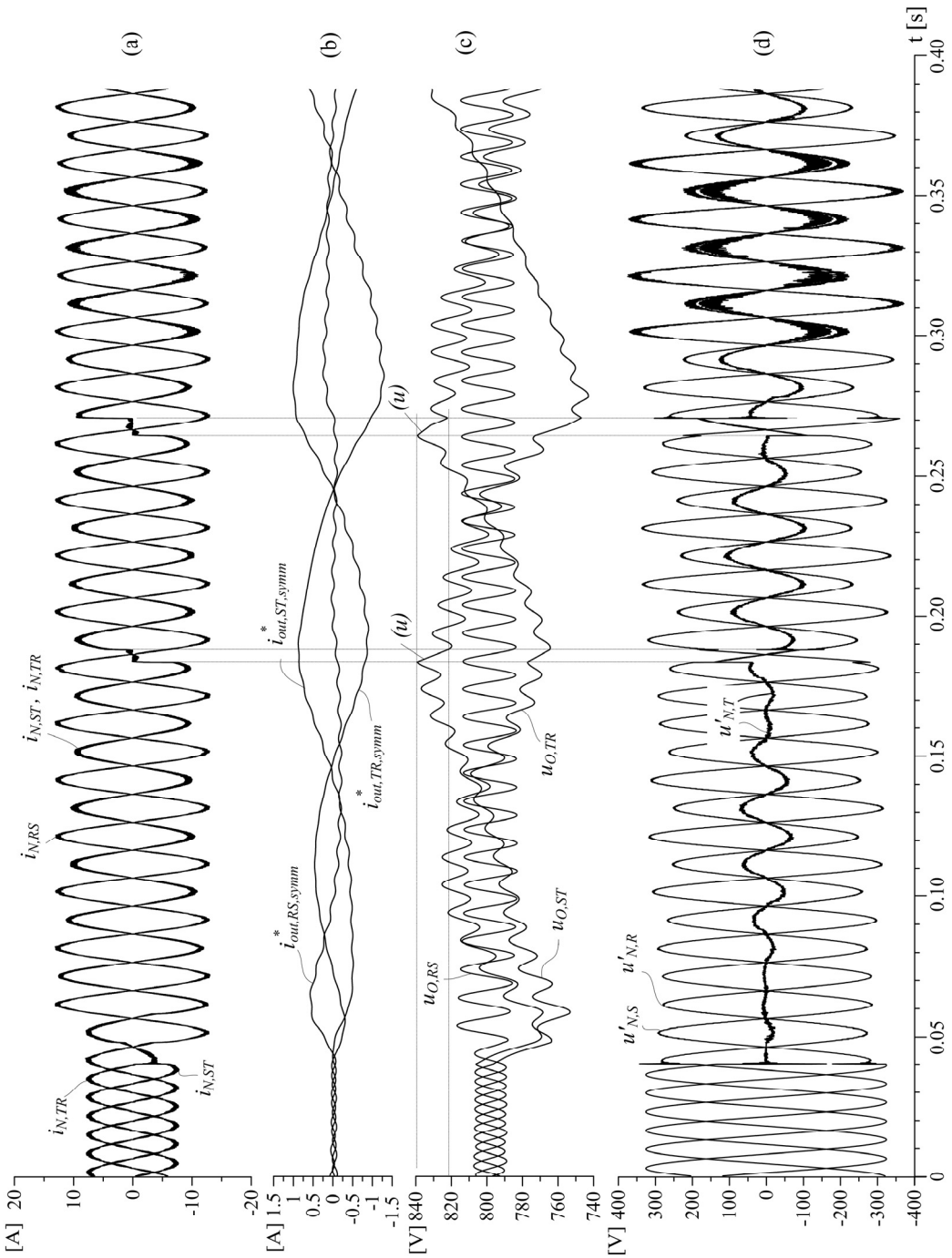


Bild 2.65: Analyse des Systemverhaltens nach Ausfall der Phase T zum Zeitpunkt t = 40ms mit einer zu kleinen Verstärkung des Balancierregler K_{bal} = 0,2. In **(a)** sind die Modulströme, in **(b)** die Stellgrössen des Balancierreglers $i^*_{out,ij,symm}$, in **(c)** die Zwischenkreisspannungen der Module $u_{O,ij}$ und in **(d)** die gemessenen Phasenspannungen $u'_{N,i}$, aus denen die Modulspannungen über $u_{N,ij}=u'_{N,i}-u'_{N,j}$ berechnet werden, dargestellt.

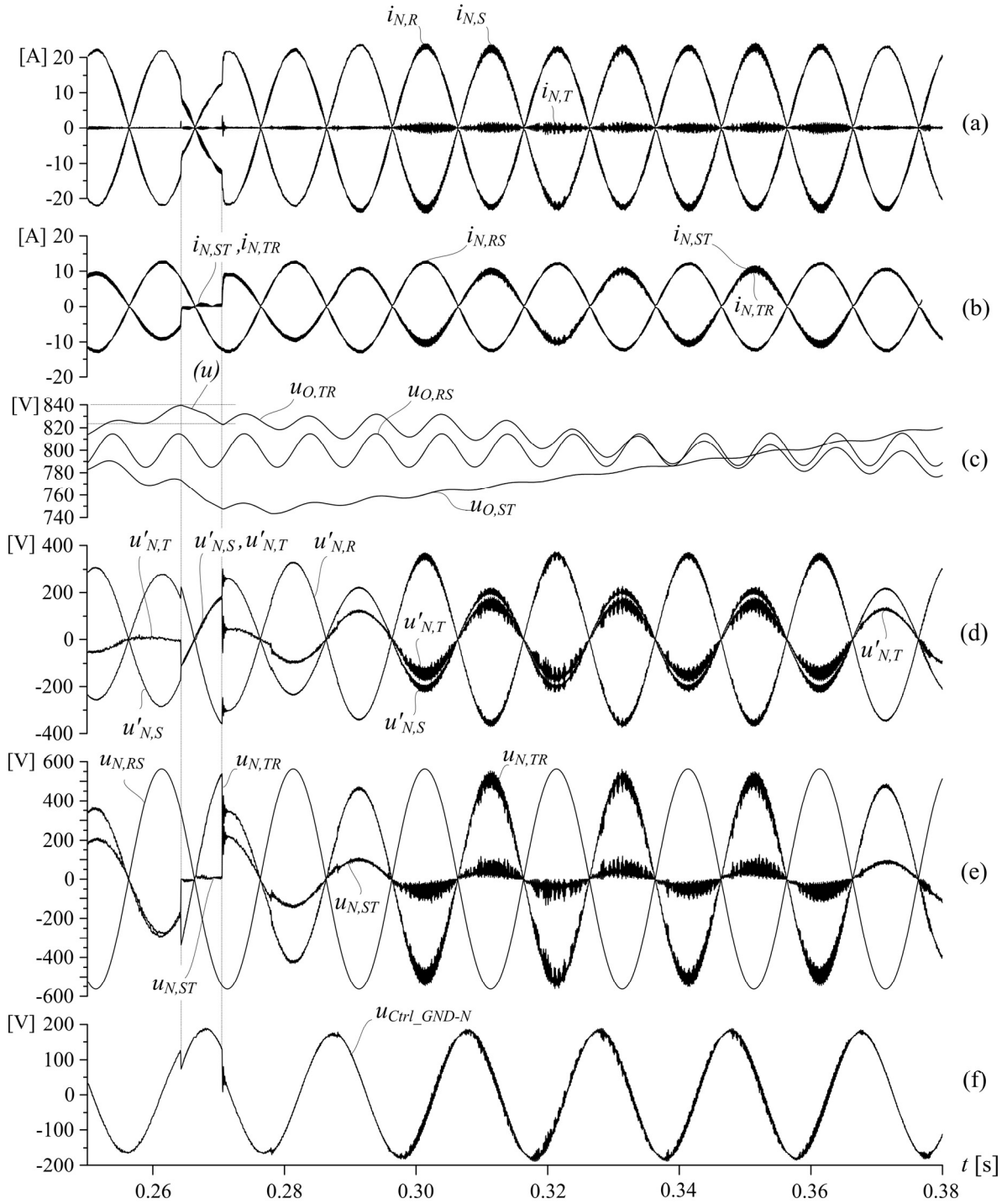


Bild 2.66: Analyse des instabilen Systemverhaltens nach Ausfall der Phase *T* zum Zeitpunkt $t = 40$ms bei zu kleiner Verstärkung des Balancierregler $K_{bal} = 0{,}2$ (gezoomter Zeitabschnitt aus Bild 2.65). In **(a)** sind die Phasenströme $i_{N,i}$, in **(b)** die Modulströme $i_{N,ij}$, in **(c)** die Zwischenkreisspannungen der Module $u_{O,ij,}$ in **(d)** die gemessenen Phasenspannungen $u'_{N,i}$, in **(e)** die Moduleingangsspannungen $u_{N,ij}$ und in **(f)** die Spannung u_{CTRL_GND-N} des Messsternpunkts gegenüber dem Netzsternpunkt *N*, dargestellt.

A.1 Definition des Raumzeigers und der Nullgrösse

Zur Beschreibung von Dreiphasen-Systemen wurde von Kovács und Rácz [Kov59] der Raumzeiger $\underline{u}$ eingeführt. Der den augenblicklich wirkenden Phasengrössen (Momentanwerte) u_A, u_B, u_C zugeordnete komplexe Raumzeiger ist mit

$$\underline{u} = \frac{2}{3}\left(u_A + \underline{a} \cdot u_B + \underline{a}^2 \cdot u_C\right) \tag{2.121}$$

definiert. Dabei stellt $\underline{a}$ den Drehoperator

$$\underline{a} = e^{j\frac{2\pi}{3}} = -\frac{1}{2} + j\frac{\sqrt{3}}{2}, \qquad \underline{a}^2 = e^{j\frac{4\pi}{3}} = -\frac{1}{2} - j\frac{\sqrt{3}}{2} \tag{2.122}$$

dar. Mit Ausnahme der Nullgrösse u_0 wird damit ein Dreiphasen-System mit beliebigen Zeitverläufen $u_A(t)$, $u_B(t)$ und $u_C(t)$ der Phasengrössen eindeutig in einen komplexen Zeiger abgebildet. Die Nullgrösse u_0 ist mit

$$u_0 = \frac{1}{3}\left(u_A + u_B + u_C\right) \tag{2.123}$$

definiert. Für die Phasengrössen werden keinerlei Einschränkungen gemacht, sodass insbesondere auch oberschwingungsbehaftete Zeitverläufe beschrieben werden können. Durch die Raumzeiger-Transformation wird eine zyklische Abfolge der drei Phasengrössen in eine Rotationsbewegung des zugeordneten komplexen Zeigers umgesetzt.

Die festgelegte Zuordnung der 3 Phasen (A, B, C) zu den durch die komplexen Zeiger (e^{j0}, $\underline{a}$, $\underline{a}^2$) definierten Achsen ist in **Bild 2.67** dargestellt.

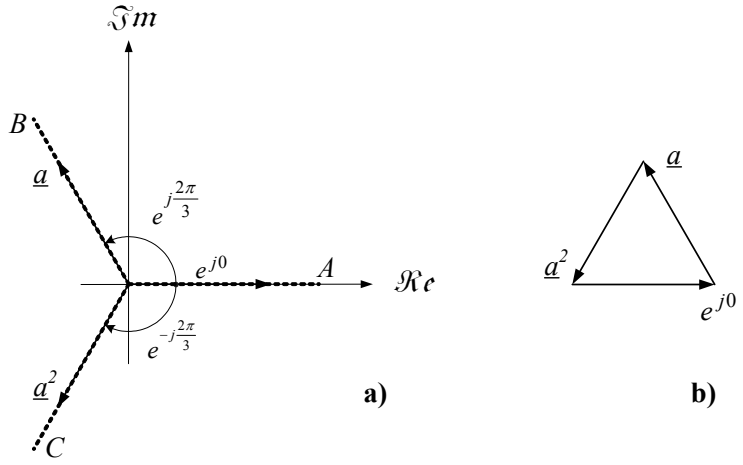


Bild 2.67: Definition der Lage der Phasenachsen A, B, C in Richtung der komplexen Zeiger e^{j0}, $\underline{a}$, $\underline{a}^2$ **(a).** Teilbild **(b)** veranschaulicht den Sachverhalt, dass die Addition der Richtungsvektoren auf den Nullvektor führt. Es ist somit augenscheinlich klar, dass eine Nullgrösse u_0 in den Phasengrössen keinen Einfluss auf die Bildung des Raumzeigers $\underline{u}$ hat.

Bleibt noch die Frage zu klären, wie ein Dreiphasensystem mit der zeitlichen Phasenfolge *R*, *S*, *T* in einen Raumzeiger abgebildet wird. Die Zeitverläufe der Systemgrundschwingungen $u_{R,(1)}$, $u_{S,(1)}$, $u_{T,(1)}$ eines Dreiphasen-Systems sind in **Bild 2.68 (a)** dargestellt und durch die Gleichungen

$$\begin{aligned} u_{R,(1)} &= \hat{U}_{R,(1)} \cos(\omega t) \\ u_{S,(1)} &= \hat{U}_{S,(1)} \cos(\omega t - \frac{2\pi}{3}) \\ u_{T,(1)} &= \hat{U}_{T,(1)} \cos(\omega t + \frac{2\pi}{3}) \end{aligned} \tag{2.124}$$

beschrieben. Mit der Zuordnung der Augenblickswerte u_R, u_S, u_T zu den Raumzeigerphasen *A*, *B*, *C*, d.h. mit

$$\begin{aligned} u_{A,(1)} &= u_{R,(1)} \\ u_{B,(1)} &= u_{S,(1)} \\ u_{C,(1)} &= u_{T,(1)} \end{aligned} \tag{2.125}$$

kann aus einem vorliegenden Raumzeiger $\underline{u} = \frac{2}{3}\left(u_A + \underline{a}u_B + \underline{a}^2 u_B\right) = \frac{2}{3}\left(u_R + \underline{a}u_S + \underline{a}^2 u_T\right)$ und der Nullgrösse $u_0 = 1/3\left(u_R + u_S + u_T\right)$ eindeutig auf die Momentanwerte der Systemphasengrössen u_R, u_S, u_T zurückgerechnet werden. Über die Projektion des Raumzeigers $\underline{u}$ auf die Phasenachsen kann auf den Momentanwert der nullgrössenfreien Phasengrössen u'_R, u'_S, u'_T geschlossen werden. Zusammen mit der Nullgrösse u_0 berechnet sich dann der Momentanwert der Phasengrössen über

$$\begin{aligned} u_R &= u'_R + u_0 = \mathrm{Re}(\underline{u}) + u_0 \\ u_S &= u'_S + u_0 = \mathrm{Re}(\underline{a}^2 \cdot \underline{u}) + u_0 \\ u_T &= u'_T + u_0 = \mathrm{Re}(\underline{a} \cdot \underline{u}) + u_0 \end{aligned} \quad . \tag{2.126}$$

Im Raumzeiger $\underline{u}$ ist also nur die Information über die nullgrössenfreien Anteile u'_R, u'_S, u'_T der Phasengrössen zusammengefasst. Die 2 unabhängigen Grössen - Real- und Imaginärteil - zur Beschreibung eines Raumzeigers können also auf 2 unabhängige Momentanwerte der Phasengrössen rückgeführt werden, wobei die dritte Phasengrösse der Bedingung

$$u'_R + u'_S + u'_T = 0 \tag{2.127}$$

unterliegt.

Bei umgekehrtem Drehsinn des Dreiphasensystems (Phasenfolge *R*, *T*, *S*) ist die Zuordnung der Systemphasen zu den Raumzeigerphasen mit $R = A$, $T = B$ und $S = C$ gegeben.

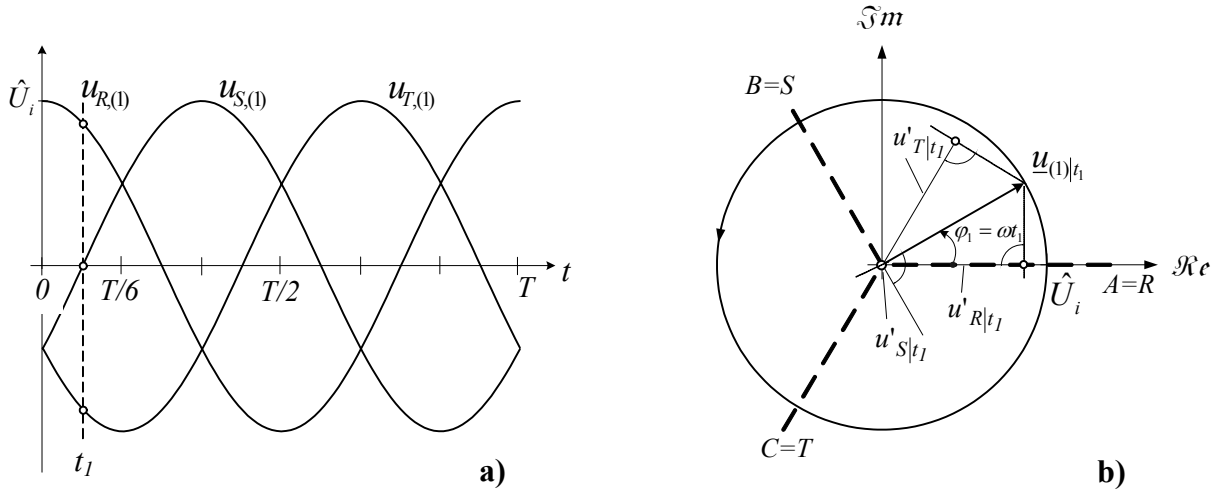


Bild 2.68: Zuordnung des zeitlichen Verlaufs der Phasengrössen $u_{R,(1)}$, $u_{S,(1)}$, $u_{T,(1)}$ zu den Raumzeigerphasen *A*, *B*, *C*. Der einem rein sinusförmigen, symmetrischen Dreiphasensystem zugeordnete Raumzeiger weist einen konstanten Betrag $\hat{U}_i$ (kreisförmige Trajektorie) und konstante Winkelgeschwindigkeit ω auf. Mit dieser Zuordnung beschreibt der Raumzeiger $\underline{u}$ für ein symmetrisches Dreiphasensystem denselben Verlauf in der komplexen Ebene wie ein der Phasengrösse *R* zugeordnete komplexe Zeiger $\underline{U}_R = \left|\hat{U}_R\right| e^{j\varphi}$ gemäss komplexer Wechselstromrechnung. In **(b)** ist weiters die Rücktransformation des Raumzeigers $\underline{u}$ auf die nullgrössenfreien Phasengrössen $u'_{R|t_1}, u'_{S|t_1}, u'_{T|t_1}$ zum Zeitpunkt t_1 durch Projektion auf die Phasenachsen dargestellt. Bei einem unsymmetrischen Dreiphasen-System mit unterschiedlichen Phasenspannungsamplituden ergibt sich eine elliptische Trajektorie.

Im Gegensatz zur komplexen Wechselstromrechnung können mittels des Raumzeigerkalküls beliebige periodische Zeitverläufe von Drei- und Mehrphasensystemen anschaulich dargestellt werden. Aufgrund dieser Universalität wird das Raumzeigerkalkül allgemein für die Beschreibung und Analyse von Stromrichter-Schaltungen herangezogen.

3 *Y-Rectifier*

3.1 Übersicht

In diesem Kapitel wird die zweite Möglichkeit des modularen Aufbaus eines Dreiphasen-Pulsgleichrichters behandelt, die durch die Sternschaltung von drei Einphasen-Gleichrichtermodulen an das Dreileiternetz gegeben ist. Am Beginn wird das Systemprinzip anhand eines äquivalenten Ersatzschaltbildes und mit Hilfe des Raumzeigerkalküls analysiert. Es werden die möglichen Spannungsraumzeiger für den Aufbau eines Moduls mit einer 2-Punkt und einer 3-Punkt Ausgangsstruktur dargestellt und die Möglichkeit zur Erhöhung der Aussteuergrenze des Systems erläutert. Wie für den *Delta-Rectifier* soll die Generierung der PWM-Ansteuersignale mit einem schaltfrequenten Trägersignal realisiert werden. Eine auf die Raumzeigerrechnung basierende Bestimmung der Einschaltdauern für die einzelnen Leistungshalbleiter ist nicht Gegenstand dieser Arbeit. Weiters werden die Simulationsergebnisse für die charakteristischen Strom- und Spannungsverläufe des Systems für beide Ausgangsstrukturen dargestellt. Die Ausführung der Gleichrichtereingangsstufe des aufgebauten Prototyps wird unter Berücksichtigung des Phasenstromrippels, minimaler Verlustleistung und der Systemkomplexität getroffen. Im Anhang dieses Kapitels sind Ergänzungen zu verschiedenen Realisierungsmöglichkeiten der Eingangsstufe, die Berechnung des Phasenstromrippels und die Dimensionierung des gesamten Leistungsteils inklusive DC/DC-Ausgangsstufe angeführt.

Das Hauptaugenmerk der Systemuntersuchung liegt auf der Analyse der vorliegenden Verkopplung der einzelnen Module aufgrund des gemeinsamen Systemsternpunktes N_S. Die daraus resultierende Konsequenz für die Implementierung einer stabilen Systemregelung auf Basis einer modularen Regelungsstruktur für die einzelnen Module wird im Abschnitt über die Auslegung und Implementierung der Regelung beschrieben. Es werden die beiden Möglichkeiten, d.h. eine eingangs- und eine ausgangsseitige Regelung der Modulzwischenkreisspannungen dargestellt. Messungen an einem Labormuster verifizieren das Regelkonzept und die hohe Performance des Systems.

3.2 Analyse des Grundprinzips des *Y-Rectifier*

Der modulare Aufbau einer dreiphasigen Gleichrichtereingangsstufe kann durch den Anschluss von drei Einphasen-PFC-Modulen in Sternschaltung an ein Dreileiternetz realisiert werden. D. h. die drei Module ($i = R,\ S,\ T$) sind mit je einer Eingangsklemme an die Phasenleiter ($i = R,\ S,\ T$) des Dreileiternetzes angeschlossen und mit der zweiten Eingangsklemme zu einem systeminternen Sternpunkt N_S zusammengeschaltet. Im **Anhang B.1** wird auf verschiedene Ausführungen von Einphasen-PFC-Schaltungen eingegangen und deren Systemeigenschaften erläutert. Hinsichtlich minimaler Halbleiterverluste ist das Gleichrichtermodul mit einer 2-Schalter 2-Punkt Topologie auszuführen. Die resultierende Gesamteingangstufe für den 2-Punkt *Y-Rectifier* ist in **Bild 3.1** dargestellt. Die Reduzierung der Halbleiterverluste gegenüber einer Standard-PFC Topologie ist im **Anhang B.2** berechnet. Im Gegensatz zu direkten Dreiphasen-Pulsgleichrichtersystemen und dem *Delta-Rectifier* kann die Modulzwischenkreisspannung U_{OY} auf 400V herabgesetzt werden, da die Eingangsspannung durch die Phasenspannung ($\widehat{U}_{N,i} = 325\text{V}\pm 20\%$) bestimmt ist. Somit können die Gleichrichtereingangsstufe und die DC/DC-Ausgangsstufe in 600V Halbleitertechnologie ausgeführt werden. Die Ausführung der PFC-Module als *3-Punkt* Topologie gemäss **Bild 3.2** ermöglicht den Einsatz von Halbleiterkomponenten mit 300V Sperrspannungsfestigkeit, womit die anfallenden Schaltverluste pro MOSFET, die auftretende Gleichtaktstörung auf die Eingangsseite und die Auslegung der Eingangsinduktivität bei versetzter Ansteuerung der Leistungsschalter reduziert werden können. Diesen Vorteilen stehen jedoch ein erhöhter Bauteilaufwand für die eingangsseitige Diodengleichrichtung und die Hochsetzstellerausgangsstufen sowie eine Erhöhung der Leitverluste gegenüber.

Nachfolgend wird das Grundprinzip des *Y-Rectifier* für beide Ausführungsvarianten analysiert.

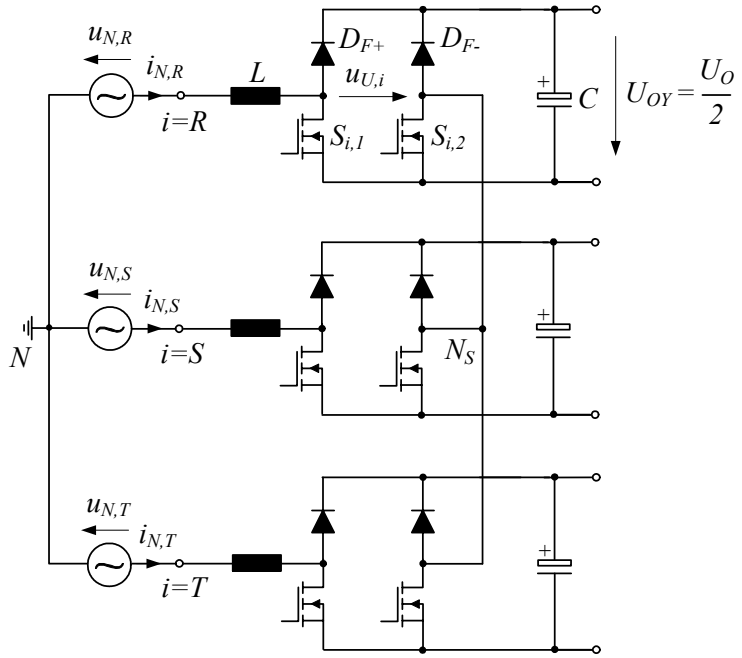


Bild 3.1: *Y-Rectifier* mit Ausführung der Eingangsmodule in 2-Schalter 2-Punkt Topologie.

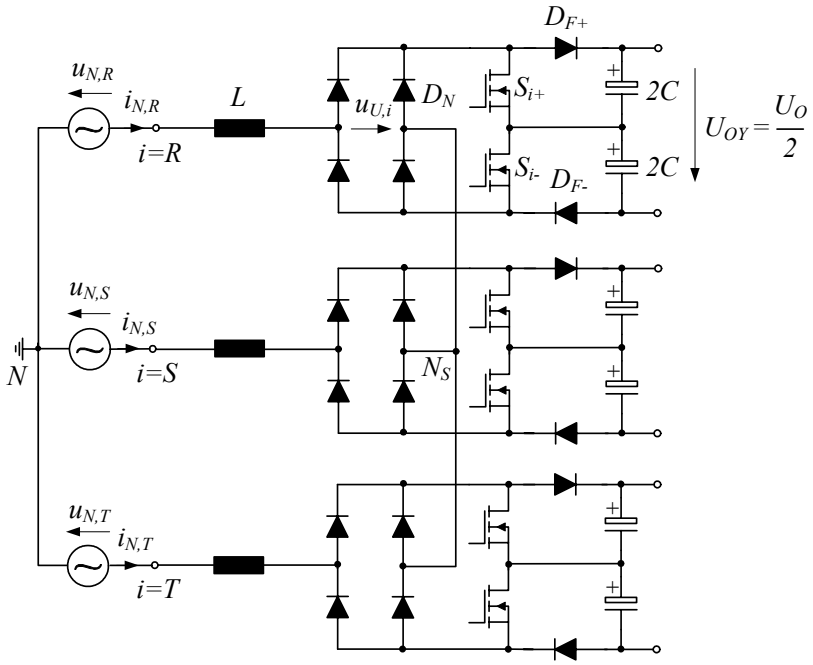


Bild 3.2: *Y-Rectifier* mit Ausführung der Eingangsmodule in 3-Punkt Topologie für den Einsatz von 300V Leistungshalbleitern in der Hochsetzstellerstufe.

3.2.1 Prinzipielle Wirkungsweise des Systems

Die in **Bild 3.1** und **Bild 3.2** dargestellten Topologien können in ein auf die Wechselspannungsseite bezogenes äquivalentes Ersatzschaltbild übergeführt werden. Unter

Vernachlässigung von ohmschen Spannungsabfällen ergibt sich die Ersatzschaltung gemäss **Bild 3.3**(a).

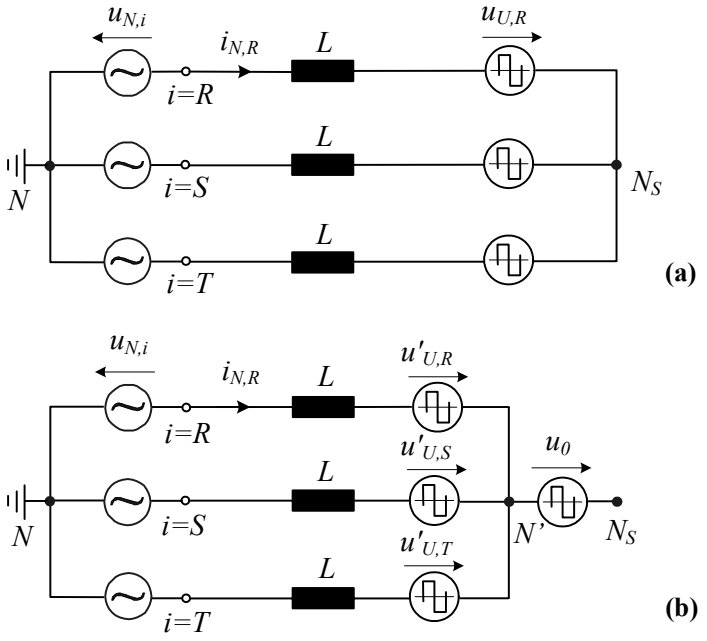


Bild 3.3: Äquivalentes auf die Wechselspannungsseite bezogenes Ersatzschaltbild des *Y-Rectifier*. In **(a)** sind die messbaren Umrichterspannungen $u_{U,i}$ bezüglich des systeminternen Sternpunkts N_S eingezeichnet, der gegenüber dem Netzsternpunkt N eine schaltfrequente Potenzialdifferenz aufweist. In **(b)** sind die für die Bildung der Modul-/Phasenströme $i_{N,i}$ wirkenden nullgrössenfreien Umrichterspannung $u'_{U,i} = u_{U,i} - u_0$ eingetragen. *N'* bezeichnet einen virtuellen Sternpunkt des Systems, der dasselbe Potenzial wie *N* aufweist

Die Strombildung in den einzelnen Phasen (i=*R, S, T*) kann mittels

$$u_{N,i} = L\frac{di_{N,i}}{dt} + u_{U,i} + u_{N_S N} \tag{3.1}$$

angegeben werden. Dabei bezeichnet $u_{U,i}$ die auf die Wechselspannungsseite bezogene Umrichterspannung des Moduls i und $u_{N_S N}$ die Spannung des Systemsternpunkts N_S gegenüber den Netzsternpunkt *N*. Mit der für ein Dreileiternetz vorliegenden Bedingung

$$\sum i_{N,i} = i_{N,R} + i_{N,S} + i_{N,T} = 0 \tag{3.2}$$

und daraus abgeleitet

$$\frac{di_{N,R}}{dt} + \frac{di_{N,S}}{dt} + \frac{di_{N,T}}{dt} = 0 \tag{3.3}$$

folgt mit Gl.(3.1) bei Betrachtung eines symmetrischen Dreiphasennetzes ($\sum u_{N,i} = 0$) der Ausdruck für die Spannung $u_{N_S N}$

$$\underbrace{\sum u_{N,i}}_{0} = L\underbrace{\sum \frac{di_{N,i}}{dt}}_{0} + \sum u_{U,i} + 3 \cdot u_{N_S N} \longrightarrow u_{N_S N} = -\frac{1}{3}\sum u_{U,i} \,. \tag{3.4}$$

$u_{N_S N}$ ist also gleich zu setzen mit dem negativen Wert der in den Umrichterspannungen $u_{U,i}$ enthaltenen Nullgrösse $u_0 = \frac{1}{3}\sum u_{U,i}$. Die für die Strombildung in den einzelnen Phasen auf der Gleichrichtereingangsseite wirkende Spannung entspricht der nullgrössenfreien Umrichterspannung $u'_{U,i}$, also

$$u'_{U,i} = u_{U,i} + u_{N_S N} = u_{U,i} - u_0 \,. \tag{3.5}$$

In **Bild 3.3**(b) ist dieser Sachverhalt in einem Ersatzschaltbild dargestellt. Der mit *N'* bezeichnete virtuelle Systemsternpunkt weist dasselbe Potenzial wie der Netzsternpunkt *N* auf. Die Strombildung in den einzelnen Phasen kann also durch

$$u_{N,i} = L\frac{di_{N,i}}{dt} + u'_{U,i} \tag{3.6}$$

angegeben werden.

Wird den Phasengrössen ($u_{N,i}$, $i_{N,i}$ und $u'_{U,i}$) ein komplexer Raumzeiger ($\underline{u}_N$, $\underline{i}_N$ und $\underline{u}'_U$) zugeordnet, so kann Gl.(3.6) in

$$\underline{u}_N = L\frac{d\underline{i}_N}{dt} + \underline{u}'_U \tag{3.7}$$

übergeführt werden, wobei

$$\underline{u}_N = \frac{2}{3}(u_{N,R} + \underline{a} \cdot u_{N,S} + \underline{a}^2 \cdot u_{N,T})$$

$$\underline{i}_N = \frac{2}{3}(i_{N,R} + \underline{a} \cdot i_{N,S} + \underline{a}^2 \cdot i_{N,T}) \qquad \text{mit } \underline{a} = e^{j2\pi/3} \text{ und } \underline{a}^2 = e^{-j2\pi/3} \tag{3.8}$$

$$\underline{u}'_U = \frac{2}{3}(u'_{U,R} + \underline{a} \cdot u'_{U,S} + \underline{a}^2 \cdot u'_{U,T})$$

zur Anwendung kommt.

So wie die Phasengrössen $i_{N,i}$ und $u'_{U,i}$ in eine Grundschwingung und Oberschwingungen aufgetrennt werden können, ist dies auch für die komplexen Raumzeiger möglich. Mit

$$\underline{u}'_U = \underline{u}'_{U,(1)} + \underline{u}'_{U,(n)} = \underline{u}_{U,(1)} + \underline{u}'_{U,(n)}$$
$$\underline{i}_N = \underline{i}_{N,(1)} + \underline{i}_{N,(n)} \tag{3.9}$$

kann Gl.(3.7) in einen Ausdruck für die Grundschwingung

$$\underline{u}_N = L\frac{d\underline{i}_{N,(1)}}{dt} + \underline{u}'_{U,(1)} = j\omega_N L\underline{i}_{N,(1)} + \underline{u}_{U,(1)} \tag{3.10}$$

und in einen für den schaltfrequenten Stromrippel

$$0 = L\frac{d\underline{i}_{N,(n)}}{dt} + \underline{u}'_{U,(n)} = L\frac{d\underline{i}_{N,(n)}}{dt} + \underline{u}'_U - \underline{u}_{U,(1)} \longrightarrow L\frac{d\underline{i}_{N,(n)}}{dt} = \underline{u}_{U,(1)} - \underline{u}'_U \tag{3.11}$$

zerlegt werden.

Aus Gl. (3.10) folgt, dass für die Bildung von sinusförmigen Phasenströmen $\underline{i}_{N,i(1)}$ ein über die Schaltperiode T_P gemittelter Spannungsraumzeiger $\overline{\underline{u}}'_U$ gebildet werden muss, der gleich dem Spannungsraumzeiger $\underline{u}_{U,(1)}$ ist. Es gilt also die Forderung

$$\underline{u}_{U,(1)} = \overline{\underline{u}}'_U = \frac{1}{T_P}\int_{T_P} \underline{u}'_U \, dt \tag{3.12}$$

zu erfüllen. Mit Gl.(3.11) wird die Abweichung der Phasenströme $i_{N,i}$ vom ideal sinusförmigen Stromverlauf beschrieben. Der auftretende Stromrippel $\Delta i_{N,i}$ ist durch die Abweichung des momentan anliegenden Spannungsraumzeigers $\underline{u}'_U$ der Umrichterspannungen $\underline{u}'_{U,i}$ vom Idealwert $\underline{u}_{U,(1)}$ bestimmt. Für die Minimierung des Eingangsstromrippels muss also der Spannungsraumzeiger $\underline{u}_{U,(1)}$ im Mittel über eine Schaltperiode durch die benachbart liegenden Spannungsraumzeiger $\underline{u}'_{U,m}$ approximiert werden, die den möglichen Schaltzuständen des Systems zugeordnet sind. (Der Index *m* unterstreicht die Abhängigkeit des Spannungsraumzeigers $\underline{u}'_U$ von den *m* möglichen Schaltzuständen). Aufgabe der Modulation ist es also, Gl. (3.12) mittels

$$\overline{\underline{u}}'_U = \frac{1}{T_S}\sum \underline{u}'_{U,m} \cdot t_m \tag{3.13}$$

anzunähern, wobei t_m die Dauer der einzelnen in der Schaltsequenz auftretenden Schaltzustände bestimmt. Bei Ausführung der Module mit einer 2-Punkt Topologie stehen insgesamt $m = 2^3 = 8$ und mit einer 3-Punkt Topologie $m = 4^3 = 64$ Schaltzustände zur Verfügung.

Für die weitere Analyse wird eine Aufteilung auf die beiden Ausführungsvarianten der Module vorgenommen.

3.2.2 2-Punkt Ausgangsstruktur

Die möglichen Schaltzustände $s_{Y,2P}$ für den 2-Punkt *Y-Rectifier* (s. **Bild 3.1**) können mit Hilfe der Schaltfunktion

$$s_{Y,2P} = \left(s_R\ s_S\ s_T\right)_{u_0} \tag{3.14}$$

unterschieden werden. s_i ($i = R,\ S,\ T$) weist im Leitzustand des in Vorwärtsrichtung betriebenen MOSFET des Moduls i den Wert 1 und im Sperrzustand den Wert 0 auf. Die resultierende Nullspannung u_0 ist als Index angeführt. Die 8 möglichen Schaltkombinationen führen innerhalb eines durch die Vorzeichen der Phasenströme definierten 60°-Phasensektors auf 7 verschiedene diskrete Raumzeiger $\underline{u}'_U$ der Umrichterspannungen. Die Umrichterspannung $u_{U,i}$ kann in Abhängigkeit des Vorzeichens des Phasenstroms sgn($i_{N,i}$) und des Schaltzustandes s_i mit

$$u_{U,i} = \mathrm{sgn}(i_{N,i})(1 - s_i)U_{OY} \tag{3.15}$$

berechnet werden. Die in $u_{U,i}$ enthaltene Nullgrösse u_0 kann wie oben bereits angeführt mit

$$u_0 = \frac{1}{3}\sum u_{U,i} \tag{3.16}$$

bestimmt werden. Für den durch $i_{N,R} > 0$, $i_{N,S} < 0$ und $i_{N,T} < 0$ definierten 60°-Phasensektor resultieren die in **Bild 3.4** dargestellten Raumzeiger $\underline{u}'_U$ der Umrichterspannungen. Zu jedem Raumzeiger ist die Zuordnung der Schaltfunktion $s_{Y,2P}$ und der Nullspannungskomponente u_0 angegeben. Für einen um 60° nachfolgenden Phasensektor ergeben sich die Spannungsraumzeiger durch Drehung um 60° in mathematisch positiver Richtung.

Der Raumzeiger mit Ausrichtung zum Mittelpunkt des Hexagons kann über die beiden Schaltfunktionen ($s_R\ \ s_S\ \ s_T$) = (100) und ($s_R\ \ s_S\ \ s_T$) = (011) vorgegeben werden. Der Modulationsfaktor M ist analog zum *Delta-Rectifier* und *Vienna-Rectifier* mit

$$M = \frac{2\hat{U}_{N,i}}{U_O} = \frac{\hat{U}_{N,i}}{U_{OY}} \tag{3.17}$$

definiert. Die Anzahl und die Lage der Raumzeiger stimmen exakt mit denen des *Vienna-Rectifier* / *Conventional Rectifier* überein. Daraus lässt sich folgern, dass für die Modulation der Einschaltdauern dieselben Vorsteuerfunktionen für den *Y-Rectifier* zum Einsatz kommen können wie für den *Vienna-Rectifier*.

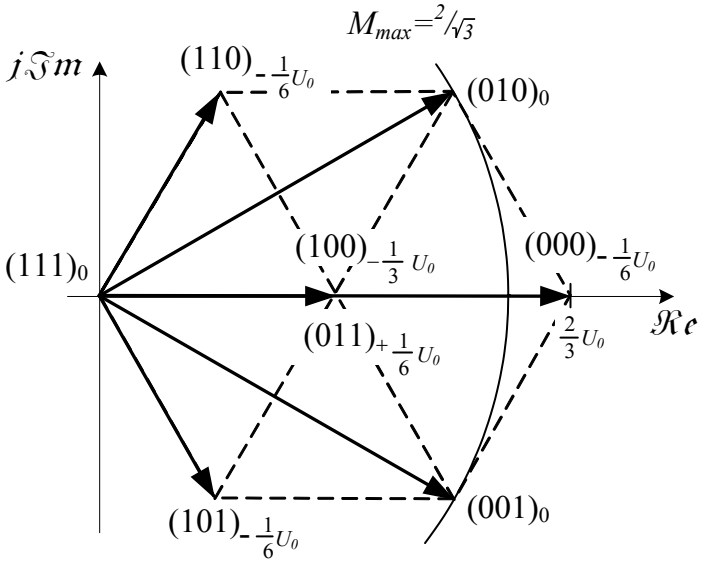


Bild 3.4: Resultierende Raumzeiger $\underline{u}'_U$ der auf die Wechselspannungsseite bezogenen Umrichterspannungen des 2-Punkt *Y-Rectifier* in einem durch $i_{N,R} > 0$, $i_{N,S} < 0$ und $i_{N,T} < 0$ definierten 60°-Sektor. Die Raumzeiger sind mit Angabe des Schaltzustandes $s_{Y,2P}$ und der resultierenden Nullspannungskomponente u_0 gekennzeichnet. Die Aussteuergrenze des Systems ist mit $M = 2/\sqrt{3}$ markiert, und kann nur durch Überlagerung einer Nullgrösse erreicht werden. Dieselbe Lage der Spannungsraumzeiger ergibt sich auch für den *Vienna-Rectifier / Conventional Rectifier* (dabei gilt $U_O = 2U_{OY}$).

Die in Bild 3.4 eingetragene maximale Aussteuergrenze $M_{\max} = 2/\sqrt{3}$ kann nur durch Erweiterung der sinusförmigen Modulation mit einer geeigneten Nullgrösse, z. B. einer 3. Harmonischen, erreicht werden ([Bla97], [Kol94b], [Kol96b]). Bei rein sinusförmiger Vorsteuerung der relativen Einschaltdauer d_i mit $d_i = 1 - |u_{N,i}| / U_{OY}$ ist die Aussteuergrenze auf M=1 begrenzt.

In **Bild 3.5** sind für den betrachteten 60°-Phasensektor die Strompfade für die 8 verschiedenen Schaltkombinationen dargestellt. Es ist sofort einsehbar, dass der Systemsternpunkt N_S gegenüber den Netzsternpunkt N ein schaltfrequentes Potenzial aufweist. Da für die Bildung der Phasenströme $i_{N,i}$ die nullgrössenfreien Umrichterspannungen zu tragen kommen, liegt durch den schaltfrequenten Systemsternpunkt N_S eine Verkopplung der einzelnen Module vor. Die vorherrschende Verkopplung folgt auch direkt aus der notwendigen Bedingung für ein Dreileiternetz, dass die Summe der einzelnen Phasenströme Null ergeben muss ($\sum i_{N,i} = 0$). Letzlich hat dies zur Konsequenz, dass die drei Phasenströme nicht unabhängig voneinander eingestellt werden können, sondern die Schalthandlungen in einem Modul auch direkt die Stromführung in den beiden anderen Modulen beeinflusst.

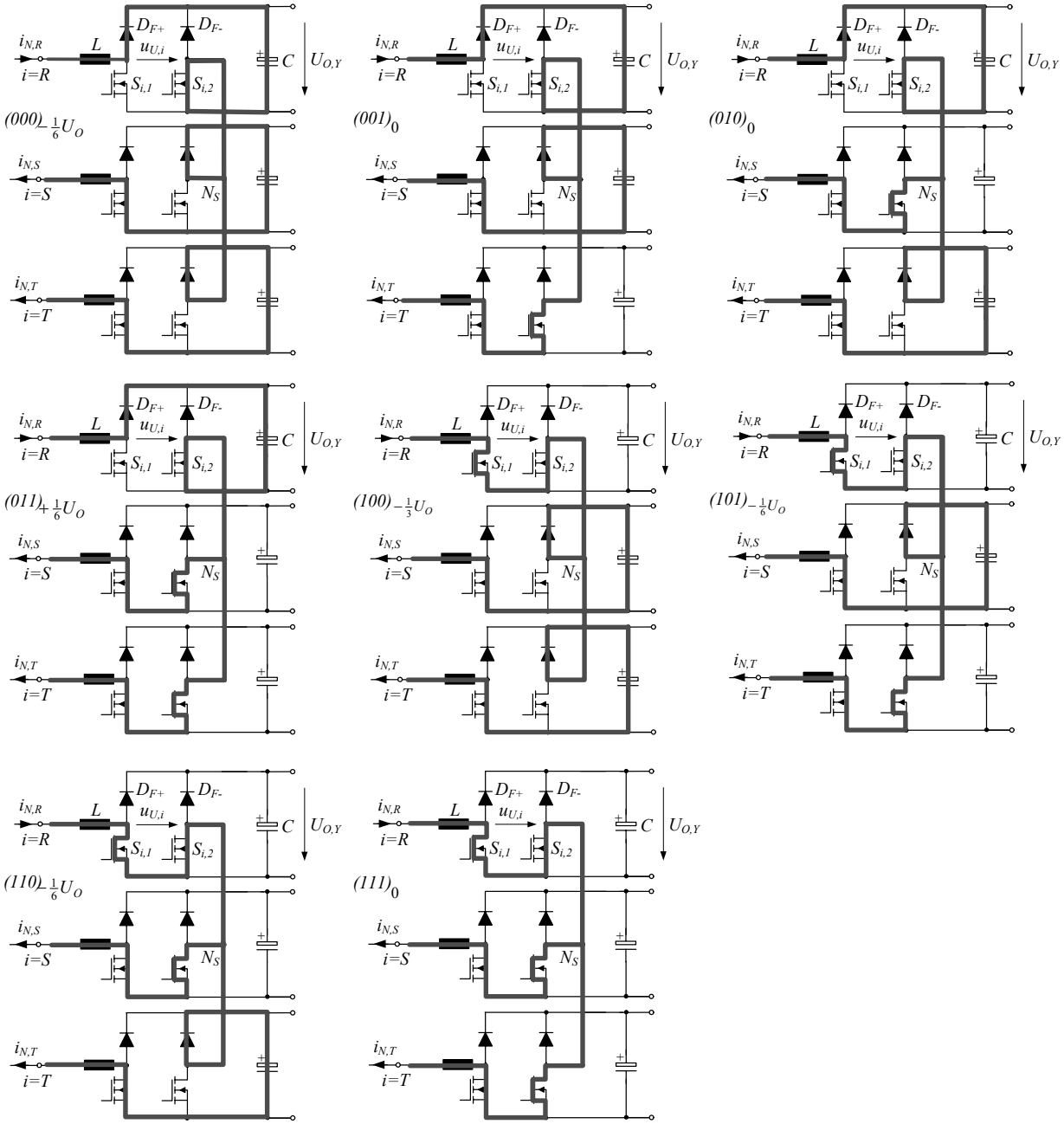


Bild 3.5: Die Stromverläufe in den Modulen für alle 8 möglichen Schaltkombinationen in einem durch $i_{N,R} > 0$, $i_{N,S} < 0$ und $i_{N,T} < 0$ definierten 60°-Phasensektor.

In diesem Zusammenhang sind also 2 Fragen zu beantworten:

- Können die Gleichrichtermodule des verkoppelten Systems mit einem modularen Regelkonzept stabil geregelt werden, d.h. kann die Regelung eines Moduls wie für ein Einphasen-Pulsgleichrichtersystem ausgeführt werden?

- Wie gut kann mit einem modularen Stromregelkonzept die vorliegende Verkopplung über die Phasenströme für die Minimierung des Phasenstromrippels ausgenützt werden?

Für die Beantwortung der 1. Frage ist die Verkopplung der Module in Abhängigkeit des Arbeitspunktes zu diskutieren, um Aussagen über die Systemstabilität bei transienten Vorgängen machen zu können. Die Analyse der Verkopplung und die daraus entstehenden Auslegungsrichtlinien für ein modulares Regelkonzept werden in **Kapitel 3.5** ausführlich behandelt. Zunächst wird aber die 2. Frage näher analysiert, indem mittels Simulation der auftretende Phasenstromrippel und die gebildeten Spannungsraumzeiger für die 2-Punkt Ausgangsstruktur untersucht werden. Eine Abgrenzung zur 1. Frage wird damit erreicht, dass die Simulationen vorerst nur den stationären Arbeitspunkt erfassen und die Ausgangsspannungen der Module durch Konstantspannungsquellen eingeprägt werden. Auf die in der Simulation implementierte Stromregelung wird im nachfolgenden Abschnitt eingegangen. Die Ergebnisse für die 3-Punkt Ausgangsstruktur werden im Anschluss an die 2-Punkt Topologie dargestellt.

3.2.3 Simulation des Verhaltens am idealisierten System mit modularer Stromregelung

Die nachfolgenden Simulationen zur Bestimmung der für die Strombildung verwendeten Raumzeiger und des resultierenden Phasenstromrippels sind im stationären Betriebspunkt mit konstant vorgegebenen Modulausgangsspannungen durchgeführt. Die Implementierung des Stromreglers basiert auf dem multiplizierfreien Stromregelkonzept ([Ben99], [Raj99], [Min01a]) und ist in **Bild 3.6** dargestellt. So wie auch für den 2-Punkt *Delta-Rectifier* werden für die Modulation zwei um 180° versetzte Trägersignale (i_{D+} und i_{D-}) eingesetzt, die abhängig von Vorzeichen der Phasenspannung $u_{N,i}$ (entspricht der Moduleingangsspannung) für die Pulsbreitenmodulation ausgewählt werden. Die konstant vorgegebenen Ausgangsspannungen ermöglichen den Wegfall der überlagerten modularen Ausgangsspannungsregelung und einer Entkopplungsmassnahme. Das Funktionsprinzip des Stromregelkonzeptes ist ausführlich für den *Delta-Rectifier* dargestellt und sei an dieser Stelle nur in Kürze repetiert.

Bei isolierter Betrachtung eines Moduls (oder wenn N_S mit N verbunden wird) muss bei kontinuierlicher Stromführung in der Induktivität und Vernachlässigung des Stromrippels ($\Delta i_L = 0$) bzw. des mittleren Spannungsabfalls an der Induktivität ($\overline{u}_L = 0$) eine

Umrichterspannung entsprechend dem aktuellen Wert der Eingangsspannung erzeugt werden. Für die relative Ausschaltdauer d_i' der Leistungsschalter gilt also

$$u_{N,i} = \bar{u}_{U,i} = d_i' U_{OY} . \tag{3.18}$$

Wird nun d_i' durch das Verhältnis

$$d_i' = \bar{i}_{N,i} / \hat{I}_D \tag{3.19}$$

bestimmt, wobei $\hat{I}_D$ die Amplitude eines dreieckförmigen Trägersignals i_D bezeichnet, so folgt für den Phasenstrom

$$\bar{i}_{N,i} = \hat{I}_D d_i' = u_{N,i} \frac{\hat{I}_D}{U_{OY}} . \tag{3.20}$$

D. h. bei konstanter Amplitude $\hat{I}_D$ des Trägersignals sind der Phasenstrom und die Eingangsspannung einander proportional, es gilt

$$\bar{i}_{N,i} = u_{N,i} G . \tag{3.21}$$

Das Verhältnis $\frac{\hat{I}_D}{U_{O,Y}}$ stellt also den Eingangsleitwert G eines Moduls dar. Die Amplitude $\hat{I}_D$ des Trägersignals bestimmt also bei konstanter Ausgangsspannung die übertragene Leistung.

Das Regelkonzept weist das in **Bild 3.6(c)** dargestellte regelungstechnische Ersatzmodell auf. Die Übertragungsfunktion des Phasenstromes in Abhängigkeit der Eingangsspannung lautet

$$\frac{i_{N,i}(s)}{u_{N,i}(s)} = \frac{G}{1 + sLG} . \tag{3.22}$$

In der Simulation wurde dieser Stromregler für jedes Modul implementiert. Die beiden um 180° versetzten Trägersignal i_{D+} und i_{D-} werden synchron für alle Module vorgegeben. Folgende Simulationsparameter kamen zur Anwendung:

- f_P = 25kHz, L = 560µH, P_{Modul} = 3,5kW, U_{OY} = 400 V (konstant)
- $U_{N,i}$ = 230V (Nennphasenspannung eines symmetrischen Dreiphasennetzes)
- $\hat{I}_D = \frac{\hat{I}_{N,i}}{d_i'} = \frac{2P_{Modul}}{\hat{U}_{N,i}} \frac{U_{OY}}{\hat{U}_{N,i}}$

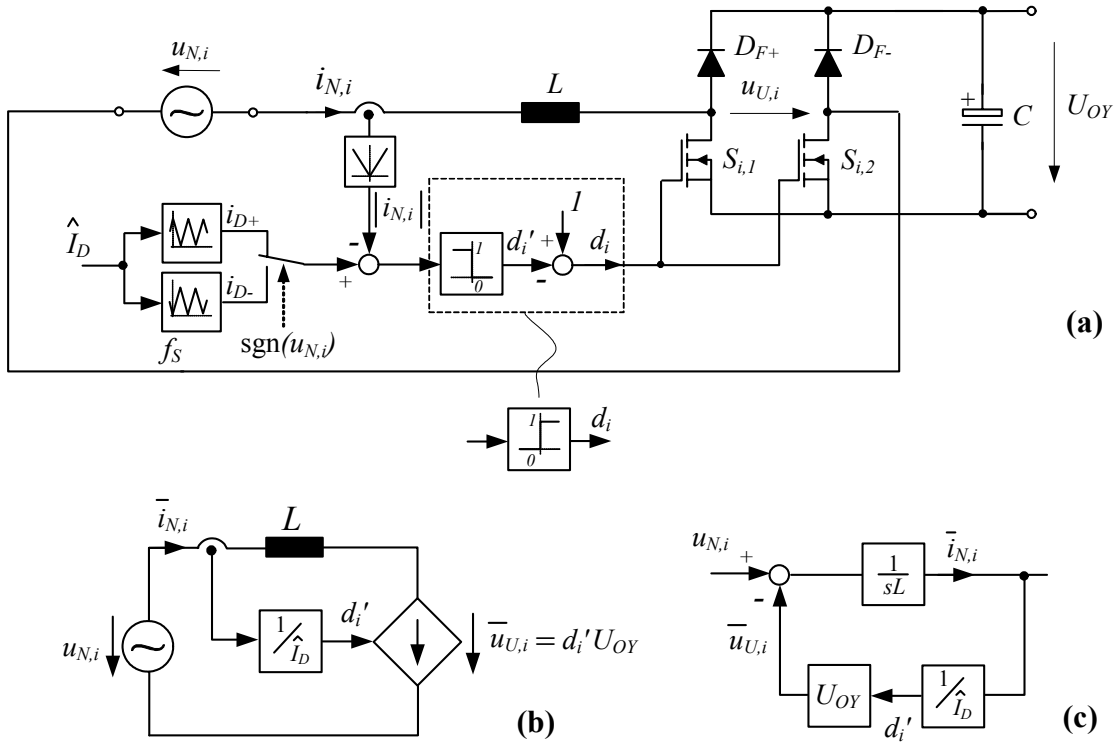


Bild 3.6: Darstellung des multipliziererfreien Stromregelkonzepts (Wegfall der Stromsollwertberechnung $i_{N,i}^{*} = G \cdot u_{N,i}$ und der Verstärkung der Stromregelabweichung) für die Modulstromregelung des *Y-Rectifier*. **(a)** Blockschaltbild des Leistungsteils und der Regelung für ein Modul. Die Auswahl des Trägersignals ($i_{D+} = i_D$, $i_{D-} = i_D\,(t+T_P/2)$) erfolgt in Abhängigkeit des Vorzeichens der nullgrössenfreien Phasenspannung $u'_{N,i}$. **(b)** Äquivalentes Ersatzschaltbild mit über einer Schaltperiode gemittelten Grössen. **(c)** Regelungstechnisches Modell des Stromregelkreises.

Mit diesen Werten ergibt sich der Eingangsleitwert zu G=0,0663[S]. Damit liegt die Knickfrequenz der Übertragungsfunktion bei $\omega_C = 1/LG = 26930\text{s}^{-1}$, also ausreichend weit oberhalb der Netzfrequenz, womit die Voraussetzung für die proportionale Stromführung in Phase zur Spannung gewährleistet ist. Prinzipiell wäre auch die Implementierung eines modularen Stromregelkonzeptes basierend auf einem Mittelwertstromregler möglich. Wegen der einfacheren Implementierung, den idealisierten Modellannahmen und der Einschränkung auf den stationären Betriebspunkt wird der multipliziererfreien Stromregelung der Vorzug geben. Eine Mittelwertstromregelung mit ausreichend hoher Stromregelverstärkung und Vorsteuerung des Tastverhältnisses würde dieselben Ergebnisse liefern.

3.2.4 Simulationsergebnisse für den 2-Punkt *Y-Rectifier*

In den nachfolgenden Bildern sind die Simulationsergebnisse für das modulare Stromregelkonzept dargestellt und hinsichtlich Raumzeigerbildung und des resultierenden

Stromrippels bewertet. In **Bild 3.7(a)** sind durch die Eckpunkte der Dreiecke die angewählten Raumzeiger $\underline{u}'_{U,m}$ dargestellt, die zur Bildung des mittleren Spannungsraumzeigers $\overline{\underline{u}'}_U \approx \underline{u}_N$ herangezogen werden. Es ist klar ersichtlich, dass durch die Modulation nur die $\overline{\underline{u}'}_U$ benachbart liegenden Raumzeiger $\underline{u}'_{U,m}$ zum Einsatz kommen. In dieser Hinsicht erfüllt die Modulation die Forderung nach einer Minimierung des Phasenstromrippels. Auf die resultierende Sequenz und die Verweildauer der eingeprägten Spannungsraumzeiger $\underline{u}'_{U,m}$ soll in dieser Analyse nicht näher eingegangen werden. Bild 3.7(b) zeigt den schaltfrequenten Verlauf der Nullgrösse u_0. Bild 3.7(c) gibt die Spannung $u_{DCn,R\text{-}N}$ zwischen der *low-side* Ausgangsklemme des Moduls R und dem Netzsternpunkt N an. Die für die Bildung des Phasenstromrippels $\Delta i_{N,R}$ bestimmende nullgrössenfreie Umrichterspannung $u'_{U,R}$ ist gemeinsam mit der Phasenspannung $u_{N,R}$ in Bild 3.7(d) dargestellt. Es stehen 9 verschiedene Umrichterspannungsniveaus für die Strombildung zur Verfügung. Die resultierenden Phasenströme und der Phasenstromrippel in der Phase R sind in Bild 3.7(e, f) dargestellt. Eine Auswertung des resultierenden globalen Effektivwertes des Stromrippels gegenüber einem einphasigen Modul und dem 3-Punkt *Y-Rectifier* wird im **Anhang B.3** behandelt. Die Modulation der Einschaltdauer für das Modul i rein durch die Grundschwingung der zugehörigen Phasengrösse $i_{N,i}$ (für die Mittelwertstromregelung wäre es $u_{N,i}$) erlaubt nur eine sinusförmige Führung des Phasenstroms bis zu einer maximalen Aussteuerung von $M = 1$, d.h. $\hat{U}_{N,i} = U_{OY}$.

Eine Anhebung der Aussteuergrenze bis auf maximal $M = 2/\sqrt{3}$ ist durch Addition einer Nullgrösse bei sinusförmiger Führung der Eingangsströme möglich und in [Bla97] ausführlich behandelt. Das Prinzip besteht darin, dem Modulationssignal neben der Phasengrundschwingung noch eine 3. Harmonische mit bestimmter Amplitude zu überlagern. Da dieselben Raumzeiger für den 2-Punkt *Y-Rectifier* wie für den *Vienna-Rectifier* zur Verfügung stehen, kann damit dieselbe Aussteuergrenze und derselbe Stromrippel erreicht werden. Die maximale Aussteuerbarkeit kann mit einem Amplitudenverhältnis der 3. Harmonischen zur Grundschwingung von 1/6, die Minimierung des Eingangsstromrippels mit einem Amplitudenverhältnis 1/4 erreicht werden ([Min01c]).

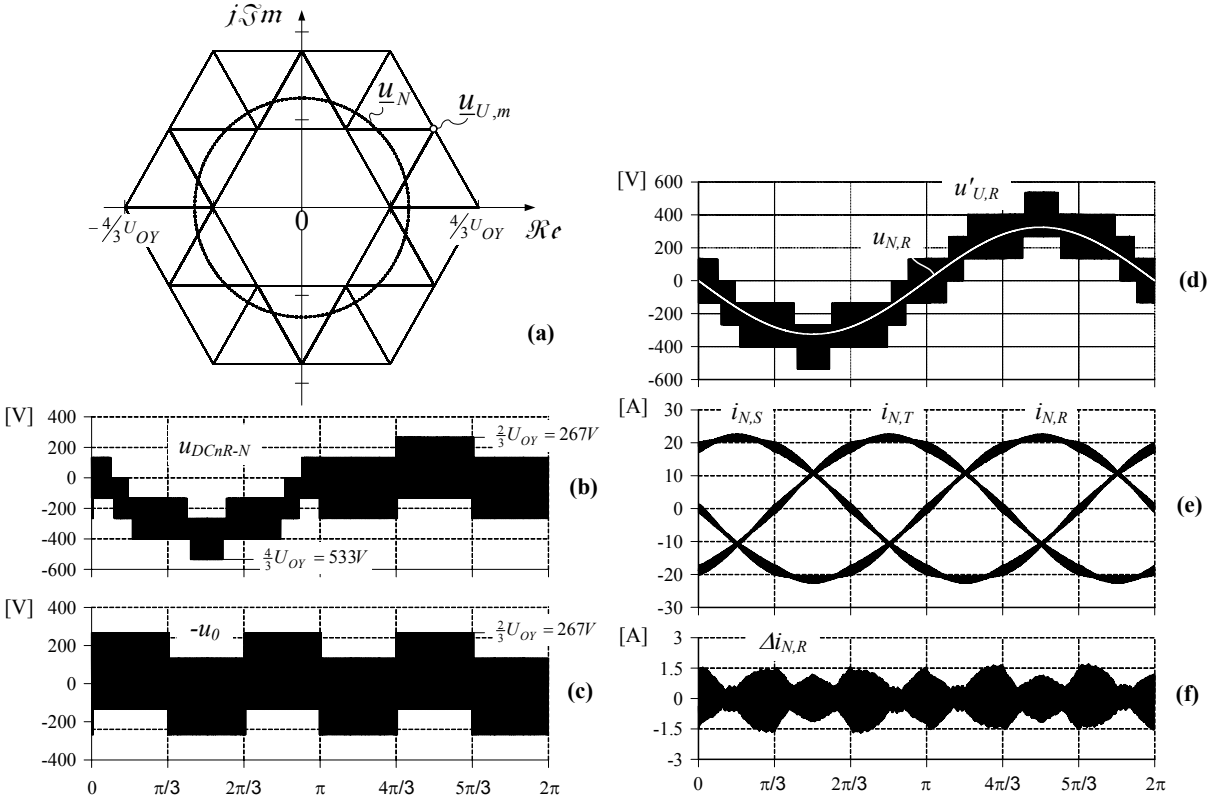


Bild 3.7: Raumzeigerdiagramm und charakteristische Strom- und Spannungsverläufe für den 2-Punkt *Y-Rectifier* bei reiner Sinusmodulation. **(a)** Die Eckpunkte der Dreiecke markieren die Raumzeiger $\underline{u}'_{U,m}$ der Umrichterspannungen, die für die Bildung des mittleren Raumzeigers $\overline{\underline{u}}'_U$ laut Gl. (3.13) zur Anwendung kommen. Bei Vernachlässigung des gemittelten Spannungsabfalls $\overline{u}_L$ an der Induktivität L stimmt $\overline{\underline{u}}'_U$ mit dem eingezeichneten Netzspannungsraumzeiger $\underline{u}_N$ überein. **(b)** Spannung zwischen der *low-side* Ausgangsspannungsklemme des Moduls *R* und dem Netzsternpunkt. **(c)** Spannung zwischen Systemsternpunkt N_S und Netzsternpunkt N ($u_{N_S N} = -u_0$). **(d)** Nullgrössenfreie Umrichterspannung $u'_{U,R}$ und Netzspannung $u_{N,R}$. **(e)** Netzströme $i_{N,i}$. **(f)** Phasenstromrippel $\Delta i_{N,R} = i_{N,R} - i_{N,R(1)}$. Exakt dieselben Verläufe wie in **(**d-f**)** treten auch für den *Vienna-Rectifier* bei Sinusmodulation auf.

Die einfachste Möglichkeit annähernd eine 3. Harmonische mit einem Amplitudenverhältnis 1/6 synchron zu den Nulldurchgängen der Phasengrössen nachzubilden, zeigt **Bild 3.8(b)**. Damit wird die Funktion

$$s_{(3b)} = \frac{1}{2}\left[\max(\hat{S}_{N,i}) - \min\left(\hat{S}_{N,i}\right)\right] \tag{3.23}$$

realisiert ($\hat{S}_{N,i}$ bezeichnet die Grundschwingungsamplitude der Phasengrösse), welche die 3. Harmonische

$$s_{(3a)} = \frac{1}{6}\hat{S}_{N,i}\sin(3\omega_{N,i}t) \tag{3.24}$$

beinhaltet. Beide Funktionen $s_{(3a)}$ und $s_{(3b)}$ liefern bei Abzug von der Phasengrundschwingung eine Modulationsfunktion, die eine maximale Aussteuerung $M = 2/\sqrt{3}$ bei sinusförmiger Führung der Phasenströme ermöglicht. Gleichzeitig wird der auftretende Phasenstromrippel geringfügig verringert, wie in **Bild 3.9 (f)** zu sehen ist. D. h. die Modulation führt zu einer näherungsweise Optimierung der Einschaltdauer der redundanten Raumzeiger $\underline{u}'_{U,m}$ für die Bildung des Raumzeigers $\overline{\underline{u}}'_U$ (z.B. (100) und (011) in Bild 3.4). Mit der 3. Harmonischen

$$s_{(3c)} = \frac{1}{4}\hat{S}_{N,i}\sin(3\omega_{N,i}t) \tag{3.25}$$

kann eine Minimierung des Phasenstromrippels erreicht werden. Aufgrund der relativ geringen Reduktion des Stromrippels gegenüber einer reinen Sinusmodulation und des Implementierungsaufwandes für die Phasensynchronisation kommt $s_{(3c)}$ jedoch kaum zur Anwendung.

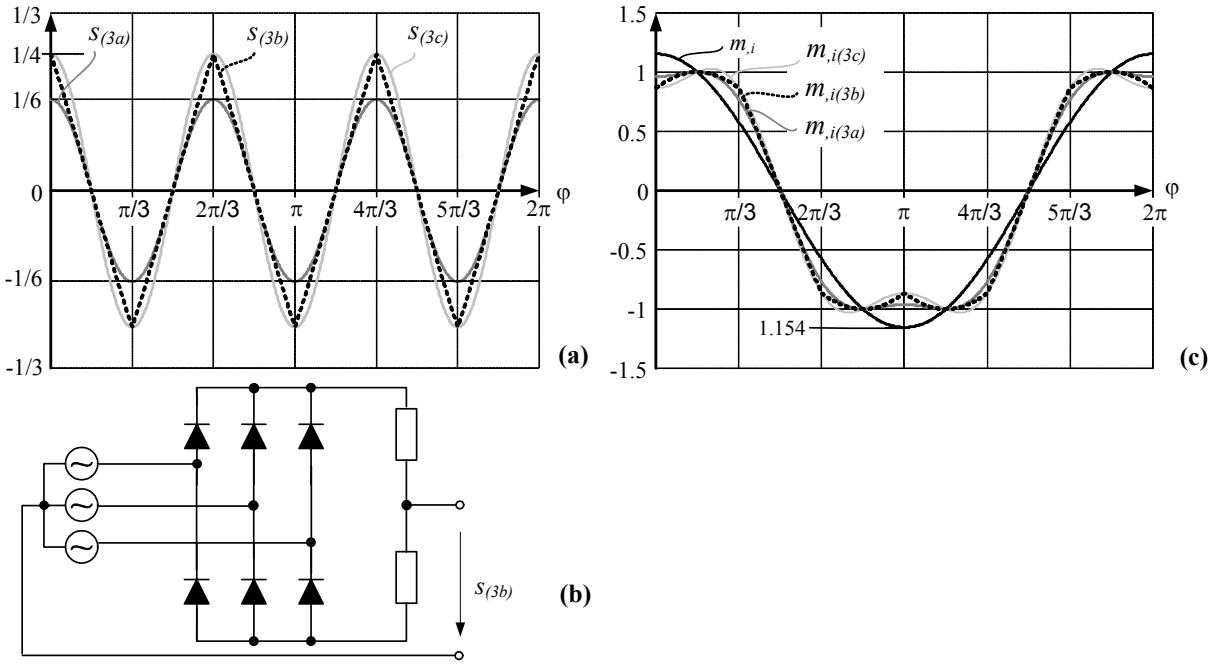


Bild 3.8: Erweiterung der sinusförmigen Modulationsfunktion durch Einprägen einer 3. Harmonischen für die Optimierung der Raumzeigerbildung und/oder für die Erhöhung der Aussteuergrenze. **(a)** Verlauf der 3. Harmonischen $s_{(3a)}$, $s_{(3b)}$ und $s_{(3c)}$ bezogen auf die Grundschwingungsamplitude der Phasengrösse (Strom $i_{N,i}$ oder Spannung $u_{N,i}$). Die Phasengrösse weist für $\varphi = 0$ ihren positiven Maximalwert auf. ($s_{(3b)}$ enthält weitere Harmonische mit (3(n+1)) **(b)** Einfache schaltungstechnische Realisierung zur Bildung des Signals $s_{(3b)}$ für die Anhebung der Aussteuerung auf $M = 2/\sqrt{3}$. **(c)**

resultierende Modulationsfunktionen $m_{i(3a)}$, $m_{i(3b)}$, $m_{i(3c)}$ bei einer Aussteuerung $M = 2/\sqrt{3}$ ($\hat{U}_{N,i}$ = 1,154·U_{OY}). Mit $m_{i(3a)}$ und $m_{i(3b)}$ ist eine sinusförmige Führung der Eingangsströme bis zu dieser Aussteuerung möglich, da ihre Werte während einer Netzperiode zwischen -1 und +1 liegen. $m_i = u_{N,i}/U_{OY}$ kennzeichnet die Grundschwingungsmodulation, die nicht mehr auf eine sinusförmige Stromführung in den Abschnitten $m_i > 1$ führt.

Für die in Bild 3.6 dargestellte multipliziererfreie Stromregelung werden für die Bildung von $s_{(3b)}$ die Phasenströme $i_{N,i}$ herangezogen. Das Trägersignal i_D wird nun anstelle von $|i_{N,i}|$ mit der Modulationsfunktion $|m_{i(3b)}| = |i_{N,i} - s_{(3b)}|$ verglichen. Für ein modulares Stromregelkonzept basierend auf einer Mittelwertstromregelung wird $s_{(3b)}$ von den Netzphasenspannungen abgeleitet und in der Berechnung der Vorsteuerfunktionen berücksichtigt. Das Prinzip der Nutzung des vollen Aussteuerbereiches beruht darauf, dass einerseits die für die Stromeinprägung zu bildenden Spannungen $\underline{u}'_U$ auch für Netzspannungsamplituden $\hat{U}_{N,i}$ zwischen $2/\sqrt{3}\,U_{OY} > \hat{U}_{N,i} > U_{OY}$ im Wertebereich $-U_{OY} \ldots +U_{OY}$ liegen, andererseits die 3. Harmonische aufgrund der Summenregel in einem Dreileiternetz $\sum i_{N,i} = 0$ keine Stromkomponente mit dreifacher Netzfrequenz ($3\omega_N$) einprägen kann.

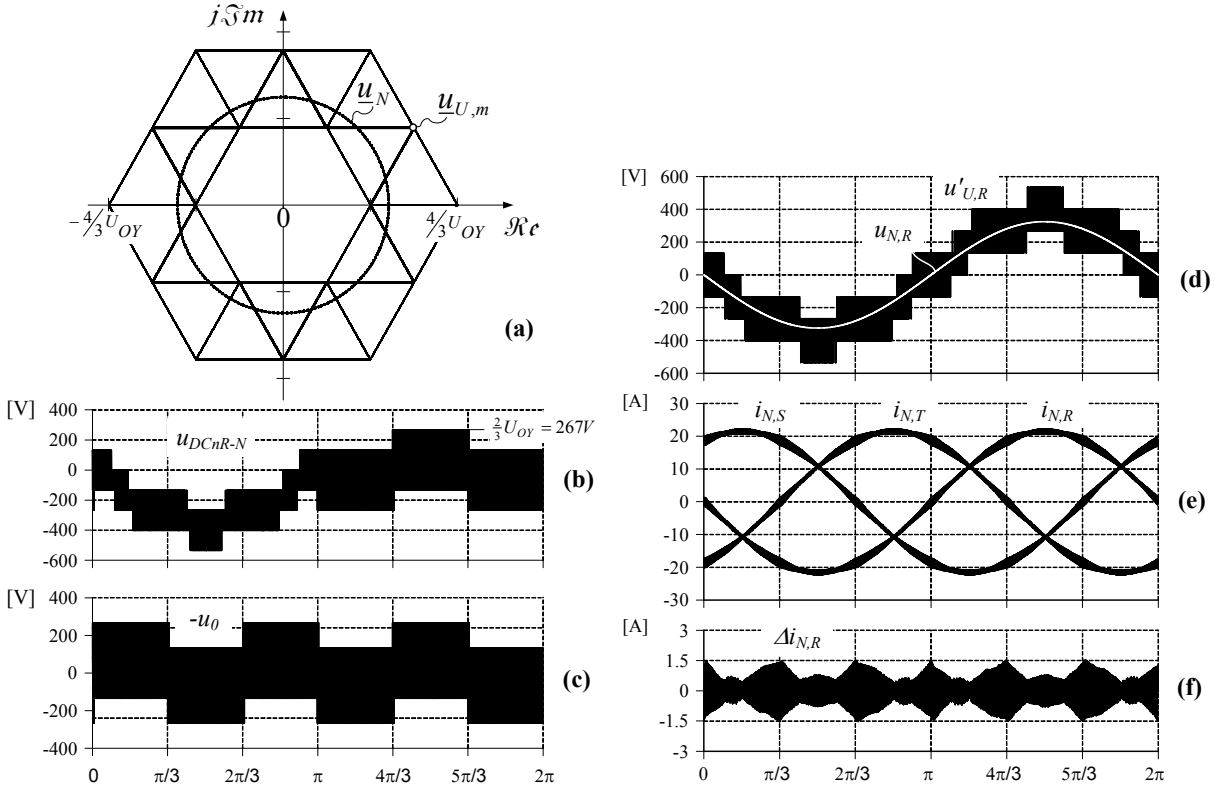


Bild 3.9: Raumzeigerdiagramm und charakteristische Strom- und Spannungsverläufe für den 2-Punkt *Y-Rectifier* bei Erweiterung der modulierenden Stromistwerte mit einer 3. Harmonischen $s_{(3b)}$ im

Nennspannungspunkt $\hat{U}_{N,i} = 325\,\mathrm{V}$. **(a)** Die Eckpunkte der Dreiecke markieren die Raumzeiger $\underline{u}'_{U,m}$ der Umrichterspannungen, die für die Bildung des mittleren Raumzeigers $\overline{\underline{u}'}_U$ laut Gl. (3.13) zur Anwendung kommen. Bei Vernachlässigung des netzfrequenten Spannungsabfalls $\overline{u}_L$ an der Induktivität L stimmt $\overline{\underline{u}'}_U$ mit dem eingezeichneten Netzspannungsraumzeiger $\underline{u}_N$ überein. **(b)** Spannungsverlauf zwischen der *low-side* Ausgangsspannungsklemme des Moduls R und dem Netzsternpunkt. **(c)** Spannung zwischen Systemsternpunkt N_S und Netzsternpunkt N ($u_{N_S N} = -u_0$). **(d)** Nullgrössenfreie Umrichterspannung $u'_{U,R}$ und Netzspannung $u_{N,R}$. **(e)** Netzströme $i_{N,i}$. **(f)** Phasenstromrippel $\Delta i_{N,R} = i_{N,R} - i_{N,R(1)}$.

Bild 3.10 bestätigt den Betrieb mit sinusförmiger Stromführung bei $M > 1$ durch Überlagerung der modulierenden Stromistwerte mit einer 3. Harmonischen $s_{(3a)}$ ($\hat{U}_{N,i} = 1{,}3\hat{U}_{N,i,nenn} = 423\mathrm{V}$; $M = 1{,}06$).

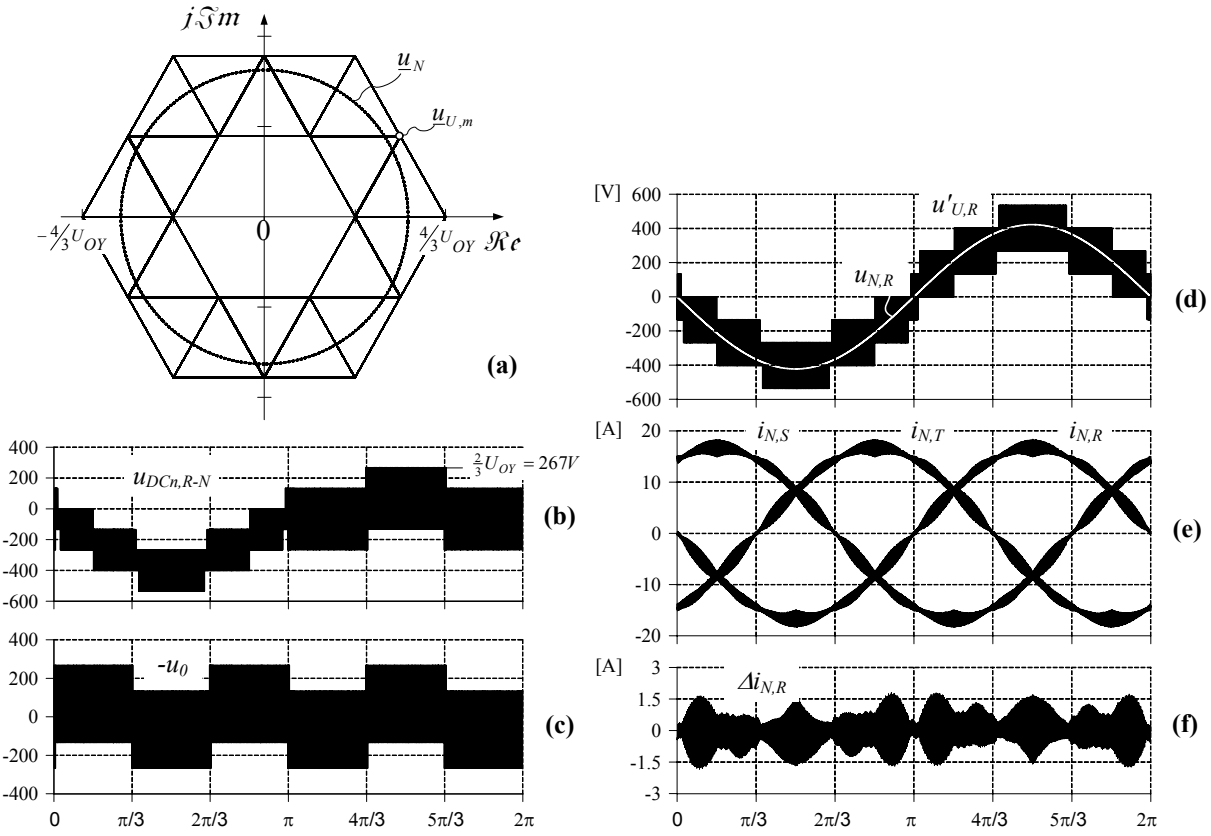


Bild 3.10: Raumzeigerdiagramm und charakteristische Strom- und Spannungsverläufe für den 2-Punkt *Y-Rectifier* bei Erweiterung der modulierenden Stromistwerte mit einer 3. Harmonischen $s_{(3a)}$ für $\hat{U}_{N,i} = 423\,\mathrm{V}$. (**a**) Die Eckpunkte der Dreiecke markieren die Raumzeiger $\underline{u}'_{U,m}$ der Umrichterspannungen, die für die Bildung des mittleren Raumzeigers $\overline{\underline{u}'}_U$ laut Gl. (3.13) zur Anwendung

kommen. Bei Vernachlässigung des netzfrequenten Spannungsabfalls $\underline{u}_L$ an der Induktivität L stimmt $\underline{u}'_U$ mit dem eingezeichneten Netzspannungsraumzeiger $\underline{u}_N$ überein. **(b)** Spannungsverlauf zwischen der *low-side* Ausgangsspannungsklemme des Moduls R und dem Netzsternpunkt. **(c)** Spannung zwischen Systemsternpunkt N_S und Netzsternpunkt N ($u_{N_S N} = -u_0$). **(d)** Nullgrössenfreie Umrichterspannung $u'_{U,R}$ und Netzspannung $u_{N,R}$. **(e)** Netzströme $i_{N,i}$. **(f)** Phasenstromrippel $\Delta i_{N,R} = i_{N,R} - i_{N,R(1)}$.

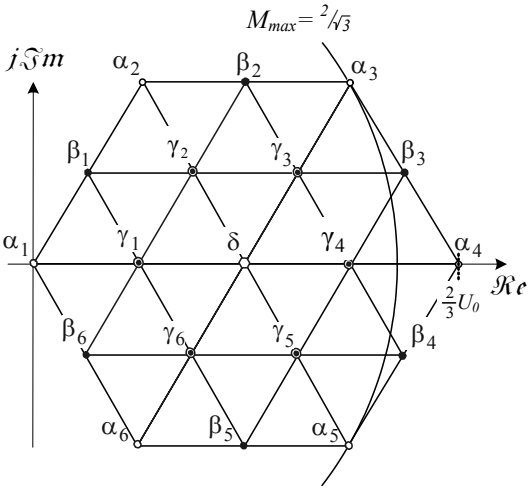
3.2.5 3-Punkt Ausgangsstruktur

Werden die Module mit einer 3-Punkt Topologie wie in Bild 3.2 oder in [Gre03b] ausgeführt und die beiden MOSFET S_{i+} und S_{i-} ($i = R, S, T$) versetzt getaktet, stehen für den durch $i_{N,R} > 0$, $i_{N,S} < 0$ und $i_{N,T} < 0$ definierten 60°-Phasensektor die in **Bild 3.11** dargestellten Raumzeiger $\underline{u}'_U$ der Umrichterspannungen zur Verfügung. Mittels $m = 64$ möglicher Schaltkombinationen können 19 verschiedene Raumzeiger gebildet werden.

Die Schaltkombinationen können mit Hilfe der Schaltfunktion $s_{Y,3P}$

$$s_{Y,3P} = \begin{pmatrix} s_{R+} & s_{S+} & s_{T+} \\ s_{R-} & s_{S-} & s_{T-} \end{pmatrix}_{u_0} \tag{3.26}$$

unterschieden werden, wobei $s_{i+/-}$ ($i = R, S, T$) im Leitzustand des MOSFET $S_{i+/-}$ der Wert 1 und im Sperrzustand der Wert 0 zugeordnet wird. Die resultierende Nullspannung u_0 ist als Index angeführt. Die Zuordnung der Schaltkombinationen zu den 19 möglichen Raumzeigern ist tabellarisch in Bild 3.11 aufgelistet. Der Sachverhalt, dass die Raumzeigerbildung unabhängig davon ist, ob S_{i+} oder S_{i-} eingeschaltet ist, kann für eine aktive Balancierung der Ausgangsteilspannungen herangezogen werden. Die Projektion der Spannungsraumzeiger auf die reelle Achse führt auf die Anzahl der möglichen Spannungsniveaus. Ein *Y-Rectifier* aufgebaut mit 3-Punkt Modulen ermöglicht 17 Spannungslevels.



α_1	α_2	α_3	α_4	α_5	α_6
111	110	010	000	001	101
111_0	$110_{-U_0/6}$	010_0	$000_{-U_0/6}$	001_0	$101_{-U_0/6}$
β_1	β_2	β_3	β_4	β_5	β_6
110	010	000	000	001	101
$111_{-U_0/12}$	$110_{-U_0/12}$	$010_{-U_0/12}$	$001_{-U_0/12}$	$101_{-U_0/12}$	$111_{-U_0/12}$
111	110	010	001	101	111
$110_{-U_0/12}$	$010_{-U_0/12}$	$000_{-U_0/12}$	$000_{-U_0/12}$	$001_{-U_0/12}$	$101_{-U_0/12}$
γ_1	γ_2	γ_3	γ_4	γ_5	γ_6
011	010	000	000	000	001
$111_{U_0/12}$	111_0	$110_{-U_0/6}$	011_0	$101_{-U_0/6}$	111_0
111	110	100	010	100	011
$011_{U_0/12}$	011_0	$010_{-U_0/6}$	001_0	$001_{-U_0/6}$	101_0
100	100	110	001	001	101
$111_{-U_0/6}$	$110_{-U_0/4}$	$000_{-U_0/6}$	010_0	$100_{-U_0/6}$	011_0
111	110	010	011	101	111
$100_{-U_0/6}$	$100_{-U_0/4}$	$100_{-U_0/6}$	000_0	$000_{-U_0/6}$	001_0
101	011	010	000	001	100
$110_{-U_0/6}$	110_0	$011_{U_0/12}$	$100_{-U_0/4}$	$011_{U_0/12}$	$101_{-U_0/4}$
110	111	011	100	011	101
$101_{-U_0/6}$	010_0	$010_{U_0/12}$	$000_{-U_0/4}$	$001_{U_0/12}$	$100_{-U_0/4}$
δ					
000	111	010	101	011	
$111_{-U_0/12}$	$000_{-U_0/12}$	$101_{-U_0/12}$	$010_{-U_0/12}$	$011_{U_0/6}$	
001	110	011	100	100	
$110_{-U_0/12}$	$001_{-U_0/12}$	$100_{-U_0/12}$	$011_{-U_0/12}$	$100_{-U_0/3}$	

Bild 3.11: Resultierende Raumzeiger $\underline{u}'_U$ der Umrichterspannungen des 3-Punkt *Y-Rectifier* in einem durch $i_{N,R} > 0$, $i_{N,S} < 0$ und $i_{N,T} < 0$ definierten 60°-Phasensektor. Die Positionen der Raumzeiger sind durch die Eckpunkte der Dreiecke bestimmt. Die Bezeichnungen ($\alpha_i, \beta_i, \gamma_i$ und δ) markieren die Anzahl verschiedener Schaltkombinationen (1, 2, 6, 10) die auf den jeweiligen Raumzeiger führen. Die Aussteuergrenze des Systems ist mit $M = 2/\sqrt{3}$ markiert, und kann nur durch Erweiterung der Sinusmodulation mit einer Nullgrösse (3. Harmonische) erreicht werden. Die Zuordnung der Schaltfunktionen zu den einzelnen Raumzeigern ist tabellarisch angegeben.

3.2.6 Simulationsergebnisse für den 3-Punkt *Y-Rectifier*

Bild 3.12 und **Bild 3.13** zeigen die Simulationsergebnisse für den 3-Punkt *Y-Rectifier*. Die multipliziererfreie Stromregelung wird für die versetzte Ansteuerung der MOSFETs (S_{i+} , S_{i-}) mit einem invertierten Trägersignal i_{D-} ($i_D = i_{D+} = -i_{D-}$) erweitert. Bei höherer Aussteuerung (s. Bild 3.13) kommen für die Raumzeigerbildung nicht mehr ausschliesslich unmittelbar

benachbarte Spannungsraumzeiger $\underline{u}'_{U,m}$ zum Einsatz. Der resultierende Eingangsstromrippel ist ohne die Erweiterung mit einer 3. Harmonischen also für reine Sinusmodulation (s. Bild 3.12) am kleinsten. Im Vergleich zur 2-Punkt Topologie reduziert sich der Stromrippel bei gleichen Eingangsinduktivitäten auf etwa die Hälfte (Vgl. mit Bild 3.7).

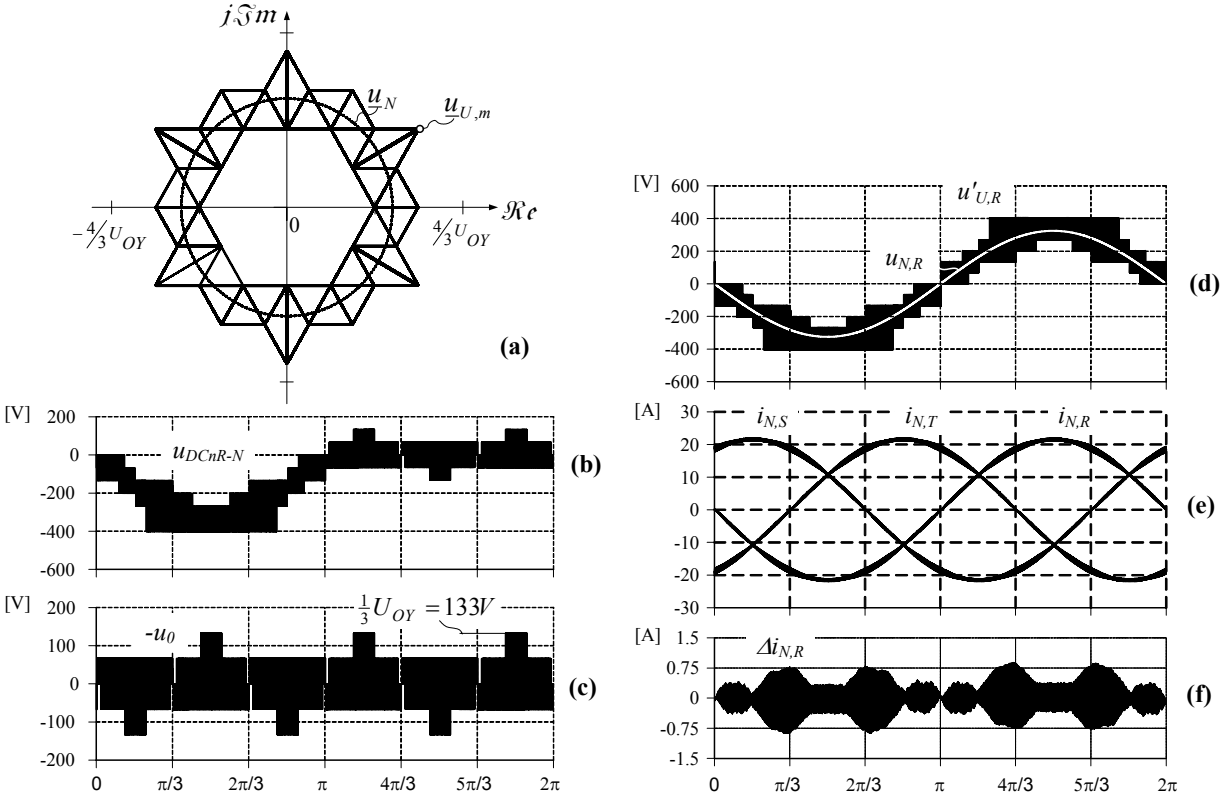


Bild 3.12: Raumzeigerdiagramm und charakteristische Strom- und Spannungsverläufe für den 3-Punkt *Y-Rectifier* bei reiner Sinusmodulation und versetzter Ansteuerung der beiden Schalter im Nennspannungspunkt $\hat{U}_{N,i} = 325\,\mathrm{V}$. **(a)** Die Eckpunkte der Dreiecke markieren die Raumzeiger $\underline{u}'_{U,m}$ der Umrichterspannungen, die für die Bildung des mittleren Raumzeigers $\overline{\underline{u}'}_U$ laut Gl. (3.13) zur Anwendung kommen. Bei Vernachlässigung des netzfrequenten Spannungsabfalls $\overline{u}_L$ an der Induktivität *L* stimmt $\overline{\underline{u}'}_U$ mit dem eingezeichneten Netzstromraumzeiger $\underline{u}_N$ überein. **(b)** Spannungsverlauf zwischen der *low-side* Ausgangsspannungsklemme des Moduls *R* und dem Netzsternpunkt. **(c)** Spannung zwischen Systemsternpunkt N_S und Netzsternpunkt *N* ($u_{N_S N} = -u_0$). **(d)** Nullgrössenfreie Umrichterspannung $u'_{U,R}$ und Netzspannung $u_{N,R}$. **(e)** Netzströme $i_{N,i}$. **(f)** Phasenstromrippel $\Delta i_{N,R} = i_{N,R} - i_{N,R(1)}$.

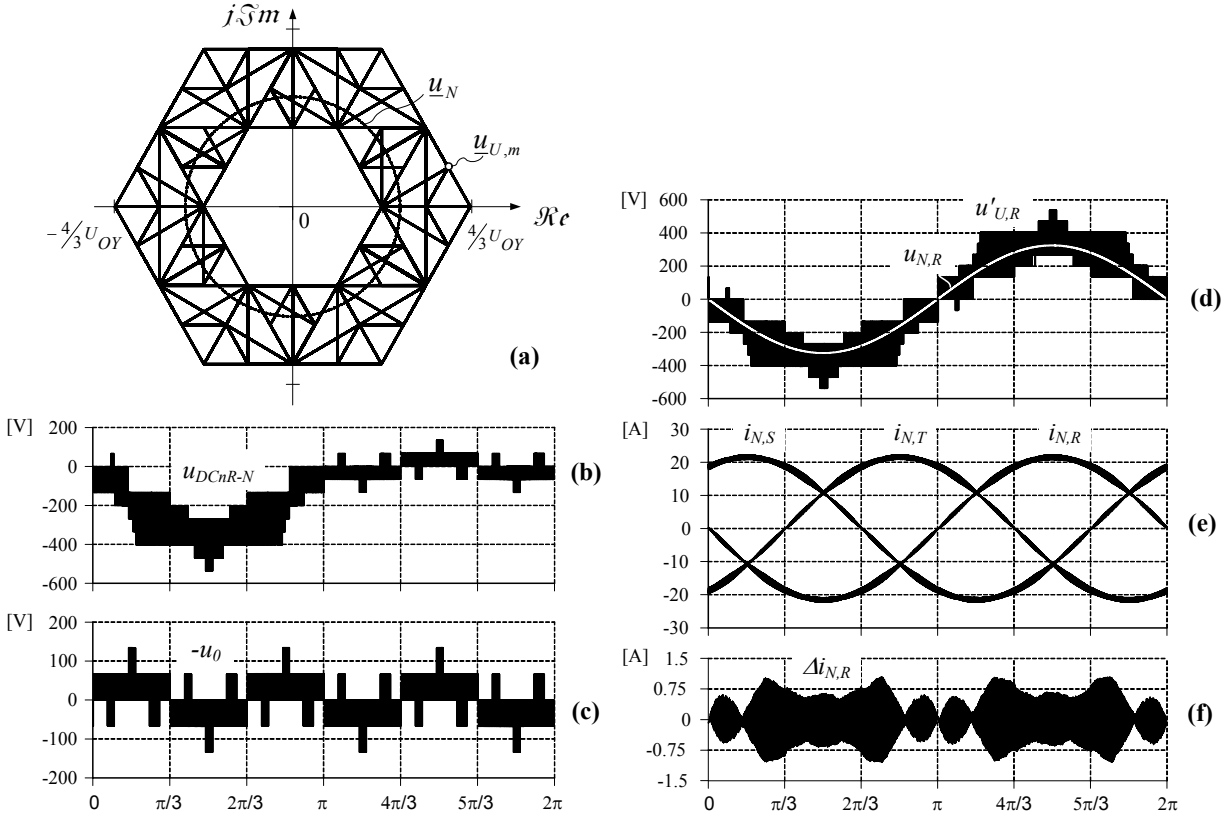


Bild 3.13: Raumzeigerdiagramm und charakteristische Strom- und Spannungsverläufe für den 3-Punkt *Y-Rectifier* bei Modulation unter Einbeziehung einer 3. Harmonischen $s_{(3a)}$ und versetzter Ansteuerung der beiden Schalter im Nennspannungspunkt $\hat{U}_{N,i} = 325\,\mathrm{V}$. **(a)** Die Endpunkte der einzelnen Linienzüge markieren die Raumzeiger $\underline{u}'_{U,m}$ der Umrichterspannungen, die für die Bildung des mittleren Raumzeigers $\overline{\underline{u}'}_U$ laut Gl. (3.13) zur Anwendung kommen. Bei Vernachlässigung des netzfrequenten Spannungsabfalls $\overline{\underline{u}}_L$ an der Induktivität L stimmt $\overline{\underline{u}'}_U$ mit dem eingezeichneten Netzstromraumzeiger $\underline{u}_N$ überein. **(b)** Spannungsverlauf zwischen der *low-side* Ausgangsspannungsklemme des Moduls R und dem Netzsternpunkt. **(c)** Spannung zwischen Systemsternpunkt N_S und Netzsternpunkt N ($u_{N_S N} = -u_0$). **(d)** Nullgrössenfreie Umrichterspannung $u'_{U,R}$ und Netzspannung $u_{N,R}$. **(e)** Netzströme $i_{N,i}$. **(f)** Phasenstromrippel $\Delta i_{N,R} = i_{N,R} - i_{N,R(1)}$.

3.3 Festlegung der Schaltungsstruktur für den *Y-Rectifier* Prototyp

Die Auswahl der Schaltungstopologie für die Gleichrichtereingangsstufe (2-Punkt oder 3-Punkt) und die Struktur des DC/DC-Konverters wird anhand folgender Kriterien getroffen:

- resultierender globaler Effektivwert des Phasenstromrippels,
- Komplexität eines Moduls (Anzahl der Leistungsbauteile, Gateansteuerungen, Regelungsaufwand und Trafomagnetisierung),
- Systemwirkungsgrad.

3.3.1 Gleichrichtereingangsstufe

Anhang B.1 zeigt einen Überblick über verschiedene Hochsetzsteller basierende Einphasen-PFC Varianten und stellt deren Funktionsprinzip kurz dar. Für den Einsatz in einem *Y-Rectifier* kommen hinsichtlich der Halbleiterverluste prinzipiell nur die 2-Schalter 2-Punkt oder die 3-Punkt Struktur in Frage. Der Aufbau eines *Y-Rectifier* mit 2-Punkt Modulen führt auf 9 und mit 3-Punkt Modulen auf 17 Niveaus der Umrichterphasenspannungen. Im **Anhang B.2** werden die auftretenden Gesamtverluste der Eingangstufen dieser beiden Topologien einander gegenübergestellt (s. **Bild 3.60**). Es zeigt sich, dass für die Auslegung des *Y-Rectifier* mit einer Ausgangsnennleistung von $P_O = 5000\text{W}$ die 2-Punkt Module niedrigere Verluste aufweisen. **Anhang B.3** behandelt die Berechnung des globalen Effektivwertes $\Delta I_{N,i}$ des Phasenstromrippels. Bei reiner Sinusmodulation kann der Induktivitätswert für die 3-Punkt Struktur auf den halben Wert verglichen mit der 2-Punkt Struktur herab gesetzt werden, um etwa einen gleich grossen Stromrippel zu erreichen. Die dadurch sinkenden Verluste in der Induktivität sind in der Ermittlung der Gesamtverluste für ein Modul in **Anhang B.4.3** berücksichtigt.

Für die 2-Punkt Struktur kann mittels einer 3. Harmonischen $s_{(3a)}$ neben der Erweiterung des Aussteuerbereiches zusätzlich auch eine Reduzierung des Phasenstromrippels erreicht werden. Für die 3-Punkt Struktur hingegen führt $s_{(3a)}$ auf ein Ansteigen des Phasenstromrippels (s. Kapitel 3.2.6). Die Tatsache, dass ein modulares Stromregelkonzept für einen 2-Punkt *Y-Rectifier* auf eine Modulation mit nahezu den optimalen Einschaltdauern der Schaltzustände (bzw. Spannungsraumzeiger $\underline{u}'_{U,m}$) führt, resultiert in einem sehr kleinen Phasenstromrippel. Die Abnahme des globalen Effektivwertes des Phasenstromrippels eines 2-Punkt *Y-Rectifier* im Vergleich zu einem Einphasen-Modul (bzw. bei Aufhebung der

Verkopplung der Module durch Anschluss des Systemsternpunktes N_S an den Netzsternpunkt N) beträgt etwa einen Faktor 3.

Bei einem Aufbau des *Y-Rectifier* mit 3-Punkt PFC-Modulen ist die Reduktion des Netzstromrippels im Vergleich zu einem entkoppelten System mit 3-Punkt-Modulen (N_S=N) stark abhängig vom Modulationsfaktor und maximal nur noch um einen Faktor 2 möglich. Details dazu sind im **Anhang B.3.2** angeführt. In Hinblick auf die ansteigende Systemkomplexität (zusätzlich sind 3 Schaltfunktionen und 3 Ansteuereinheiten für die versetzte Taktung der Teilausgangsstufen, 3 Messwerte, 3 Regelkreise für die Balancierung der Teilausgangsspannungen und Halbleiterkomponenten für die Eingangsgleichrichtung notwendig) und die höheren Verluste für ein 3-Punkt Modul wird auf die zusätzliche Stromrippelreduktion (ca. 50%) verzichtet.

Die Gleichrichterstufe für den Prototyp wird also mit einer verlustarmen 2-Schalter 2-Punkt Topologie ausgeführt. Die Dimensionierung des Moduls ist im **Anhang B.4** angegeben.

3.3.2 DC/DC-Ausgangsstufe

Für die Wahl der DC/DC-Ausgangsstufe steht vor allem eine geringe Komplexität in Hinblick auf die Ausführung des Transformators, der Ein- und Ausgangsstufe, und der Modulation der Einschaltdauer im Vordergrund. Die Gefahr einer Sättigung des Magnetkernes kann durch diskontinuierliche Magnetisierung des Transformatorkerns sicher vermieden werden. Die einfachste Möglichkeit diesen Anforderungen mit einem Zweiwickel-Transformator gerecht zu werden, ist die DC/DC-Stufe als 2-Schalter Durchflusswandler auszuführen (s. **Bild 3.14**). Während der Einschaltdauer der synchron getakteten Leistungstransistoren S_A und S_B liegt die Zwischenkreisspannung U_{OY} in positiver Richtung an der Trafoprimärseite an. Der durch die Ausgangsinduktivität L_{DC} eingeprägte Strom i_{DC} kommutiert über auf die Ausgangsdiode D_a und ergibt den auf die Primärseite transformierten Eingangsstrom i_{T1}. Zusätzlich zu i_{T1} fliesst auf der Eingangsseite der Magnetisierungsstrom i_μ, der durch die anliegende Spannungszeitfläche an der endlichen Hauptinduktivität bestimmt ist. Nach Abschalten der Leistungstransistoren wird der Magnetisierungsstrom über die beiden Freilaufdioden D_A und D_B zurück an den Zwischenkreiskondensatoren geliefert, und an der Trafoprimärseite kommt die Eingangsspannung mit umgekehrter Polarität zu liegen. Auf der Ausgangsseite kommutiert der eingeprägte Strom i_{DC} auf die Freilaufdiode D_b. Die Dauer der Entmagnetisierung ist gleich der Dauer der Aufmagnetisierung. Um eine vollständige Entmagnetisierung des Trafokernes vor Beginn eines neuen Taktzyklus sicherzustellen, muss das Tastverhältnis auf Werte $D \leq 0{,}5$ limitiert werden.

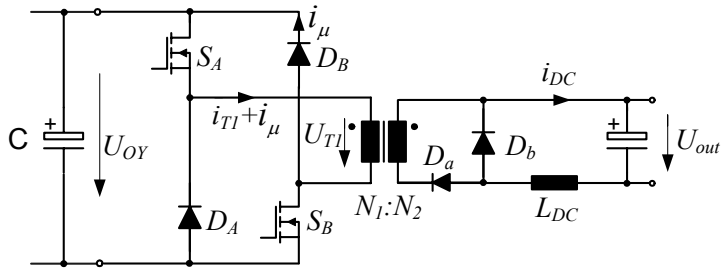


Bild 3.14: 2-Schalter Durchflusswandler

Einer der Hauptnachteile dieser Topologie ist die schlechte Ausnutzung des Transformators wegen der unidirektionalen magnetischen Aussteuerung. In Hinblick auf die Reduzierung der Systemkomplexität und die Vermeidung einer Trafosättigung wird aber dieser Topologie der Vorzug gegeben. Im Anhang **B.4.2** ist die Dimensionierung des DC/DC-Konverters dargestellt. Der berechnete Wirkungsgrad liegt für den spezifizierten Ausgangsspannungsbereich von U_{out} =46-56 Volt zwischen 94,6% und 95,3 %.

3.3.3 Berechneter Gesamtwirkungsgrad des *Y-Rectifier*

Der Wirkungsgrad der Eingangstufe in Abhängigkeit der Eingangsspannung und der Wirkungsgrad der Ausgangsstufe in Abhängigkeit der Ausgangsspannung sowie der resultierende Gesamtwirkungsgrad sind in **Bild 3.15** dargestellt. Für beide Leistungsstufen nimmt der Wirkungsgrad mit ansteigender Spannung aufgrund der reduzierten Leitverluste in den Komponenten zu. Der Gesamtwirkungsgrad des Systems liegt für minimale Ein- und Ausgangsspannung ($U_{N,ij}$ = 320V, U_{out} = 46V) im Nennlastpunkt bei 91,5% und steigt für $U_{N,ij}$ = 480V und U_{out} = 56V auf einen relativ hohen Wert von 93,3% an. Ansätze für eine Verbesserung des Wirkungsgrades sind vorrangig an der DC/DC-Stufe auszuführen. Auf Kosten des modularen Aufbaus wäre eine gemeinsame Ausgangsinduktivität L_{DC} möglich, die bei versetzter Taktung der DC/DC-Ausgangsstufen um $T_P/3$ für einen geringen Stromrippel ausgelegt werden könnte. Siehe dazu [Min00].

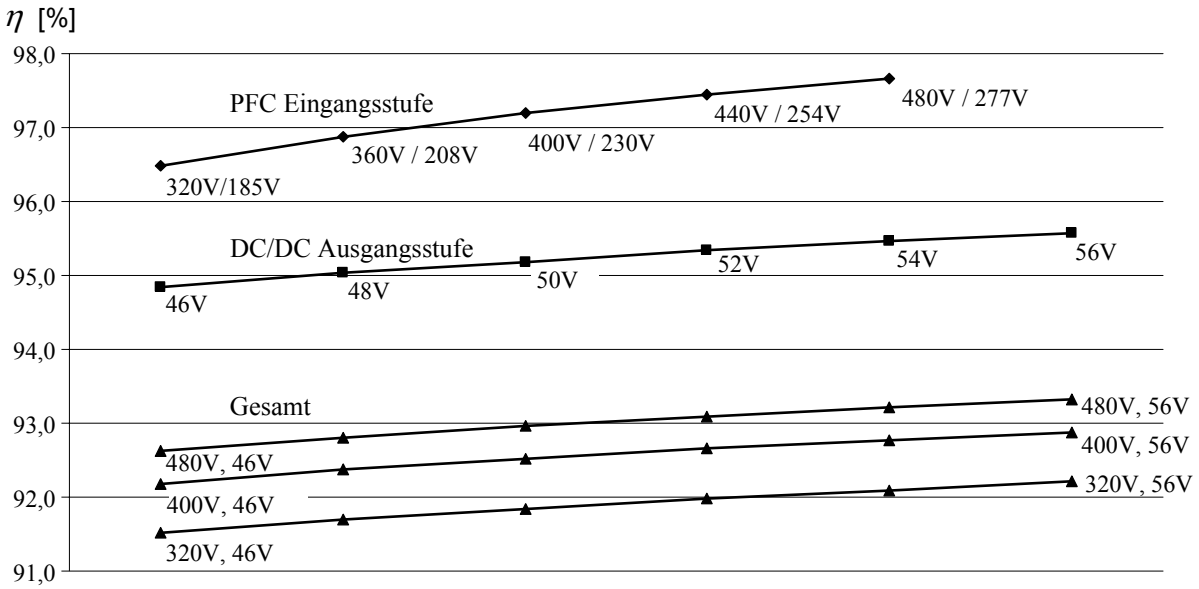


Bild 3.15: Die berechneten Wirkungsgrade für die Gleichrichterstufe bei verschiedenen Eingangsspannungen ($U_{N,ij}$ /$U_{N,i)}$, für die DC/DC-Konverter bei verschiedenen Ausgangsspannungen (U_{out}) und der resultierende Gesamtwirkungsgrad für verschiedene Ein- und Ausgangsspannungen ($U_{N,ij}$, U_{out}) bei konstanter Zwischenkreisspannung $U_{OY} = 400\text{V}$ und $P_O = 5400\text{W}$. Die Leistungsaufnahme der Regelelektronik und der Lüfter ist der Eingangsstufe zugeordnet.

3.4 Hardware des *Y-Rectifier*

Der modulare Aufbau des Systems ist wie für den Prototyp B des *Delta-Rectifier* realisiert. Das Gesamtsystem besteht aus 3 gleichen Leistungsmodulen, die über eine Verbindungsplatine in Sternschaltung verbunden sind. Neben dem Netzanschluss und der Leitungsführung zu den einzelnen Modulen sind auf der Verbindungsplatine die Messwerterfassung, die Eigenstromversorgung und die Schnittstelle zur Systemsteuerung realisiert. Für die digitale Regelung des Systems kommt das Signalprozessor-Board ([Gil03], [PES03]) und ein PLD-Modul [Gie04] zur Generierung der PWM-Ansteuersignale für die insgesamt 12 Leistungsschalter zum Einsatz. **Bild 3.16** zeigt den Aufbau des Systems.

Bild 3.16: Aufbau des *Y-Rectifier*. Die drei Leistungsmodule (PFC-Eingangsstufe mit potenzialtrennender DC/DC-Ausgangsstufe) sind an einer gemeinsamen Verbindungsplatine angeschlossen. Die Verbindungsplatine ist mit den Funktionseinheiten Eigenstromversorgung, Messwerterfassung, DSP- und PLD-Platine bestückt. Die Abmessungen [cm] des Gesamtsystems betragen $B \times H \times T = 20 \times 12 \times 27$ cm^3; Gewicht: 6,2kg; Nennleistung: 3×1800W; Leistungsdichte des Systems: 840W/dm^3.

3.4.1 Leistungsteil und Messgrössen des *Y-Rectifier*

Die Topologie des Gesamtsystems – bestehend aus drei in Sternschaltung verbundenen 2-Punkt PFC-Gleichrichtermodulen mit angeschlossenen 2-Schalter DC/DC-Durchfluss-wandlern, die ausgangsseitig parallel geschaltet sind – ist in **Bild 3.17** dargestellt. Die hervorgehobenen Messgrössen werden für die Regelung des Systems erfasst. Die Ausgangskondensatoren der DC/DC-Konverter sind in der Abbildung zu einer gemeinsamen Kapazität C_{out} zusammengefasst. Einschliesslich der Systemtemperatur sind 14 Messgrössen zu ermitteln. Die Vorladung der Zwischenkreiskondensatoren erfolgt über PTC-Widerstände, die am Ende der Vorladephase von einem Relaiskontakt kurzgeschlossen werden. Die Hilfsspannungsversorgung des Gesamtsystems ist durch einen 2-Schalter Sperrwandler realisiert ([Fri04]), der über eine sechspulsige Diodenbrückenschaltung versorgt wird (*AUX+*

und *AUX*-). Die Eingangsspannungen des Systems werden bezüglich eines hochohmigen Sternpunktes *N'* gemessen und repräsentieren daher die nullgrössenfreien Phasenspannungen $u'_{N,i}$. Neben diesen Sternpunkt wird noch ein zweiter Sternpunkt mittels C_f und R_f als Bezugspunkt für die Mess- und Signalelektronik (*Ctrl_GND*) gebildet. Der Grund für den zweiten Sternpunkt liegt darin, dass *N'* nicht durch die Signalelektronik und schaltfrequente kapazitive Störströme zwischen dem Bezugspotenzial der Signalelektronik (*Ctrl_GND*) und dem Systemsternpunkt N_S belastet werden soll. Die Phasenspannungen $u'_{N,i}$ und die Zwischenkreisspannungen $U_{OY,i}$ werden mittels Differenzverstärkerschaltungen erfasst. Die Eingangsströme in den Phasen *R* und *S* werden mit einem *closed-loop* Hallstromsensor (LEM LTSR 15-NP) gemessen. Der Strom in Phase *T* wird im DSP über die Stromsumme $\Sigma i_{N,i} = 0$ errechnet. Auf der Ausgangsseite werden für die unterlagerten Stromregelungen der DC/DC-Konverter die Ausgangsströme $i_{DC,i}$ ebenfalls mit einem *closed-loop* Hallstromsensor (LEM LAS50-TP) gemessen. Die Gesamtausgangsspannung U_{out} wird galvanisch getrennt durch einen Isolieroperationsverstärker (HCPL 7800) erfasst. Um eine höhere Regeldynamik für Lastwechsel zu erreichen, wird über einen AC-Stromsensor die Stromänderung im Ausgangskondensator gemessen. Der AC-Stromsensor ist durch einen Ferrit-Ringkern R20-N30 realisiert, der den negativen Anschluss des Ausgangskondensators umfasst. Die Sekundärseite trägt 100 Windungen und ist mit einer Bürde abgeschlossen ([Fri04]). Bei konstantem Leistungsbezug führt der Rippel des Kondensatorstroms auf einen sehr kleinen Spannungsabfall an der Messbürde. Tritt ein Lastwechsel auf, wird im ersten Moment die Stromänderung am Ausgang durch den Kondensator bereitgestellt. Die Folge ist eine grosse induzierte Spannung über der Messbürde, die direkt als Vorsteuerung eines Laststrom-wechsels in die Regelung eingebracht werden kann. Mittels NTC-Widerstände werden die Kühlkörpertemperaturen der Gleichrichter-Eingangsmodule erfasst. Der Maximalwert wird der Abtastung zugeführt.

3.4.2 Messgrössenerfassung

Der DSP verfügt über 8 A/D-Kanäle. Werden 2 dieser Kanäle über einen externen 8-Kanal Multiplexer geführt, können die 14 Messgrössen in den DSP eingelesen werden. **Bild 3.18** fasst Details zur Messgrössenerfassung zusammen. Die über den externen Multiplexer geführten Messgrössen (Modulspannungen und die Temperatur) liegen dynamisch weit unterhalb der Schaltfrequenz und müssen daher nicht zu jedem Abtastzeitpunkt ($T_P = 20\mu s$) erfasst werden.

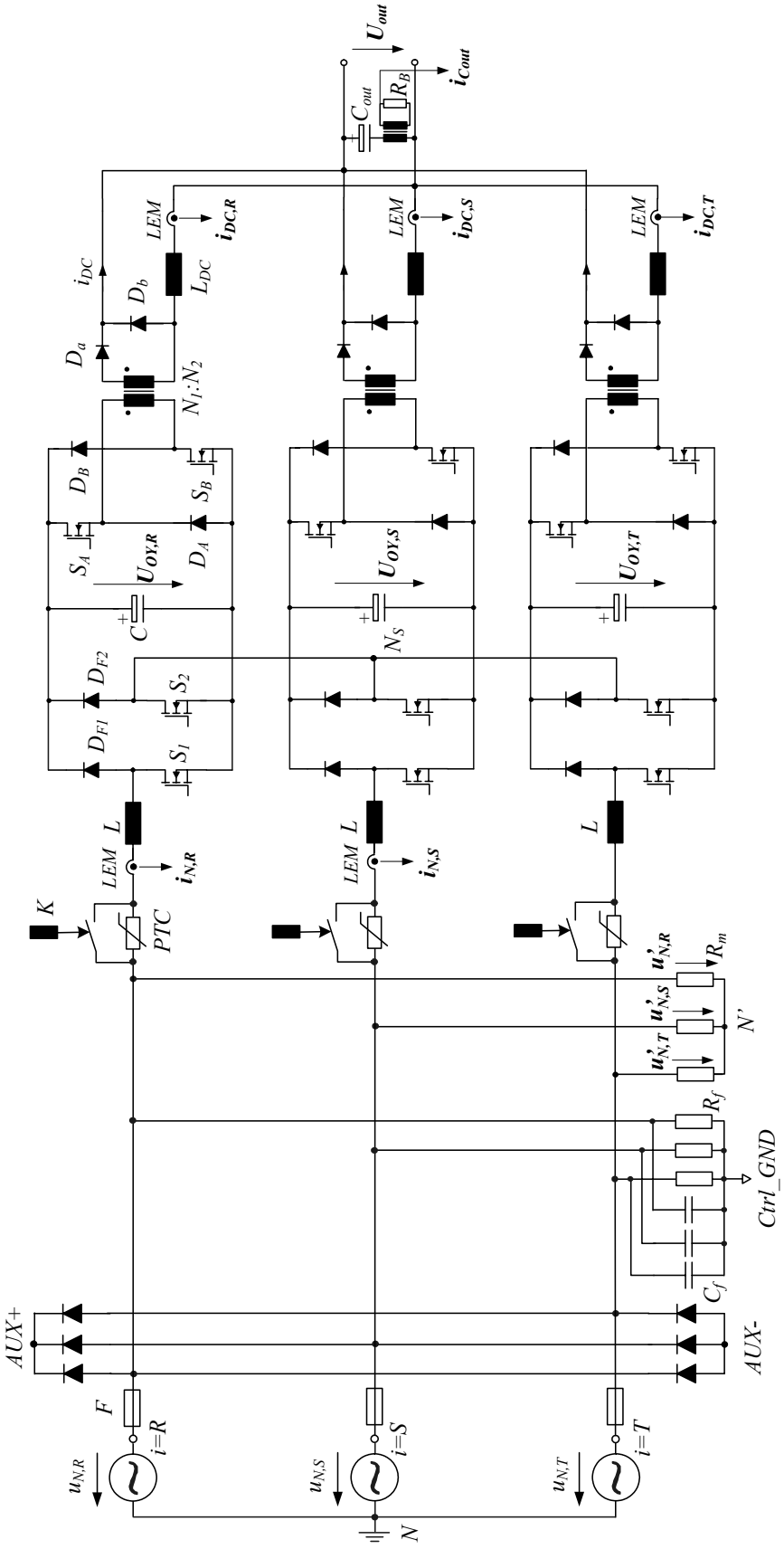
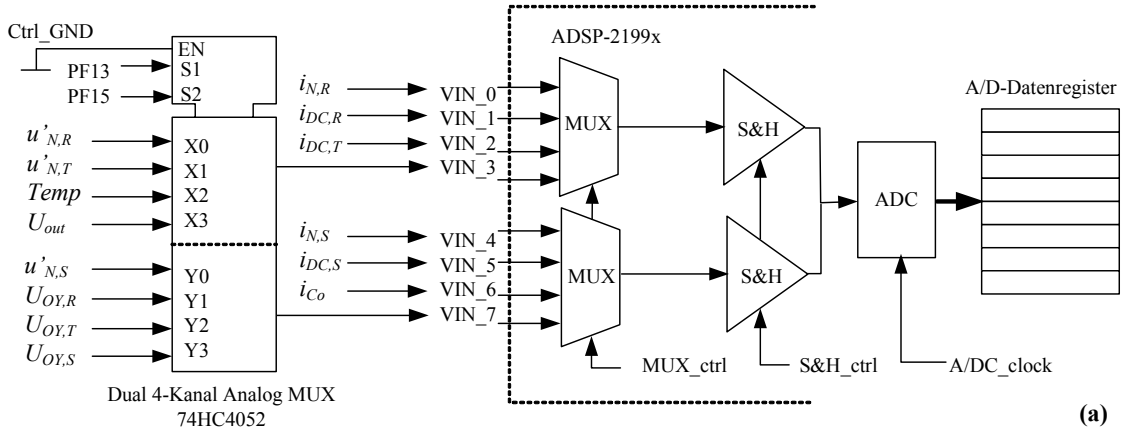
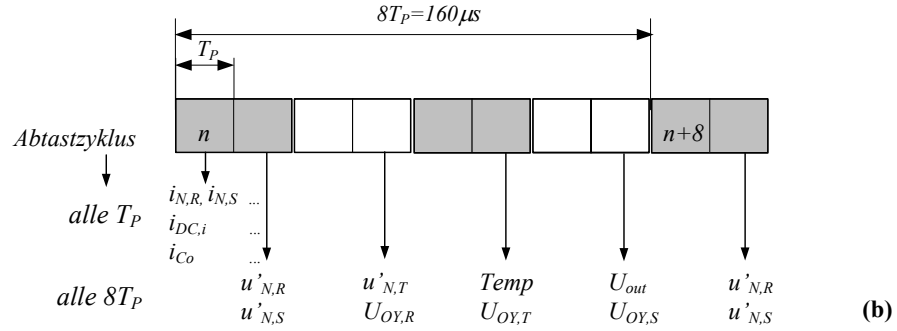


Bild 3.17: Gesamttopologie des realisierten Leistungsteils. Für die Systemregelung werden die hervorgehobenen Messgrössen erfasst.

Bei der Inbetriebnahme zeigte sich, dass die Operationsverstärker für die Messsignalaufbereitung nicht genügend schnell die Filterkondensatoren an den Multiplexereingängen umladen können. Erst nach einer Einschwingzeit von $t_{SET} \approx 25\mu s$ ist der stationäre Wert der Messgrösse erreicht. Aus diesem Grund resultiert eine Abtastung dieser Messgrössen alle $8\,T_P = 4 \cdot 2 \cdot 20 = 160\mu s$.





Messwert	Physikalischer Bereich	DSP-Messbereich
$\hat{I}_{N,i}$	+/- 18.4 A	0 … 2 V
$\hat{U}_{N,i}$	+/- 450 V	0 … 2 V
$I_{DC,i}$	50 A	0 … 2 V
U_{out}	60 V	0 … 2 V
$U_{OY,i}$	450 V	0 … 2 V
Temp	0° ...120°C	0.3 … 1.32 V

(c)

Bild 3.18: Messwerterfassung für den *Y-Rectifier*. **(a)** Erfassung von 14 Messwerten indem 2 A/D-Kanäle des DSPs über einen externen Multiplexer geführt werden. **(b)** Darstellung der Abtastrate für die einzelnen Messgrössen. Die Messgrössen am externen Multiplexer liegen erst nach ca. 25µs im eingeschwungenen Zustand vor. Aus diesem Grund muss ein Abtastleerintervall eingehalten werden. Für die über den Multiplexer geführten Messsignale ergibt sich eine Abtastrate von $8T_P = 160\mu s$. **(c)** Auflösung der Messsignale. Die physikalischen Messbereiche berücksichtigen eine 10-15% Messgrössenreserve für transiente Vorgänge**.**

Eine Abtastrate von T_P=160µs führt für die Eingangsspannungen bereits zu einer mittleren Phasenverschiebung von $\varphi = 1{,}5°$, wodurch die Stromführung in den Nulldurchgängen gestört wird. Zusätzlich bewirkt die Quantisierung der Messgrösse, dass bei einer zu hohen Stromregelverstärkung Oberschwingungen in den Phasenströmen mit annähernd der Frequenz $f_{OS} \approx 1/(160\mu s)$ angeregt werden. Aus diesem Grund wird die Eingangsspannung softwaremässig geglättet und die Phasenverschiebung korrigiert. Weitere Details dazu sind in Kapitel 3.6.1 angegeben. Die über den externen Multiplexer geführten analogen Messgrössen sind gemeinsam mit dem Steuersignal PF15 und dem Interrupt-Signal INT_DSP, das die A/D-Konversion auslöst, in **Bild 3.19** dargestellt. In jedem Taktzyklus werden die Messsignale zweimal abgetastet (zum Zeitpunkt t = 0 und t = 10µs eines Taktzyklus).

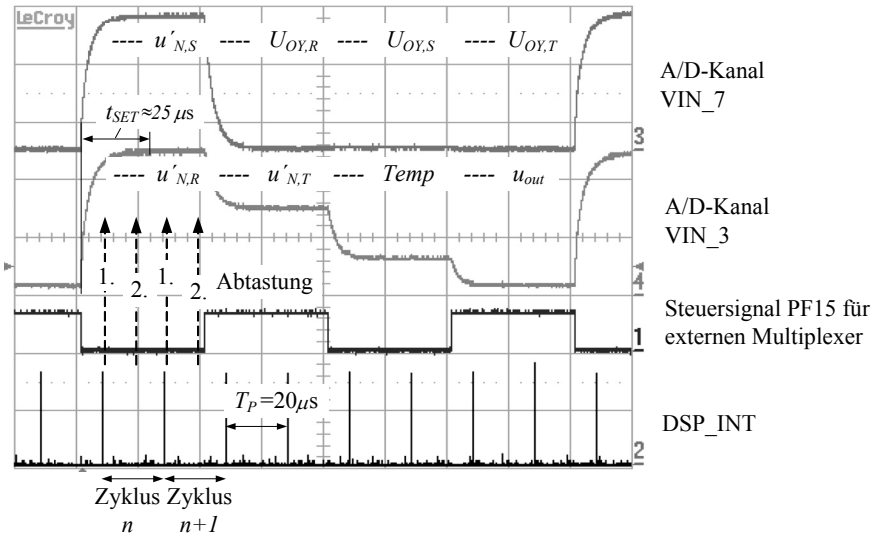


Bild 3.19: Abtastung der über den externen Multiplexer geführten Messgrössen.

3.4.3 Generierung der PWM-Ansteuersignale

Die PWM-Ansteuersignale für die 12 Leistungsschalter des Systems und die Ansteuersignale für die Vorlade-Relais K zur Überbrückung der PTC-Vorladewiderstände werden von einem PLD-Modul erzeugt, dass in einer Semesterarbeit [Gie04] entwickelt wurde. Sowohl die beiden Leistungsschalter der PFC-Stufe als auch die des DC/DC-Konverters werden synchron getaktet. Wie aus der Systemanalyse hervorgeht, kann eine Minimierung des Phasenstromrippels durch versetztes Takten der PFC-Eingangsstufen in Abhängigkeit des Vorzeichens der Phasenspannungen erreicht werden. Dafür sind im PLD zwei Zähler implementiert, die um eine halbe Taktperiode versetzt ($T_P/2$) mit der PLD-Taktfrequenz f_{PLD} = 100MHz kontinuierlich zwischen 0 und dem Maximalwert 1000 aufwärts und abwärts zählen. Die so erzeugten Trägersignale i_{D+} und i_{D-} führen bei Verschneidung mit der

Stromreglerstellgrösse auf das PWM-Ansteuersignal (die Auflösung der Pulsbreite beträgt $\Delta t = 20ns$). Der Wechsel vom *Idle*- in den *Run*-Zustand des PLDs erfolgt über den ersten Schreibzugriff des DSPs auf das PLD mittels externer Speicheradressierung. Über einen unidirektionalen 16-Bit Datenbus überträgt der DSP die relativen Einschaltdauern der drei Ein- und Ausgangsstufen, die Vorzeichen der Phasenspannungen, die Ansteuersignale für die Vorlade-Relais und die Freigabe-Signale für die einzelnen Leistungsmodule an das PLD. Die Datenzuweisung für die Übertragung ist in **Tabelle 3.1** dargestellt. In der Folge generiert das PLD zyklisch vor dem Ende einer Taktperiode einen Interrupt (INT_DSP), der im DSP die A/D-Konvertierung der Messdaten und die Berechnung der neuen relativen Einschaltzeiten auslöst (Aufruf der Interrupt Service Routine ISR_DSP). Es ist sicher zustellen, dass innerhalb einer Pulsperiode T_P die Berechnung der neuen Einschaltzeiten abgeschlossen ist und der Datentransfer an das PLD erfolgt. Empfängt das PLD vor Ablauf einer Taktperiode keine neuen Daten werden alle PWM-Ansteuersignale auf Null gesetzt, die Kontakte der Vorlade-Relais geöffnet, der Interrupt an den DSP (INT_DSP) gesperrt und eine Fehlermeldung signalisiert. Das kontrollierte Abschalten der Leistungsmodule kann neben dem Ausbleiben eines Datentransfers auch durch das Betätigen eines externen Notausschalters oder durch die Steuersignale der Überstromdetektion am DSP-Modul erfolgen.

Tabelle 3.1: Datenbitzuweisung für den Datentransfer zwischen DSP und PLD. Der grau hinterlegte Bereich enthält keine Informationen und die Bits sind 0 gesetzt. Das Bit *Ts* ist ebenso 0.

	Datenbitzuweisung							
Datenwort	15	14	13	12	11	10	9 ...	0
0x000	Enable DC/DC R		Ts	Relais T	Relais S	Relais R	Tastverhältnis $d_{R,DC/DC}$	
0x001	Enable DC/DC S						Tastverhältnis $d_{S,DC/DC}$	
0x010	Enable DC/DC T			sgn($u'_{N,T}$)	sgn($u'_{N,S}$)	sgn($u'_{N,R}$)	Tastverhältnis $d_{T,DC/DC}$	
0x011	Enable PFC R						Tastverhältnis $d_{R,PFC}$	
0x100	Enable PFC S						Tastverhältnis $d_{S,PFC}$	
0x101	Enable PFC T						Tastverhältnis $d_{T,PFC}$	

In **Bild 3.20** ist der zeitliche Ablauf des Regelzyklus dargestellt. Mit dem Absenden des Interrupts INT_DSP wird ein neuer Abtast-, Berechnungs- und PWM-Zyklus gestartet. Die Vorhaltezeit t_v wurde während der Inbetriebnahmephase justiert, sodass der 1. Abtastwert der Phasen- und der DC-Ausgangsströme mit dem Beginn des Hochzählens des Trägersignals i_{D+} übereinstimmt. Damit ist gewährleistet, dass die Abtastung in der Mitte des Stromrippels stattfindet. Die 2. Abtastung im dreiphasigen Betrieb erfolgt zeitlich mittels eines Timer-Interrupts (INT_Timer0) um $t_d = 10\mu s$ verzögert. Der Mittelwert der beiden Abtastwerte stellt

die Eingangsgrösse (Istwert) für den Berechnungsalgorithmus im nächsten Taktzyklus dar. Für die Minimierung des Eingangsstromrippels im Dreiphasenbetrieb werden die PWM-Signale $d_{i,PFC}$ in Abhängigkeit des Vorzeichens der Phasenspannung $\mathrm{sgn}(u_{N,i})$ mittels i_{D+} oder i_{D-} gebildet. Der eingezeichnete Stromverlauf $i_{N,R}$ berücksichtigt nur die Schalthandlung des Moduls *R* und vernachlässigt die der beiden anderen Module. Bei isolierter Betrachtung der einzelnen Phasenströme (Systemsternpunkt N_S mit Netzsternpunkt *N* verbunden) liegen deren Strommittelwerte bezogen auf einen Taktzyklus bei $t = 0$ bzw. $t = 10\mu s$. Ebenso liegen für den isolierten Sternpunkt N_S die optimalen Abtastzeitpunkte bei $t = 0$ bzw. $t = 10\mu s$.

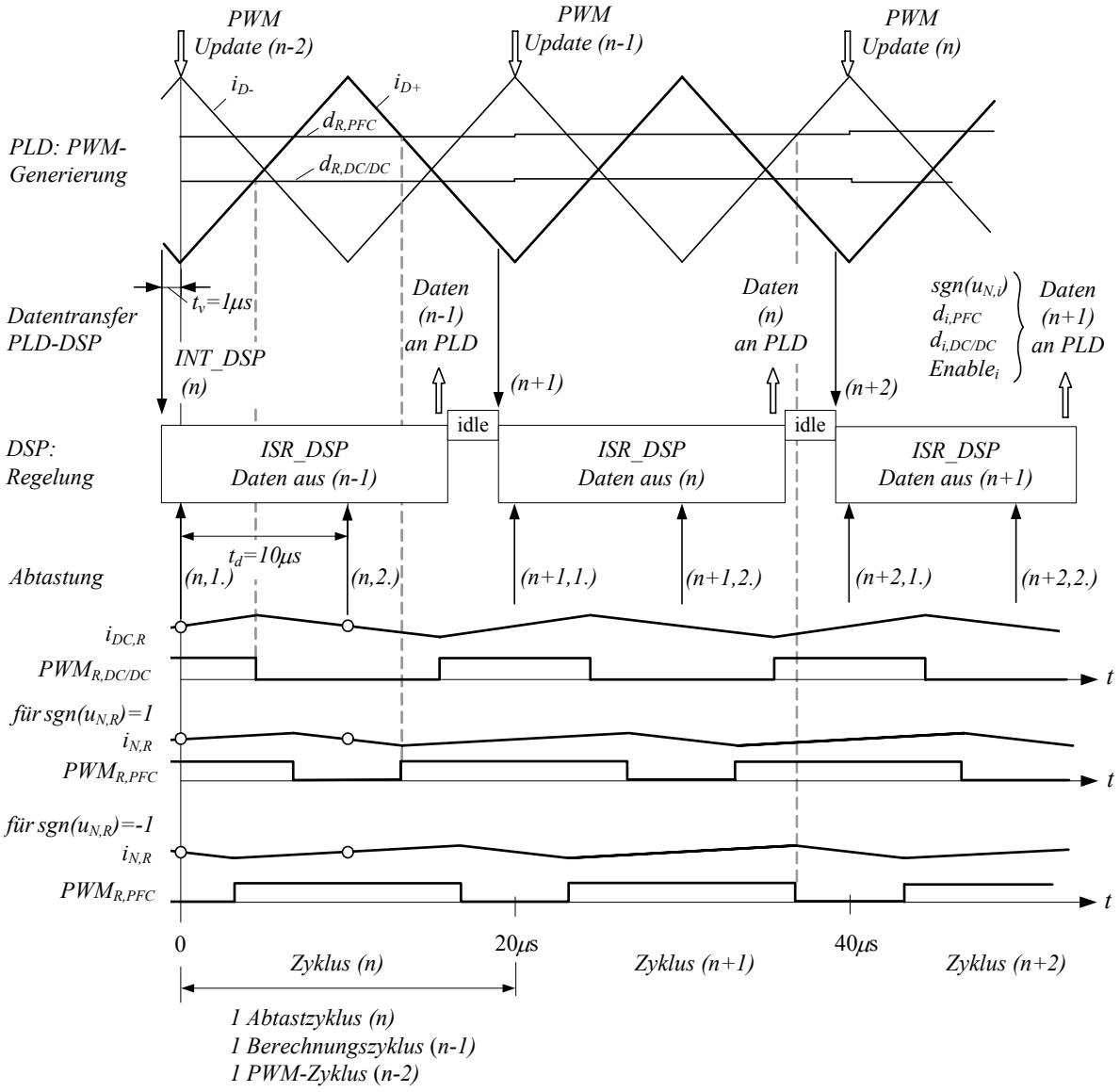


Bild 3.20: Darstellung eines Regelzyklus mit der zeitlichen Abfolge beginnend mit dem Interrupt vom PLD an den DSP (INT_DSP), über die Abtastung der Messgrössen (Abtastwert 1. und 2.), die Übermittlung der neu berechneten Einschaltdauern an das PLD und schliesslich die Aktualisierung der PWM-Ansteuersignale.

Zusätzlich ist in Bild 3.20 die zeitliche Zuordnung zwischen den Daten, die im aktuellen Zyklus gemessen, den Daten auf die die aktuelle Berechnung zugreift und den Daten auf denen die PWM-Ansteuersignale beruhen, durch die Angabe von *n (n ...Daten des n-ten Zyklus*) gekennzeichnet. Es liegt also für die digitale Regelung insgesamt eine zeitliche Verzögerung von T_T=2,5T_P = 50µs zwischen der Datenerfassung und der Ausgabe der zugeordneten Tastverhältnisse vor, wobei hierin eine Totzeit T_P/2 der digitalen PWM Generatoren Berücksichtigung findet [Mit80]. Die resultierende Totzeit wird als Tiefpass 1. Ordnung $G_{tot} = 1/(1 + s2{,}5T_P)$ angenähert und in der Auslegung der Phasenstrom- und DC-Ausgangsstromregler berücksichtigt.

Im zweiphasigen Betrieb (bei Unterbruch einer Phasenzuleitung) liegen 2 Module in Serie an der verketteten Netzspannung. Für die Minimierung des Phasenstromrippels werden die beiden Module nun versetzt angesteuert, d. h. die PWM-Ansteuersignale einer Eingangsstufe werden mit dem Trägersignal i_{D+}, der anderen mit i_{D-} gebildet (ident mit der Bildung der Ansteuersignale für ein 3-Punkt PFC-Modul; vgl. *Delta-Rectifier*). Damit kann die Amplitude des Eingangsstromrippels auf ein ¼ reduziert werden, wobei die Stromschwankung nun die zweifache Schaltfrequenz gegenüber einfacher Schaltfrequenz bei synchroner Taktung aufweist. Für die Abtastung des Mittelwertes der Phasenströme muss der 2. Abtastzeitpunkt auf t_d=5µs angepasst werden. Die Istwerte der weiterhin schaltfrequenten DC-Ausgangströme werden nun anstelle der Mittelung der beiden Abtastwerte nur mit dem 1. Abtastwert gebildet.

Details zur Programmstruktur des VHDL-Codes und des implementierten Zustandsautomaten sind in der Semesterarbeit [Gie04] angeführt. Wie vorhin erwähnt, stellt Tabelle 3.1 die Zuweisung der zu übertragenen Daten auf die einzelnen Datenworte dar. Mit dem Bit *Ts* (=0/1) kann der Aufruf des Interrupts (INT_DSP) in jeder / in jeder zweiten Taktperiode T_P eingestellt werden. Mit der Einstellung Bit *Ts* = 1 würden die berechneten Einschaltdauern jeweils in zwei aufeinander folgenden Taktperioden ausgegeben werden. Diese Funktion wurde vorsorglich für den Fall implementiert, dass die Ausführung des Berechnungs-algorithmus länger als eine Taktperiode dauert. Dies ist aber nicht der Fall und das Bit *Ts* ist 0 gesetzt.

Die PWM-Ansteuersignale für die DC/DC-Konverter werden mit dem Trägersignal i_{D+} gebildet. Eine Optimierung der PWM-Ansteuersignale der DC/DC-Konverter hinsichtlich der Minimierung des Ausgangsstromrippels und der Ummagnetisierungsverluste wäre möglich, wenn eine um T_P/3 versetzt Taktung der drei DC/DC Konverter und eine gemeinsame Ausgangsinduktivität L_{DC} angewendet würden. In diesem Fall würde bei symmetrischer

Lastaufteilung der Ausgangsstromrippel vollständig kompensiert. Der Nachteil dabei wäre aber, dass die 3 Ausgangsströme der DC/DC-Konverter nicht zum Zeitpunkt des Strommittelwertes abgetastet werden und eine Einschränkung des Tastverhältnisses durch die gemeinsame Induktivität vorliegend ist.

3.5 Analyse der Verkopplung der Module

In diesem Kapitel wird die immanente Verkopplung der in Sternschaltung liegenden Einphasen-Module aufgrund des isolierten Sternpunktes N_S analysiert. Zum besseren Verständnis und zur Überprüfung der Systemmodellierung wird die Analyse für die über eine Schaltperiode gemittelten Grössen ausgehend von der Serienschaltung zweier DC/DC–Hochsetzsteller über zwei in Serie liegende AC/DC-PFC-Module bis hin zur analytischen Beschreibung der Verkopplung eines *Y-Rectifier* gezeigt. Basierend auf der berechneten stationären Verkopplung der Module kann die Synthese eines geeigneten Regelungskonzeptes erfolgen. Die beiden Konzepte der Systemregelung

- modulare kaskadierte Einzelregelung mit Entkopplungsregler bzw.
- überlagerte Spannungsregelung auf Systemebene (gemeinsam für alle Einzelmodule) mit zusätzlichem Eingriff von Balancierreglern

werden ausgearbeitet. Die Systemanalyse wurde in [Gre04] veröffentlicht und wird an dieser Stelle mit weiteren Ergänzungen angegeben.

3.5.1 Serienschaltung von zwei DC/DC-Hochsetzstellern

In einem ersten Schritt wird die Analysemethode zur Bestimmung der stationären Modulverkopplung eines *Y-Rectifier* an einer Serienschaltung von zwei DC/DC-Hochsetzstellern *a*, *b* (s. **Bild 3.21**) angewendet. Beide Konverter arbeiten mit kontinuierlicher Stromführung (CCM) in den Eingangsinduktivitäten *L*. Für die Vereinfachung der Modellbildung werden die Modulausgangsspannungen $U_{O,a}$ und $U_{O,b}$ als Konstantspannungsquellen modelliert. Diese Vereinfachung ist damit zu rechtfertigen, dass die Regelung der langsam veränderlichen Modulausgangsspannungen im Vergleich zur Modulstromregelung mit sehr geringer Dynamik erfolgt. Mit dieser Annahme wird der Einfluss einer Modulausgangsspannungsschwankung auf die Änderung des Tastverhältnisses unterdrückt. Mit der Vernachlässigung der Ausgangsspannungsdynamik entsprechen die Mittelwerte der Ausgangsdiodenströme $i_{D,a}$ und $i_{D,b}$ den an die Ausgangsklemmen

gelieferten mittleren Leistungen $\bar{p}_{O,a} = \bar{i}_{D,a}\, U_{O,a}$ und $\bar{p}_{O,b} = \bar{i}_{D,b}\, U_{O,b}$. Durch den gemeinsamen Modulstrom i sind die Ausgangsgrössen der Module a und b verkoppelt. Die Stromregelung ist für jedes Modul als Mittelwertstromregler mit Vorsteuerung des Tastverhältnisses (D_a, D_b) ausgeführt und wird mit in die Systemmodellierung aufgenommen. Das Regelkonzept sieht vor, die Sollwerte i_a^* und i_b^* für die unterlagerten Stromregler durch Multiplikation der Moduleingangsspannungen ($\bar{u}_a = u/2$ und $\bar{u}_b = u/2$) mit den Referenzleitwerten

$$i_a^* = G_a^* \cdot \frac{u}{2}$$
$$i_b^* = G_b^* \cdot \frac{u}{2} \qquad (3.27)$$

zu bilden. Die Frage ist nun, welchen Einfluss eine Sollstromänderung bzw. eine Änderung des Referenzleitwertes des Moduls a auf die Ausgangsgrössen der Module a und b hat. Mit der Analyse der Modulverkopplung werden die erforderlichen Erkenntnisse für die Implementierung der überlagerten Regelung erbracht. Diese muss sicherstellen, dass die angeforderte Gesamtausgangsleistung symmetrisch auf beide Module aufgeteilt bzw. eine Unsymmetrie der Ausgangsspannungen ausgeregelt wird. Dies stellt letztlich auch eine gleichmässige Eingangsspannungsaufteilung $\bar{u}_a = \bar{u}_b = u/2$ sicher.

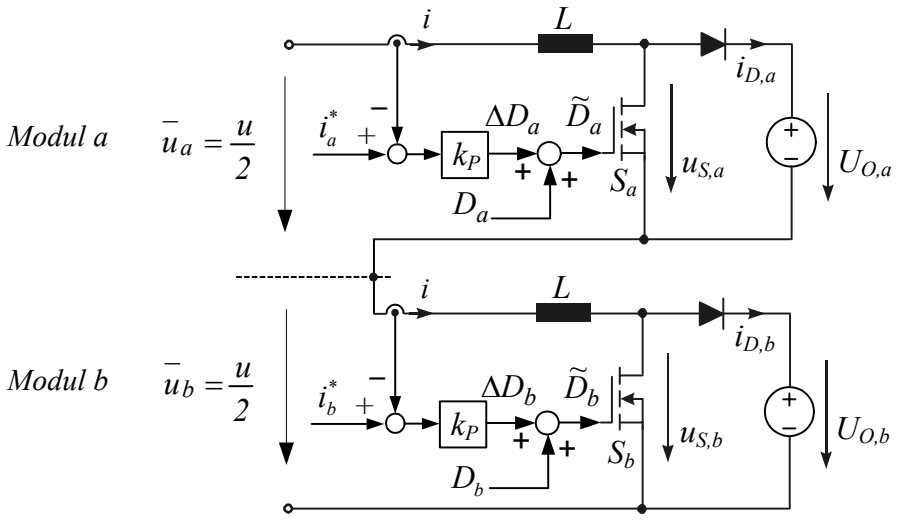


Bild 3.21.: Serienschaltung von zwei DC/DC Hochsetzstellern mit modularer Stromregelung ausgeführt als Mittelwertregler mit Vorsteuerung des Tastverhältnisses. Die Ausgangskreise sind als Konstantspannungsquellen modelliert.

Mit der Vernachlässigung der Ausgangskreisdynamik (Modellansatz mit Konstantspannungsquellen $U_{O,a}=U_{O,b}=U_O$) wird das reale Systemverhalten auf das gemittelte stationäre Übertragungsverhalten (=Übertragungsverhalten der Gleichgrössen bzw. Mittelwerte der Wechselgrössen) reduziert. Eine nähere Analyse zeigt aber, dass das stationäre Übertragungsverhalten, beschrieben durch die Koppelkoeffizienten

$$H_{ii,\omega=0} = \frac{\Delta I_{D,i}}{\Delta I_i^*} \quad , \quad H_{ji,\omega=0} = \frac{\Delta I_{D,j}}{\Delta I_i^*} \tag{3.28}$$

das niederfrequente Verhalten (f unterhalb der Durchtrittsfrequenz f_D der Regelschleife für die Modulausgangsspannung; $f_D = 5\ldots10$Hz) der tatsächlichen Verkopplung sehr gut repräsentiert. $\Delta I_{D,i}$ bezeichnet die Änderung des über eine Pulsperiode gemittelten Ausgangsdiodenstroms $i_{D,i}$. (In der nachfolgenden AC/DC-Modellierung kennzeichnet $\Delta I_{D,i}$ die Änderung des Strommittelwertes über eine halbe Netzperiode.) ΔI_i^* bezeichnet die Sollwertänderung eines Modulstroms. Aus Symmetriegründen gilt für die stationären Koppelkoeffizienten $H_{ii}=H_{jj}$ bzw. $H_{ij}=H_{ji}$, wenn der Sollzustand einer Gleichverteilung der Ausgangsleistung vorliegt. Die Indizes i,j stehen allgemein für die Modulbezeichnungen a und b.

Ausgangspunkt der Analyse ist der eingeschwungene Zustand des Systems mit kontinuierlicher Stromführung in den Induktivitäten und mit symmetrischer Lastaufteilung auf die beiden Module, welcher durch

$$U_{O,a} = U_{O,b} = U_O, \quad D_a = D_b = D = 1 - \frac{U}{2U_O} \tag{3.29}$$

gekennzeichnet ist. Im Weiteren folgt daraus, dass die Gesamteingangsspannung U symmetrisch auf die Serienschaltung der beiden Module $U_a = U_b = U/2 = (1\text{-}D).U_O$ aufgeteilt ist. Das integrale Verhalten der unterlagerten Stromregelstrecke und der Proportionalstromregler kp, der für eine Bandbreite des geschlossenen Stromregelkreises im Bereich von 1/10…1/20 der Schaltfrequenz f_P ausgelegt ist, rechtfertigen die Gleichsetzung der stationären Referenzwerte mit dem Istwert des Modulstroms

$$I_a^* = I_b^* = I\,. \tag{3.30}$$

Mit der Defintion ΔX für eine Kleinsignaländerung um die stationäre (gemittelte) Grösse X und der Bezeichnung $\widetilde{X} = X + \Delta X$ für die Summe beider Grössen werden die Ist- und Sollwerte der Modulströme mit

$$\begin{aligned} \widetilde{I}_a &= \widetilde{I}_b = \widetilde{I} = I + \Delta I \\ \widetilde{I}_a^* &= I_a^* + \Delta I_a^* = I + \Delta I_a^* \\ \widetilde{I}_b^* &= I_b^* + \Delta I_b^* = I + \Delta I_b^* \end{aligned} \tag{3.31}$$

und die gemittelten Ausgangsdiodenströme mit

$$\begin{aligned} \widetilde{I}_{D,a} &= I_{D,a} + \Delta I_{D,a} \\ \widetilde{I}_{D,b} &= I_{D,b} + \Delta I_{D,b} \ . \end{aligned} \tag{3.32}$$

dargestellt. Die Ausgangsdiodenströme und ihre Kleinsignaländerung bestimmen sich mit

$$\begin{aligned} \widetilde{I}_{D,a} &= \widetilde{D}'_a \widetilde{I}_a \rightarrow \Delta I_{D,a} = D' \Delta I - \Delta D_a I \\ \widetilde{I}_{D,b} &= \widetilde{D}'_b \widetilde{I}_b \rightarrow \Delta I_{D,a} = D' \Delta I - \Delta D_b I \ , \end{aligned} \tag{3.33}$$

wobei $\widetilde{D}'_a$ und $\widetilde{D}'_b$ die relativen Ausschaltzeiten der Leistungsschalter S_a, S_b bezeichnen. Es gilt $\widetilde{D}_i = D + \Delta D_i$; $\widetilde{D}'_i = 1 - \widetilde{D}_i = 1 - D - \Delta D_i = D' - \Delta D_i$ mit $i = a, b$.

Die Ausschaltzeiten $\widetilde{D}'_i$ bestimmen sich aus den Stellgrössen der unterlagerten Stromregler (**Bild 3.21**, Gl. (3.29) und Gl.(3.31)) zu

$$\begin{aligned} \widetilde{D}'_a &= 1 - \widetilde{D}_a = \frac{U}{2Uo} - k_P(\widetilde{I}_a^* - \widetilde{I}) = \frac{U}{2Uo} - k_P(\Delta I_a^* - \Delta I) \\ \widetilde{D}'_b &= 1 - \widetilde{D}_b = \frac{U}{2Uo} - k_P(\widetilde{I}_b^* - \widetilde{I}) = \underbrace{\frac{U}{2Uo}}_{D'} - k_P(\Delta I_b^* - \Delta I) \ . \end{aligned} \tag{3.34}$$

Betrachtet man den stationären Arbeitpunktes ($d\Delta I / dt = 0$) folgt aus

$$\begin{aligned} 2L\frac{d\Delta I}{dt} &= U - (\widetilde{D}'_a + \widetilde{D}'_b)\, U_O = 0 \qquad \rightarrow \\ \frac{U}{U_O} &= \frac{U}{Uo} - k_P(\Delta I_a^* - \Delta I) - k_P(\Delta I_a^* - \Delta I) \end{aligned} \tag{3.35}$$

die Beziehung zwischen der Sollwertstromänderung und der Iststromänderung

$$\Delta I_a^* + \Delta I_b^* = 2\Delta I \ . \tag{3.36}$$

Gemeinsam mit Gl. (3.33), Gl. (3.34) und Gl.(3.36) lässt sich das stationäre Übertragungsverhalten mittels

$$\Delta I_{D,a} = \frac{1}{2U_O}\left(\frac{1}{2}U - K_P\, I\right)\Delta I_a^* + \frac{1}{2U_O}\left(\frac{1}{2}U + K_P\, I\right)\Delta I_b^*$$
$$\Delta I_{D,b} = \frac{1}{2U_O}\left(\frac{1}{2}U + K_p\, I\right)\Delta I_a^* + \frac{1}{2U_O}\left(\frac{1}{2}U - K_P\, I\right)\Delta I_b^* \qquad (3.37)$$

angeben, wobei für $K_P = k_P.U_O$ gilt. Dargestellt in Matrizenschreibweise ergibt sich

$$\begin{pmatrix}\Delta I_{D,a}\\ \Delta I_{D,b}\end{pmatrix} = \underline{H}_{DC}\cdot\begin{pmatrix}\Delta I_a^*\\ \Delta I_b^*\end{pmatrix} = \begin{pmatrix}H_{aa} & H_{ab}\\ H_{ba} & H_{bb}\end{pmatrix}\cdot\begin{pmatrix}\Delta I_a^*\\ \Delta I_b^*\end{pmatrix}. \qquad (3.38)$$

mit den Koppelelementen (s. **Bild 3.22(a)**)

$$H_{aa} = H_{bb} = \frac{1}{2U_O}\left(\tfrac{1}{2}U - K_P I\right)$$
$$H_{ab} = H_{ba} = \frac{1}{2U_O}\left(\tfrac{1}{2}U + K_P I\right). \qquad (3.39)$$

Die Wirkung einer Sollstromabweichung ΔI_i^*, d. h. einer Stellgrössenänderung der überlagerten Regelung

$$I_i^* + \Delta I_i^* = \left(G^* + \Delta G_i^*\right)\frac{U}{2} \qquad (3.40)$$

auf die beiden Ausgangsdiodenströme in Abhängigkeit des Arbeitspunktes (U, I) ist in **Bild 3.22(b)** dargestellt.

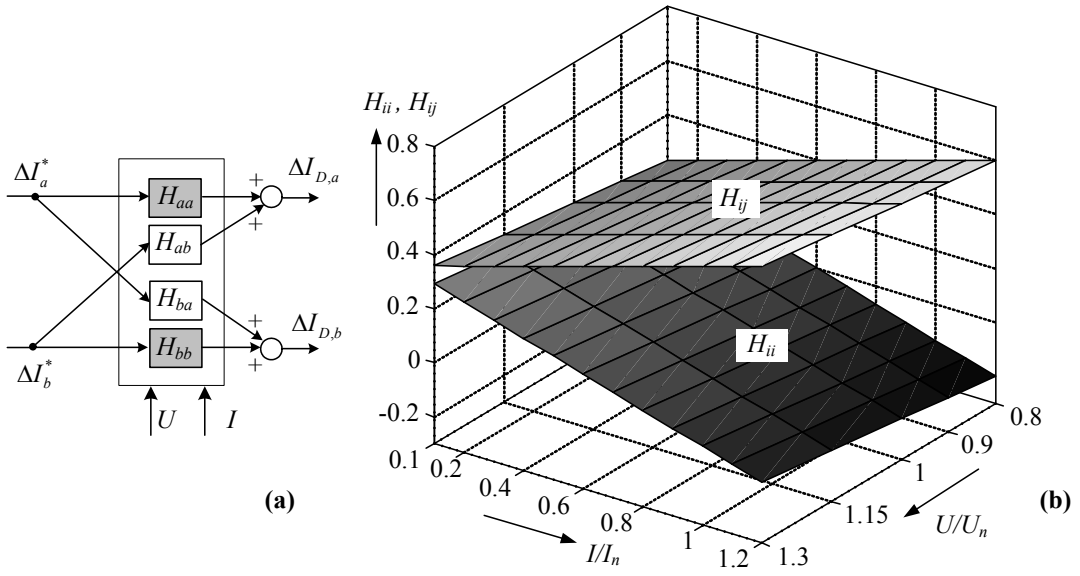


Bild 3.22.: Darstellung der stationären Modulverkopplung von zwei in Serie liegenden Hochsetzstellern mit modularer Stromregelung laut **Bild 3.21**. **(a)** Struktur der Verkopplung mit den

stationären ($\omega = 0$) Übertragungselementen. **(b)** stationäre Modulverkopplung in Abhängigkeit der normierten Eingangsspannung und des normierten Modulstroms bei symmetrischer Lastaufteilung, d.h. gleicher Belastung beider Module. Die Normierungsbasis lautet $U_n = 400\text{V}$ und $I_n = 17{,}5\text{A}$ (Annahme einer Modulleistung von $P_{M,n} = 3500\text{W}$; $I_n = 2P_n/U_n$). Die Stromreglerverstärkung beträgt $k_P = 0{,}038$ ($\rightarrow K_P = 15{,}2\text{VA}^{-1}$) und führt auf eine Bandbreite des Stromregelkreises von $f_D = K_P/(2\pi L) \approx 4{,}5$ kHz bei L=540µH.

Die Längskopplung $H_{ii}=H_{jj}$ ist im gesamten Betriebskennfeld schwächer als die Querkopplung $H_{ij}=H_{ji}$. Für kleine Eingangsspannungen und grosse Modulströme weist die Koppelung in Längsrichtung ein negatives Vorzeichen auf. In diesen Betriebspunkten führt eine positive Sollstromänderung ΔI_i^* auf ein Sinken des zugeordneten Diodenstroms $\Delta I_{D,i}^*$. Wichtig ist die aus Gl. (3.37) und **Bild 3.22** gewonnene Erkenntnis, dass ein Stellgrössen-eingriff auf das Modul *a* immer zu einer grösseren Anhebung des Ausgangsdiodenstroms bzw. der Ausgangsleistung des Moduls *b* verglichen mit Modul *a* führt und umgekehrt. Für die Auslegung der überlagerten Regelung stehen somit 2 mögliche Varianten zu Auswahl. Einerseits kann eine modulare Regelung mit einer Systementkopplung ausgelegt werden, sodass z. B. der Eingriff von ΔI_a^* nur ein $\Delta I_{D,a}^*$ bewirkt, andererseits kann die vorliegende Modulverkopplung im kaskadierten Regelungskonzept derart berücksichtigt werden, dass die übergeordnete Regelung mit zwei getrennten Eingriffen in die unterlagerte Stromregelung ausgeführt wird.

Der Entwurf einer Entkopplung basiert darauf, dass zwischen der Stellgrösse des überlagerten Regelkreises und dem Sollwert der unterlagerten Stromregelung eine Entkopplungsmatrix $\underline{M}$ geschaltet wird, die zusammen mit der Systemmatrix $\underline{H}_{DC}$ die Einheitsmatrix $\underline{E}$ ergibt. Somit ist die Entkopplungsmatrix $\underline{M}$ die Inverse der Systemmatrix $\underline{H}_{DC}$ und ergibt sich zu

$$\underline{M} = \underline{H}_{DC}^{-1} = \frac{U_O}{K_P U I}\begin{bmatrix} K_P I - \frac{1}{2}U & K_P I + \frac{1}{2}U \\ K_P I + \frac{1}{2}U & K_P I - \frac{1}{2}U \end{bmatrix}. \tag{3.41}$$

Die Matrix $\underline{M}$ ist abhängig vom Arbeitspunkt und zeigt nur für den hier betrachteten Fall einer symmetrischen Modulbelastung diesen einfachen analytischen Ausdruck. Eine gute Entkopplung der Teilsysteme kann nur für die Ausregelung von kleinen Aus-lenkungen / Störungen um den stationären Arbeitspunkt erreicht werden, da sich die Analyse der Systemverkopplung ($\underline{H}_{DC}$) auf $\omega = 0$ beschränkt.

Für die Umsetzung einer robusten Regelung wird die 2. Variante empfohlen, welche die vorhandene Verkopplung der Module in die Struktur der überlagerten Ausgangsspannungsregelung einbezieht. Hierfür wird die vorliegende Verkopplung für die beiden Fälle

- Ausregelung einer Gesamtlaständerung
- Ausregelung ungleicher Modulausgangsspannungen

betrachtet.

Tritt eine positive Ausgangslaständerung für beide Module auf, müssen die Sollwerte der unterlagerten Modulstromregler um $\Delta I_a^* = \Delta I_b^* = \Delta I$ durch den Stellgrösseneingriff der überlagerten Regelung erhöht werden. Aus Gl. (3.37) folgt, dass sich eine stationäre Änderung der Ausgangsdiodenströme von

$$\Delta I_{D,a} = \Delta I_{D,b} = \frac{U}{2U_O} \Delta I \tag{3.42}$$

einstellt. Wird die Modulausgangsstufe durch einen RC-Glied

$$R_U(s) = \frac{U_O(s)}{I_D(s)} = \frac{R}{1 + sRC}, \tag{3.43}$$

modelliert (R bezeichnet den Belastungswiderstand und C die Modulausgangskapazität), ergibt sich für die Änderung der Modulspannungen $\Delta U_{O,a}$ bzw. $\Delta U_{O,b}$ bezogen auf die Sollwertänderung der Modulstromregler $\Delta I_a^* = \Delta I_b^* = \Delta I$ das Übertragungsverhalten

$$G_O(s) = \frac{U_{Oa,b}(s)}{I(s)} = \frac{U}{2U_O} \frac{R}{1 + sRC} \ . \tag{3.44}$$

Diese Übertragungsfunktion stimmt mit dem dynamischen Verhalten eines entkoppelten Einzelmoduls überein, wenn die Rückkopplung der Ausgangsspannungsänderung auf das Tastverhältnis vernachlässigt wird.

Nun muss noch für den zweiten Fall - die Ausregelung ungleicher Modulausgangsspannungen - ein stabiler Stellgrösseneingriff der überlagerten Regelung auf die Sollstromwerte definiert werden. Aufgrund der starken Modulverkopplung wird der Eingriff zur Balancierung der Ausgangsleistung über die Querkopplung durchgeführt. D.h. für die Erhöhung des Diodenstroms $i_{D,a}$ bzw. der Modulausgangsleistung $p_{O,a}$ und/oder für eine Reduzierung des Diodenstroms $i_{D,b}$ bzw. der Ausgangsleistung $p_{O,b}$ (um unterschiedliche Modulspannungen $U_{O,a} \neq U_{O,b}$ auszuregeln) wird der Sollstromwert des Moduls b um

$\Delta I_b^* = \Delta I^*$ angehoben. Um die Gesamtausgangsleistung weiterhin konstant halten zu können (→ Iststromänderung $\Delta I = 0$), muss nach Gl. (3.36) eine Sollstromänderung am Modul *a* mit $\Delta I_a^* = -\Delta I_b^* = -\Delta I^*$ vorgegeben werden. Aus Gl. (3.37) folgt dann für die stationäre Änderung der Ausgangsdiodenströme

$$\Delta I_{D,a} = \frac{1}{2U_O}\left(\frac{1}{2}U - K_P\, I\right)\left(-\Delta I^*\right) + \frac{1}{2U_0}\left(\frac{1}{2}U + K_P\, I\right)\Delta I^* = \frac{K_P I}{U_O}\Delta I^*$$
$$\Delta I_{D,b} = \frac{1}{2U_O}\left(\frac{1}{2}U + K_p\, I\right)\left(-\Delta I^*\right) + \frac{1}{2U_0}\left(\frac{1}{2}U - K_P\, I\right)\Delta I^* = -\frac{K_P I}{U_O}\Delta I^*. \qquad (3.45)$$

Die Streckenverstärkung der Balancierung ist somit proportional zur Stromreglerverstärkung $k_P\,(k_P = K_P/Uo)$.

Die Struktur für die überlagerte Regelung ist also als Kombination von zwei Stellgrössen-eingriffen auf die inneren Stromregler abzusetzen. **Bild 3.23** zeigt eine mögliche Implementierung. Das Regelungskonzept entspricht prinzipiell der implementierten Struktur für ein 3-Punkt *Delta-Rectifier* Modul mit dem Unterschied, dass der Symmetriereingriff dort direkt auf das Tastverhältnis wirkt. (Ein 3-Punkt Hochsetzsteller kann als Serienschaltung von zwei 2-Punkt Hochsetzstellern betrachtet werden.) R_U(s) bezeichnet den Spannungsregler für die Regelung des Mittelwertes der Ausgangsspannungen beider Module. Eine Vorsteuerung der Ausgangsleistung wird zur Stellgrösse des Spannungsreglers R_U(s) addiert. $R_{U,sym}$(s) bezeichnet den Spannungssymmetrierregler, der für eine symmetrische Aufteilung der Gesamtausgangsspannung auf die beiden Modulausgänge sorgt. Eine gleiche Aufteilung der Ausgangsspannungen kann auch durch eine ausgangseitige Regelung der bezogenen Leistung realisiert werden.

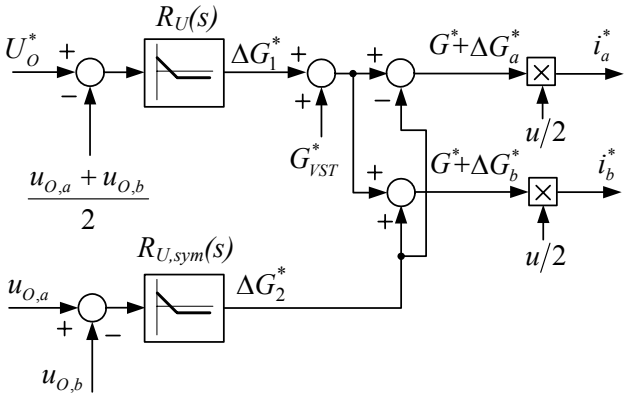


Bild 3.23: Möglichkeit zur Ausführung einer Ausgangsspannungsregelung zur Sicherstellung gleicher Modulausgangsspannungen. Zur Erhöhung der Regeldynamik kann die bezogene Ausgangsleistung über eine Vorsteuerung (Leitwert G_{VST}) vorgegeben werden.

Mit der vorgestellten Analyse kann die Modulverkopplung modelliert und darauf basierend ein geeignetes Regelkonzept ausgearbeitet werden. In einem nächsten Schritt wird die Modellierung für die Serienschaltung von zwei AC/DC-PFC-Modulen gezeigt und daran anschliessend die Modulverkopplung für die in Stern geschalteten Module eines *Y-Rectifier* berechnet.

3.5.2 Serienschaltung von zwei Einphasen PFC-Modulen

Mit Ersetzen der Gleichspannung durch eine gleichgerichtete Wechselspannung am Eingang der Serienschaltung zweier PFC-Eingangsstufen wird der Betrieb des *Y-Rectifier* bei Ausfall einer Phase erfasst. Ausgangspunkt der Modellierung ist wiederum das Modell mit modularer unterlagerter Stromregelung gemäss **Bild 3.21**, wobei nun die Eingangsspannung u und der Modulstrom i als gleichgerichtete, ideale Sinusgrössen

$$\begin{aligned} u &= \hat{U}\left|\cos(\omega t)\right| \\ i &= \hat{I}\left|\cos(\omega t)\right| \end{aligned} \tag{3.46}$$

angesetzt werden.

Die Sollstromwerte ($\tilde{i}_a^*, \tilde{i}_b^*$) der inneren Stromregler werden durch Multiplikation der Stellgrösse ($G^* + \Delta G_i^*$) der überlagerten Regelung mit den gleichgerichteten mittleren Moduleingangsspannungen ($|u_a|, |u_b|$) gebildet. Somit liegt die Kleinsignal-Änderung $\Delta x = \Delta\hat{X}\cos(\omega t)$ in Phase zum Momentanwert $x = \hat{X}\cos(\omega t)$. Zur Hervorhebung des zeitlich veränderlichen Verlaufs der Gesamtgrösse, wird diese mit einem Kleinbuchstaben $\tilde{x} = (\hat{X} + \Delta\hat{X})\cos(\omega t)$ bezeichnet. Die Sollwerte der Modulströme ergeben sich somit zu

$$\begin{aligned} \tilde{i}_a^* &= \left(G^* + \Delta G_a^*\right)\frac{\hat{U}}{2}\left|\cos(\omega t)\right| = (\hat{I}_a^* + \Delta\hat{I}_a^*)\left|\cos(\omega t)\right| \\ \tilde{i}_b^* &= \left(G^* + \Delta G_b^*\right)\frac{\hat{U}}{2}\left|\cos(\omega t)\right| = (\hat{I}_b^* + \Delta\hat{I}_b^*)\left|\cos(\omega t)\right| \end{aligned} \tag{3.47}$$

Entsprechend wird der Modulstrom mit

$$\tilde{i} = \tilde{i}_a = \tilde{i}_b = i + \Delta i = (\hat{I} + \Delta\hat{I})\left|\cos(\omega t)\right| \tag{3.48}$$

angesetzt.

In Analogie zu Gl. (3.30) gilt für den eingeschwungenen Systemzustand (stationärer Arbeitspunkt) bei gleichmässiger Lastaufteilung und einer Stromregelung mit hoher Bandbreite

$$i = i_a^* = i_b^* = \hat{I}\left|\cos(\omega t)\right|. \tag{3.49}$$

Die relativen Ausschaltzeiten ($\widetilde{d}'_a$ und $\widetilde{d}'_b$) bestimmen sich mit

$$\begin{aligned}
\widetilde{d}'_a &= 1 - \widetilde{d}_a = \frac{\hat{U}\left|\cos(\omega t)\right|}{2Uo} - k_P(\Delta\hat{I}_a^* - \Delta\hat{I})\left|\cos(\omega t)\right| \\
\widetilde{d}'_b &= 1 - \widetilde{d}_b = \underbrace{\frac{\hat{U}\left|\cos(\omega t)\right|}{2Uo}}_{d'} - \underbrace{k_P(\Delta\hat{I}_b^* - \Delta\hat{I})\left|\cos(\omega t)\right|}_{\Delta d_b} \quad .
\end{aligned} \tag{3.50}$$

Damit berechnen sich die Ausgangsdiodenströme in allgemeiner Form zu

$$\begin{aligned}
\widetilde{i}_{D,a} &= i_{D,a} + \Delta i_{D,a} = \widetilde{i} \cdot \widetilde{d}'_a = (\hat{I} + \Delta\hat{I})\left|\cos(\omega t)\right| \cdot \left[\frac{\hat{U}\left|\cos(\omega t)\right|}{2Uo} - k_P(\Delta\hat{I}_a^* - \Delta\hat{I})\left|\cos(\omega t)\right|\right] \\
\widetilde{i}_{D,b} &= i_{D,b} + \Delta i_{D,b} = \widetilde{i} \cdot \widetilde{d}'_b = (\hat{I} + \Delta\hat{I})\left|\cos(\omega t)\right| \cdot \left[\frac{\hat{U}\left|\cos(\omega t)\right|}{2Uo} - k_P(\Delta\hat{I}_b^* - \Delta\hat{I})\left|\cos(\omega t)\right|\right]
\end{aligned} \tag{3.51}$$

und für deren Abweichungen um den stationären Arbeitspunkt ergibt sich

$$\begin{aligned}
\Delta i_{D,a} &= \frac{\hat{U}\left|\cos(\omega t)\right|^2}{2Uo}\Delta\hat{I} \cdot \left|\cos(\omega t)\right|^2 - k_P\hat{I}\left(\Delta\hat{I}_a^* - \Delta\hat{I}\right)\left|\cos(\omega t)\right|^2 \\
\Delta i_{D,b} &= \frac{\hat{U}\left|\cos(\omega t)\right|^2}{2Uo}\Delta\hat{I} \cdot \left|\cos(\omega t)\right|^2 - k_P\hat{I}\left(\Delta\hat{I}_b^* - \Delta\hat{I}\right)\left|\cos(\omega t)\right|^2 .
\end{aligned} \tag{3.52}$$

Wie für die DC/DC-Betrachtung wird die Ausgangsspannungsdynamik (ΔU_O) im Vergleich zur viel höheren Stromregeldynamik vernachlässigt und Null gesetzt. Durch Annäherung des niederfrequenten Übertragungsverhaltens mittels der stationären Systemkopplungen folgt mit ($\frac{d}{dt}\Delta\hat{I} = 0$) aus

$$2L\frac{d}{dt}\widetilde{i} = u - U_O(\widetilde{d}'_a - \widetilde{d}'_b) \tag{3.53}$$

die Beziehung zwischen den Sollstromänderungen und der Iststromänderung

$$\Delta\hat{I} = \tfrac{1}{2}\Delta\hat{I}_a^* + \tfrac{1}{2}\Delta\hat{I}_b^* . \tag{3.54}$$

Gl. (3.54) eingesetzt in Gl. (3.52) führt mit $K_P = k_p U_O$ auf

$$\begin{pmatrix}\Delta i_{D,a}\\ \Delta i_{D,b}\end{pmatrix} = \begin{pmatrix}h_{aa}(\omega t) & h_{ab}(\omega t)\\ h_{ba}(\omega t) & h_{bb}(\omega t)\end{pmatrix}\cdot\begin{pmatrix}\Delta\hat{I}_a^*\\ \Delta\hat{I}_b^*\end{pmatrix} = \frac{\cos^2\omega t}{2U_0}\begin{pmatrix}\frac{1}{2}\hat{U}-K_P\hat{I} & \frac{1}{2}\hat{U}+K_P\hat{I}\\ \frac{1}{2}\hat{U}+K_P\hat{I} & \frac{1}{2}\hat{U}-K_P\hat{I}\end{pmatrix}\cdot\begin{pmatrix}\Delta\hat{I}_a^*\\ \Delta\hat{I}_b^*\end{pmatrix}. \tag{3.55}$$

Nach Mittelung der zeitabhängigen Koppelkoeffizienten h_{ii} und h_{ij} über eine Netzperiode,

$$\begin{aligned} H_{ii,AC} &= \tfrac{1}{2\pi}\int_0^{2\pi} h_{ii,AC}(\omega t)\,d(\omega t) = \tfrac{1/4}{U_0}(\tfrac{1}{2}\hat{U}-K_P\hat{I})\\ H_{ij,AC} &= \tfrac{1}{2\pi}\int_0^{2\pi} h_{ij,AC}(\omega t)\,d(\omega t) = \tfrac{1/4}{U_0}(\tfrac{1}{2}\hat{U}+K_P\hat{I}) \end{aligned}, \tag{3.56}$$

resultieren die stationären Koppelkoeffizienten für den eingeschwungenen Zustand bei symmetrischer Ausgangsbelastung

$$\begin{pmatrix}\Delta I_{D,a}\\ \Delta I_{D,b}\end{pmatrix}_{AC} = \underline{H}_{AC}\cdot\begin{pmatrix}\Delta\hat{I}_a^*\\ \Delta\hat{I}_b^*\end{pmatrix} = \frac{1}{4U_0}\begin{pmatrix}\frac{1}{2}\hat{U}-K_P\hat{I} & \frac{1}{2}\hat{U}+K_P\hat{I}\\ \frac{1}{2}\hat{U}+K_P\hat{I} & \frac{1}{2}\hat{U}-K_P\hat{I}\end{pmatrix}\cdot\begin{pmatrix}\Delta\hat{I}_a^*\\ \Delta\hat{I}_b^*\end{pmatrix}. \tag{3.57}$$

Die Mittelung der Koppelkoeffizienten über eine Netzperiode ist unter der Voraussetzung einer langsamen Ausregelung einer Spannungsasymmetrie an den Modulausgängen gerechtfertigt. Mit $\Delta I_{D,i}$ sind die über eine Netzperiode gemittelten Abweichungen der Ausgangsdiodenströme bezeichnet. Ein Vergleich mit den DC/DC-Koppelkoeffizienten (s. Gl.(3.39)) bei gleicher Ausgangsleistung ($P_{O,a}\big|_{DC} = \frac{1}{2}UI = P_{O,a}\big|_{AC} = \frac{1}{4}\hat{U}\hat{I}$) führt auf den proportionalen Zusammenhang

$$\underline{H}_{AC} = \frac{1}{\sqrt{2}}\cdot\underline{H}_{DC}. \tag{3.58}$$

Der Faktor $\frac{1}{\sqrt{2}}$ ist dadurch zu erklären, dass im AC/DC-Modell die Kleinsignalabweichung durch den Spitzenwert $\Delta\hat{X}\cos(\omega t)$ definiert wird. In Analogie zu den Abweichungen im DC/DC-Modell stehen aber die Effektivwert-Abweichungen im AC/DC-Modell ($\rightarrow \Delta X_{DC} = \Delta\hat{X}/\sqrt{2}$).

Die obige Modellbildung führt also für die beiden in Serie liegenden PFC-Module auf eine Verkopplung, die im Vergleich zu den beiden in Serie liegenden DC/DC-Konvertern nur durch eine Proportionalitätskonstante unterschiedlich ist. Daraus lässt sich schliessen, dass für den zweiphasigen Betriebsfall des *Y-Rectifier* das Regelungskonzept nach **Bild 3.23** ein stabiles Systemverhalten gewährleistet.

Mit dem Zusammenhang in Gl. (3.58) wird indirekt die Anwendbarkeit der Modellierung zur Analyse der im zweiphasigen Betrieb vorliegenden stationären Verkopplung überprüft.

3.5.3 Verkopplung der in Sternschaltung liegenden Module im dreiphasigen Betrieb

Ähnlich wie bei der Serienschaltung von zwei Modulen, wo deren Ausgangsgrössen durch den gemeinsamen Modulstrom *i* verkoppelt sind, liegt für die dreiphasige Sternschaltung der PFC-Eingangsstufen eine Verkopplung der Ausgangsgrössen durch die Summenbedingung der Stromaugenblickswerte in einem Dreileiternetz

$$\sum_i i_i = i_R + i_S + i_T = 0 \tag{3.59}$$

vor. Dies führt dazu, dass eine Stromänderung in einem Modul $\Delta\hat{I}_i$ (infolge einer Änderung der Sollgrösse $\Delta\hat{I}_i^* = \Delta G_R^* \cdot u_R$ des unterlagerten Stromreglers $R_{I,i}$) eine Änderung der Ausgangsdiodenströme $\Delta\hat{I}_{D,i}$ aller drei Module bewirkt. Der isolierte Sternpunkt N_S erzwingt eine Stromänderung auch in den beiden anderen Phasen

$$\Delta i_R = -(\Delta i_S + \Delta i_T), \tag{3.60}$$

wodurch eine Änderung aller Ausgangsdiodenströme resultiert. In Analogie zur Serienschaltung von 2 Modulen können die stationären Modulverkopplungen durch das in **Bild 3.24(c)** angeführte Strukturbild dargestellt werden. In den Teilbildern **(a)** und **(b)** ist das Systemmodell für die nachfolgende Berechnung der Koppelkoeffizienten dargestellt. Die Vorgabe des Tastverhältnisses $\tilde{d}_i$ eines jeden Moduls erfolgt wiederum über einen unterlagerten Mittelwertstromregler mit Vorsteuerung des Tastverhältnisses ($d_i = 1 - \frac{u_i}{U_O}$).

Ausgangspunkt der Analyse ist der stationäre Systemzustand mit gleich grossen Modulausgangsspannungen $U_{O,R} = U_{O,S} = U_{O,T}$ und einer ohmsch-symmetrischen Ausgangslastverteilung auf die drei Module ($P_{O,i}$ ist proportional zu $3 \cdot U_{N,i}^2 / \Sigma U_{N,i}^2$ → $G_i = G_R = G_S = G_T$ und $N = N_S$ für netzfrequente Vorgänge). Die Modulspannungen sind als rein cosinusförmige Spannungen mit einer Phasenverschiebung von 120° zueinander definiert

$$\begin{aligned} u_R &= \hat{U}_R \cos(\omega t - \varphi_R) = \hat{U}_R \cos \omega t \\ u_S &= \hat{U}_S \cos(\omega t - \varphi_S) = \hat{U}_S \cos(\omega t - \tfrac{2\pi}{3}) \\ u_T &= \hat{U}_T \cos(\omega t - \varphi_T) = \hat{U}_T \cos(\omega t - \tfrac{4\pi}{3}) \end{aligned} \quad . \tag{3.61}$$

Die Eingangsströme sind auf die DC-Seite bezogen und liegen in Phase zur Spannung

$$
\begin{aligned}
i_R &= \hat{I}_R \left|\cos(\omega t)\right| \\
u_S &= \hat{I}_S \left|\cos(\omega t - \tfrac{2\pi}{3})\right| \\
u_T &= \hat{I}_T \left|\cos(\omega t - \tfrac{4\pi}{3})\right|
\end{aligned}
\qquad (3.62)
$$

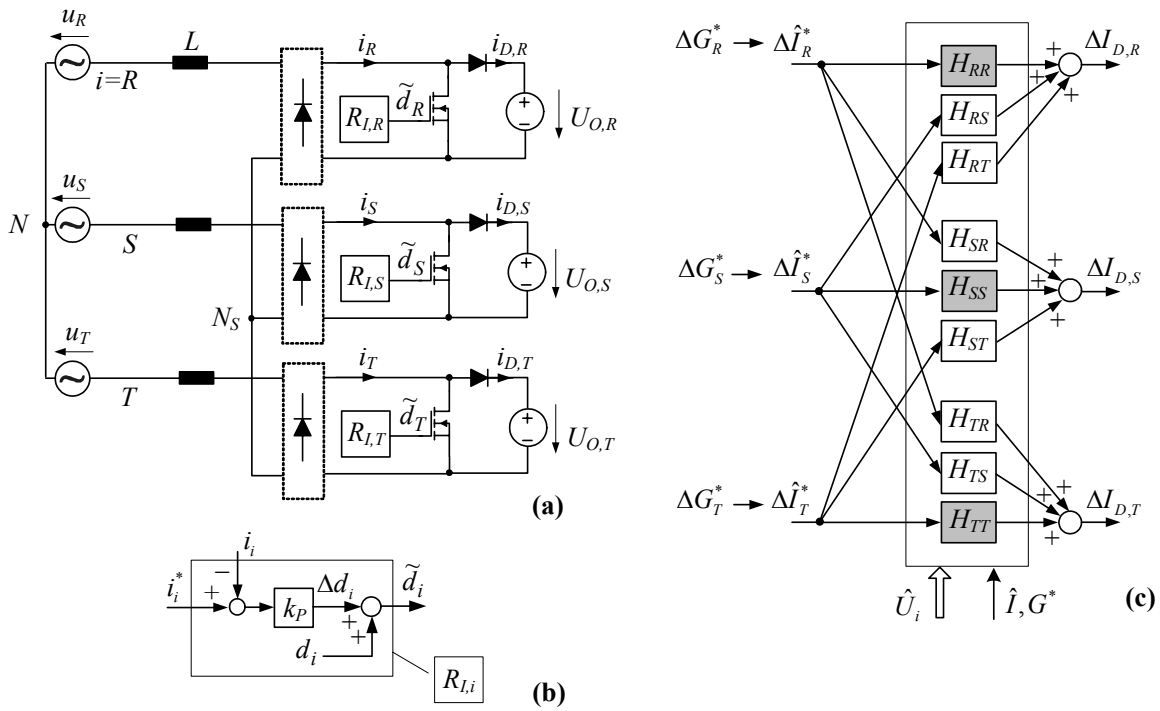


Bild 3.24: Darstellung der Modulverkopplung des *Y-Rectifier*. **(a)** Ersatzschaltbild für die in Sternschaltung liegenden PFC-Eingangsstufen. Das Tastverhältnis $\tilde{d}_i$ eines jeden Moduls wird über einen Stromregler **(b)** vorgegeben. Die wirksame stationäre Verkopplung der Module ist durch das Strukturbild in **(c)** dargestellt. Bei symmetrischen Netzverhältnissen gilt für die Querkopplungen $H_{ij}=H_{ji}$ ($i, j = R, S, T$). Die Koppelkoeffizienten geben die Wirkung einer Sollstromänderung $\Delta\hat{I}_i^*$ auf die über eine Netzperiode gemittelten Abweichungen $\Delta\hat{I}_{D,i}$ der Ausgangsdiodenströme im stationären Arbeitspunkt ($N=N_S$ hinsichtlich netzfrequenter Vorgänge) an. Der stationäre Arbeitspunkt ist gekennzeichnet durch $G_R=G_S=G_T$, also durch eine ohmsch-symmetrische Lastaufteilung.

Die Soll- und Istwerte der Phasenströme mit einer Kleinsignalabweichung $\Delta\hat{I}_i^*$ bzw. $\Delta\hat{I}_i$ werden mit

$$
\begin{aligned}
\tilde{i}_R &= (\hat{I}_R + \Delta\hat{I}_R)\left|\cos(\omega t)\right| & \tilde{i}_R^* &= (\hat{I}_R^* + \Delta\hat{I}_R^*)\left|\cos(\omega t)\right| \\
\tilde{i}_S &= (\hat{I}_S + \Delta\hat{I}_S)\left|\cos\left(\omega t - \tfrac{2\pi}{3}\right)\right| & \tilde{i}_S^* &= (\hat{I}_S^* + \Delta\hat{I}_S^*)\left|\cos\left(\omega t - \tfrac{2\pi}{3}\right)\right| \\
\tilde{i}_T &= (\hat{I}_T + \Delta\hat{I}_T)\left|\cos\left(\omega t - \tfrac{4\pi}{3}\right)\right| & \tilde{i}_T^* &= (\hat{I}_T^* + \Delta\hat{I}_T^*)\left|\cos\left(\omega t - \tfrac{4\pi}{3}\right)\right|
\end{aligned}
\qquad (3.63)
$$

definiert, wobei unter der Annahme einer idealen Stromregelung stationär $\hat{I}_i^* = \hat{I}_i$ (für $i=R, S, T$) gilt.

Die Phasenströme müssen auf der AC-Seite die Stromsummenbedingung

$$\mathrm{sgn}(u_R)\tilde{i}_R + \mathrm{sgn}(u_S)\tilde{i}_S + \mathrm{sgn}(u_T)\tilde{i}_T = 0 \tag{3.64}$$

erfüllen. Die relativen Ausschaltzeiten der Leistungsschalter in den einzelnen Modulen berechnen sich mit

$$\begin{aligned}
\tilde{d}'_R &= \tfrac{1}{U_O}\left[|u_R| - K_P\left(\tilde{i}_R^* - \tilde{i}_R\right)\right] = \tfrac{1}{U_O}\left[\hat{U}_R - K_P\left(\Delta\hat{I}_R^* - \Delta\hat{I}_R\right)\right]|\cos(\omega t)| \\
\tilde{d}'_S &= \tfrac{1}{U_O}\left[|u_S| - K_P\left(\tilde{i}_S^* - \tilde{i}_S\right)\right] = \tfrac{1}{U_O}\left[\hat{U}_S - K_P(\Delta\hat{I}_S^* - \Delta\hat{I}_S)\right]\left|\cos\left(\omega t - \tfrac{2\pi}{3}\right)\right| \\
\tilde{d}'_T &= \tfrac{1}{U_O}\left[|u_T| - K_P\left(\tilde{i}_T^* - \tilde{i}_T\right)\right] = \tfrac{1}{U_O}\left[\hat{U}_T - K_P(\Delta\hat{I}_T^* - \Delta\hat{I}_T)\right]\left|\cos\left(\omega t - \tfrac{4\pi}{3}\right)\right|
\end{aligned} \tag{3.65}$$

Mit der Einschränkung auf das quasi-stationäre Systemverhalten (di_i/dt, $di_j/dt \rightarrow 0$; mit $i, j = R, S; S, T$ und T, R) folgen aus den 3 Systemmaschengleichungen

$$u_i - u_j = \underbrace{\pm L\frac{di_i}{dt} \pm L\frac{di_j}{dt}}_{0} + U_O\left(\mathrm{sgn}(u_i)d_i + \mathrm{sgn}(u_j)d_j\right) \qquad (i, j = R, S, T), \tag{3.66}$$

die Gleichungen für die Sollvorgaben der relativen Ausschaltzeiten zu

$$\begin{aligned}
\tfrac{1}{U_O}(u_R - u_S) &= \mathrm{sgn}(u_R)\tilde{d}'_R - \mathrm{sgn}(u_S)\tilde{d}'_S \\
\tfrac{1}{U_O}(u_S - u_T) &= \mathrm{sgn}(u_S)\tilde{d}'_S - \mathrm{sgn}(u_T)\tilde{d}'_T \\
\tfrac{1}{U_O}(u_T - u_R) &= \mathrm{sgn}(u_T)\tilde{d}'_T - \mathrm{sgn}(u_R)\tilde{d}'_R
\end{aligned} \tag{3.67}$$

Für die Phasenlage $u_R > 0$ und $u_S, u_T < 0$ berechnen sich durch Einsetzen von Gl. (3.65) in Gl. (3.67) die Stromreglerabweichungen zu

$$\begin{aligned}
(\Delta\hat{I}_R^* - \Delta\hat{I}_R)|\cos\omega t| &= -(\Delta\hat{I}_S^* - \Delta\hat{I}_S)\left|\cos(\omega t - \tfrac{2\pi}{3})\right| \\
(\Delta\hat{I}_S^* - \Delta\hat{I}_S)\left|\cos(\omega t - \tfrac{2\pi}{3})\right| &= (\Delta\hat{I}_T^* - \Delta\hat{I}_T)\left|\cos(\omega t - \tfrac{4\pi}{3})\right| \\
(\Delta\hat{I}_T^* - \Delta\hat{I}_T)\left|\cos(\omega t - \tfrac{4\pi}{3})\right| &= -(\Delta\hat{I}_R^* - \Delta\hat{I}_R)|\cos(\omega t)|
\end{aligned} \tag{3.68}$$

Das Einsetzen der Stromsummenbedingungen

$$+\Delta\hat{I}_R\cos(\omega t) - \Delta\hat{I}_S\left|\cos(\omega t - \tfrac{2\pi}{3})\right| - \Delta\hat{I}_T\left|\cos(\omega t - \tfrac{4\pi}{3})\right| = 0 \tag{3.69}$$

in Gl. (3.68) führt auf

$$\begin{aligned}
\Delta\hat{I}_R\left|\cos\omega t\right| &= +\tfrac{2}{3}\Delta\hat{I}_R^*\left|\cos\omega t\right| + \tfrac{1}{3}\Delta\hat{I}_S^*\left|\cos(\omega t-\tfrac{2\pi}{3})\right| + \tfrac{1}{3}\Delta\hat{I}_T^*\left|\cos(\omega t-\tfrac{4\pi}{3})\right| \\
\Delta\hat{I}_S\left|\cos(\omega t-\tfrac{2\pi}{3})\right| &= +\tfrac{1}{3}\Delta\hat{I}_R^*\left|\cos\omega t\right| + \tfrac{2}{3}\Delta\hat{I}_S^*\left|\cos(\omega t-\tfrac{2\pi}{3})\right| - \tfrac{1}{3}\Delta\hat{I}_T^*\left|\cos(\omega t-\tfrac{4\pi}{3})\right| . \\
\Delta\hat{I}_T\left|\cos(\omega t-\tfrac{4\pi}{3})\right| &= +\tfrac{1}{3}\Delta\hat{I}_R^*\left|\cos\omega t\right| - \tfrac{1}{3}\Delta\hat{I}_S^*\left|\cos(\omega t-\tfrac{2\pi}{3})\right| + \tfrac{2}{3}\Delta\hat{I}_T^*\left|\cos(\omega t-\tfrac{4\pi}{3})\right|
\end{aligned} \tag{3.70}$$

In Analogie zur Serienschaltung (s. Gl.(3.51) und (3.52)) werden die Kleinsignalabweichungen $\Delta i_{D,i}$ der Modulausgangsströme $\widetilde{i}_{D,i} = i_{D,i} + \Delta i_{D,i}$ mit

$$\begin{aligned}
\Delta i_{D,R} &= d'_R\Delta i_R + \Delta d_R i_R = \frac{\hat{U}_R}{U_0}\Delta\hat{I}_R\left|\cos\omega t\right|^2 - \frac{K_P(\Delta\hat{I}_R^*-\Delta\hat{I}_R)}{U_0}\hat{I}_R\left|\cos\omega t\right|^2 \\
\Delta i_{D,S} &= d'_S\Delta i_S + \Delta d_S i_S = -\frac{\hat{U}_S}{U_0}\Delta\hat{I}_S\left|\cos(\omega t-\tfrac{2\pi}{3})\right| - \frac{K_P(\Delta\hat{I}_S^*-\Delta\hat{I}_S)}{U_0}\hat{I}_S\left|\cos(\omega t-\tfrac{2\pi}{3})\right|^2 \\
\Delta i_{D,T} &= d'_T\Delta i_T + \Delta d_T i_T = -\frac{\hat{U}_S}{U_0}\Delta\hat{I}_T\left|\cos(\omega t-\tfrac{4\pi}{3})\right| - \frac{K_P(\Delta\hat{I}_T^*-\Delta\hat{I}_T)}{U_0}\hat{I}_T\left|\cos(\omega t-\tfrac{4\pi}{3})\right|^2
\end{aligned} \tag{3.71}$$

berechnet. Gl. (3.70) in Gl. (3.71) eingesetzt, führt auf die gesuchten Koppelkoeffizienten für den Phasenabschnitt $u_R > 0$ und $u_S, u_T < 0$. In Matrizendarstellung ergibt sich also

$$\begin{pmatrix}\Delta i_{D,R}\\ \Delta i_{D,S}\\ \Delta i_{D,T}\end{pmatrix} = \begin{pmatrix}h_{RR}(\omega t) & h_{RS}(\omega t) & h_{RT}(\omega t)\\ h_{SR}(\omega t) & h_{SS}(\omega t) & h_{ST}(\omega t)\\ h_{TR}(\omega t) & h_{TS}(\omega t) & h_{TT}(\omega t)\end{pmatrix}\cdot\begin{pmatrix}\Delta\hat{I}_R^*\\ \Delta\hat{I}_S^*\\ \Delta\hat{I}_T^*\end{pmatrix}, \tag{3.72}$$

wobei z.B. $h_{RR}(\omega t) = \frac{1}{3U_O}(2\hat{U}_R - K_P\hat{I}_R)\cos^2(\omega t)$ und $h_{RS}(\omega t) = -\frac{1}{3U_O}(\hat{U}_R + K_P\hat{I}_R)\cos(\omega t)\cos(\omega t-\frac{2\pi}{3})$ betragen. Dieselbe Vorgehensweise zur Ermittlung der Koppelkoeffizienten für den nächsten 60°-Phasenabschnitt ($u_R, u_S > 0$ und $u_T < 0$) führt auf idente Ausdrücke der Matrixelemente. Daraus ist zu erkennen, dass die in Gl. (3.72) angegebenen zeitabhängigen Koppelkoeffizienten mit

$$\begin{aligned}
h_{ii}(\omega t) &= +\frac{1}{3U_0}(2\hat{U}_i - K_P\hat{I}_i)\cos^2(\omega t-\varphi_i) \\
h_{ij}(\omega t) &= -\frac{1}{3U_0}(\hat{U}_i + K_P\hat{I}_i)\cos(\omega t-\varphi_i)\cos(\omega t-\varphi_j)
\end{aligned} \tag{3.73}$$

über die gesamte Netzperiode gültig sind. Durch Mittelung der zeitabhängigen Koppelkoeffizienten über eine Netzperiode bestimmen sich die stationären Koppelglieder laut **Bild 3.24(c)** für eine ohmsch-symmetrische Belastung zu

$$\begin{aligned}
H_{ii} &= \tfrac{1}{2\pi}\int_0^{2\pi} h_{ii}(\omega t)\ d(\omega t) = \tfrac{1}{3U_0}(\hat{U}_i - \tfrac{1}{2}K_P\hat{I}_i) \\
H_{ij} &= \tfrac{1}{2\pi}\int_0^{2\pi} h_{ij}(\omega t)\ d(\omega t) = \tfrac{1}{12U_0}(\hat{U}_i + K_P\hat{I}_i)
\end{aligned} \quad \text{(mit } i, j = R, S, T\text{).} \tag{3.74}$$

Zusammenfassend kann also die stationäre Modulverkopplung für $G_R = G_S = G_T$ ohne Einschränkung hinsichtlich der Gleichheit der Netzspannungsamplituden in der Matrixdarstellung

$$\begin{pmatrix} \Delta I_{D,R} \\ \Delta I_{D,S} \\ \Delta I_{D,T} \end{pmatrix} = \underline{H} \cdot \begin{pmatrix} \Delta \hat{I}_R^* \\ \Delta \hat{I}_S^* \\ \Delta \hat{I}_T^* \end{pmatrix} = \begin{pmatrix} H_{RR} & H_{RS} & H_{RT} \\ H_{SR} & H_{SS} & H_{ST} \\ H_{TR} & H_{TS} & H_{TT} \end{pmatrix} \cdot \begin{pmatrix} \Delta \hat{I}_R^* \\ \Delta \hat{I}_S^* \\ \Delta \hat{I}_T^* \end{pmatrix} \tag{3.75}$$

angeschrieben werden. **Bild 3.25** stellt die Verkopplung grafisch dar und zeigt die gute Übereinstimmung der Berechnungsergebnisse mit jenen einer numerischen Simulation mit konstanten Ausgangsspannungen. Die Abweichungen sind damit zu erklären, dass durch die begrenzte Bandbreite des Stromregelkreises ($f_D \approx 4{,}5$kHz bei K_P=15,2VA^{-1}) die Stromabweichung Δi nicht exakt einen sinusförmigen Verlauf in Phase zur Eingangsspannung aufweist. Die wirksamen Längs- und Querkopplungen im System sind wiederum abhängig vom Arbeitspunkt ($\hat{U}_i, \hat{I}_i$) und der Stromreglerverstärkung K_P.

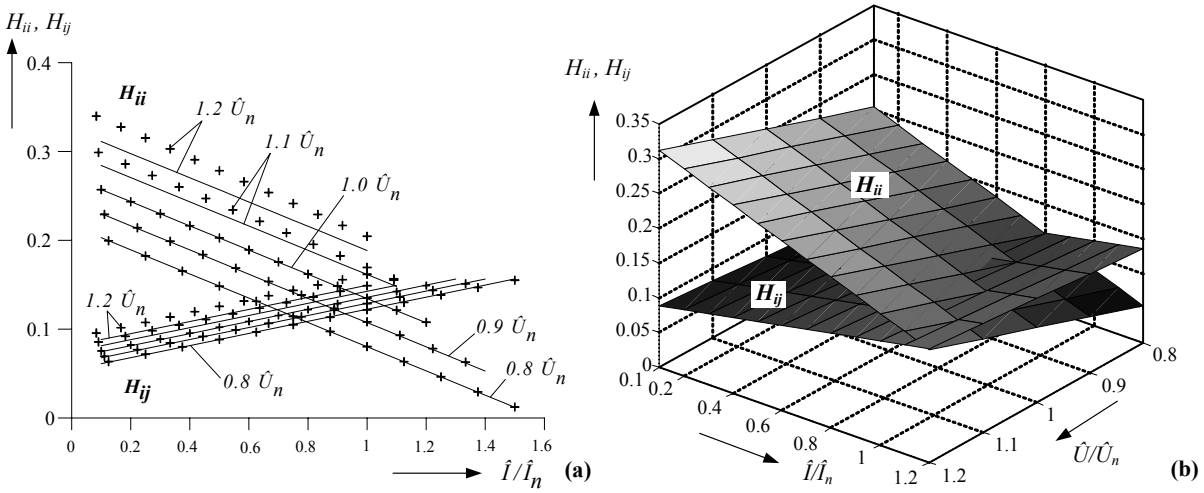


Bild 3.25: Darstellung der stationären Verkopplung der Module anhand der Koppelkoeffizienten H_{ii} und H_{ij} für eine ohmsch-symmetrische Belastung ($N = N_S$ für netzfrequente Vorgänge) und symmetrische Netzspannungsverhältnisse (→ H_{ij}=H_{ji}). In **(a)** sind die analytischen Ergebnisse nach Gl.(3.74) den Ergebnissen einer numerischen Simulation (Datenpunkte +) gegenübergestellt; **(b)** zeigt die analytischen Ergebnisse in 3D-Darstellung. Die Grössen sind auf $\hat{U}_N$=325V und $\hat{I}_N$=21.5A ($P_{M,n}$=$2 \cdot 3500$ W/$\hat{U}_N$) normiert. Die Stromreglerverstärkung beträgt K_P=15,2VA^{-1} (→k_P=0,038).

Ein Regelungsansatz über die Entkopplung der Systemmodule ist mit folgenden Einschränkungen verbunden:

- die Berechnung einer Entkopplungsmatrix $\underline{M}=\underline{H}^{1}$ führt nur für symmetrische Eingangsspannungsverhältnisse auf einen einfachen analytischen Ausdruck (s. Gl. (3.76)). Für unsymmetrische Netzverhältnisse führen die Ergebnisse in Hinblick auf die Implementierung in einem DSP auf zu rechenintensive Ausdrücke.
- In den Arbeitspunkten mit gleich grosser Längs- und Querkopplung ($H_{ii}=H_{ij}$) kann aufgrund der Singularität der Systemmatrix $\underline{H}$ keine Entkopplungsmatrix $\underline{M}$ berechnet werden. (det($\underline{H}$) = 0 bzw. der Nenner ($\hat{U} - K_P\hat{I}$) in Gl. (3.76) ergibt 0).
- die stationäre Systemmatrix $\underline{H}$ basiert auf vereinfachten Annahmen (symmetrische Ausgangslastverteilung, Vernachlässigung der Ausgangskreisdynamik, gleich grosse Ausgangsspannungen), womit eine ausreichende Systementkopplung nur für langsame Ausregelung kleiner Störungen um den symmetrischen Sollarbeitspunkt erreicht werden kann.

Die Entkopplungsmatrix berechnet sich als Inverse der Systemmatrix $\underline{H}$ und ergibt für ein symmetrisches Netz ($\hat{U} = \hat{U}_i, \hat{I} = \hat{I}_i$)

$$\underline{M}_{SYM} = \underline{H}^{-1} == \frac{2U_0/(3\hat{U})}{(\hat{U} - K_P\hat{I})}\begin{pmatrix} 5\hat{U} - k_I\hat{I} & -(\hat{U} + k_I\hat{I}) & -(\hat{U} + k_I\hat{I}) \\ -(\hat{U} + k_I\hat{I}) & 5\hat{U} - k_I\hat{I} & -(\hat{U} + k_I\hat{I}) \\ -(\hat{U} + k_I\hat{I}) & -(\hat{U} + k_I\hat{I}) & 5\hat{U} - k_I\hat{I} \end{pmatrix}. \qquad (3.76)$$

In [Gre04] ist gezeigt, dass eine stabile Regelung des *Y-Rectifier* bei symmetrischen Netzspannungsverhältnissen unter Anwendung der Entkopplungsmatrix $\underline{M}_{SYM}$ möglich und eine gute Unterdrückung der Querkopplung erreichbar ist. Die Verstärkung k_P der Stromregler ist dabei so zu gewählen, dass eine Singularität vermieden wird. Die überlagerten Spannungsregler sind wegen einer noch verbleibenden Rest-Querkopplung ohne Integral-Anteil ausgeführt, wodurch eine kleine Regelabweichung der Ausgangsspannungen vom Sollwert in Kauf zunehmen ist. Eine robuste Regelung auf Basis der stationären Systementkopplung ist für stark unsymmetrische Netzverhältnisse nicht möglich.

Wie bereits für den DC/DC-Fall vorgestellt, liegt der entscheidende Vorteil der Kenntnis der stationären Verkopplung der Module darin, die überlagerte Regelung mit dem Konzept von zwei Stellgrösseneingriffen auf die unterlagerten Modulstromregler auslegen zu können. Die überlagerte Regelung (Ausgangsspannungsregelung und Leistungsregelung) muss für die Aufgaben

- Ausregelung einer Gesamtlaständerung ($G_i \rightarrow G_i+\Delta G$) und

- Ausbalancierung ungleicher Ausgangsspannungen
  $(U_{O,R} \neq U_{O,S} \neq U_{O,T} \rightarrow U_{O,R} = U_{O,S} = U_{O,T})$

ausgelegt werden.

Tritt ein positiver Gesamtlastsprung $\Delta P = 3\Delta P_{M,i}$ auf, müssen die Sollwerte der unterlagerten Modulstromregler $\Delta\hat{I}_R^*$, $\Delta\hat{I}_S^*$, $\Delta\hat{I}_T^*$ angehoben werden. Erfolgt die Erhöhung über eine gleiche Anhebung aller Modulleitwerte $\Delta G_i = \Delta G$, $\Delta\hat{I}_i^* \cos(\omega t - \varphi_i) = \Delta G_i \cdot \hat{U}_i \cos(\omega t - \varphi_i)$, erfüllen die korrigierten Stromsollwerte automatisch die Stromsummenbedingung. Bei symmetrischen Netzspannungen ergibt sich mit Gl. (3.75) und Gl. (3.74) eine gleichmässige Anhebung $\Delta I_{D,i}$ der Ausgangsdiodenströme $i_{D,i}$ um

$$\frac{\Delta I_{D,i}}{\Delta\hat{I}_i^*} = \frac{1}{3U_O}(\hat{U}_i - \tfrac{1}{2}K_P\,\hat{I}_i) + \frac{2}{12U_O}(\hat{U}_i + K_P\,\hat{I}_i) = \frac{\hat{U}_i}{2U_O}. \tag{3.77}$$

Das Ergebnis kann einfach über die Leistungsbilanz $\frac{\hat{U}_i \Delta\hat{I}_i^*}{2} = U_O \Delta I_{D,i}$ überprüft werden. Die Ausregelung einer Laständerung erfolgt bei symmetrischen Netzspannungen mit derselben Dynamik wie die Ausregelung einer Laständerung an einem Einphasenmodul, wenn die gleichen Reglerparameter für den Gesamtspannungsregler und den Ausgangsspannungsregler des Einphasenmoduls verwendet werden.

Für die Ausregelung ungleicher Ausgangsspannungen infolge einer asymmetrischen Aufteilung der Modulausgangsleistungen ist ein zusätzlicher stabiler Stellgrösseneingriff der überlagerten Regelung zu definieren. Es sei angenommen, dass bei symmetrischen Netzspannungsverhältnissen die Gesamtleistung P folgendermassen auf die einzelnen Module aufgeteilt ist

$$\begin{aligned} \widetilde{P}_{M,R} &= P_M - 2\Delta P_M \\ \widetilde{P}_{M,S} &= P_M + \Delta P_M \\ \widetilde{P}_{M,T} &= P_M + \Delta P_M \\ P &= 3P_M \end{aligned} \quad . \tag{3.78}$$

Um eine Gleichverteilung der Ausgangsleistung zu erreichen, muss eine Erhöhung des Modulstroms i_R und eine Absenkung der Modulströme i_S und i_T vorgegeben werden. Dafür werden die Sollwertänderungen der Eingangsleitwerte proportional zur Abweichungen ΔP_M vorgegeben.

Aus **Bild 3.25** ist zu entnehmen, dass die Längskopplung nicht im gesamten Betriebskennfeld grösser als die Querkopplung ist. Zunächst sei angenommen, der Arbeitspunkt liege im Bereich, wo die Längskopplung grösser ist als die Querkopplung ($H_{ii} > H_{ij}$).

Fall 1: $H_{ii} > H_{ij}$

Die überlagerten Balancierregler korrigieren die Sollstromspitzenwerte zur Ausregelung der asymmetrischen Belastung in Gl. (3.78) mit $\Delta\hat{I}_R^* = 2\Delta G^* \cdot \hat{U}_R$, $\Delta\hat{I}_S^* = -\Delta G^* \cdot \hat{U}_S$ und $\Delta\hat{I}_T^* = -\Delta G^* \cdot \hat{U}_T$.

Bezogen auf diese Sollstromänderungen (abgekürzt mit $\Delta\hat{I}_i^*$) bestimmen sich aus Gl. (3.74) und (3.75) die folgenden stationären Änderungen der Ausgangsdiodenströme

$$\begin{aligned}
\frac{\Delta I_{D,R}}{\Delta\hat{I}_i^*} &= \frac{1}{6U_O}(\hat{U}_i - K_P\,\hat{I}_i) \\
\frac{\Delta I_{D,S}}{\Delta\hat{I}_i^*} &= -\frac{1}{12U_O}(\hat{U}_i - K_P\,\hat{I}_i) \quad . \\
\frac{\Delta I_{D,T}}{\Delta\hat{I}_i^*} &= -\frac{1}{12U_O}(\hat{U}_i - K_P\,\hat{I}_i)
\end{aligned} \tag{3.79}$$

Solange

$$\hat{U}_i > K_P\,\hat{I}_i \tag{3.80}$$

erfüllt ist, werden die Diodenströme $I_{D,i}$ bzw. die Ausgangsleistungen $P_{M,i}$ mit der gewünschten Auslenkung korrigiert. Die Bedingung $\hat{U}_i > K_P\,\hat{I}_i$ ist gleich bedeutend mit $H_{ii} > H_{ij}$. Wird durch eine angepasste Wahl der Stromverstärkung im gesamten Arbeitsbereich eine grössere stationäre Längskopplung als Querkopplung sichergestellt, kann durch eine positive / negative Sollstromänderung die zugehörige Modulausgangsleistung angehoben / abgesenkt werden.

Fall 2: $H_{ii} < H_{ij}$

In den Arbeitspunkten mit überwiegender Querkopplung müsste der Eingriff für die Gleichverteilung der Ausgangsleistung mit inversen Sollstromänderungen erfolgen.

Um eine Vorzeichenänderung des Stellgrösseneingriffs auf die unterlagerten Stromregler in Abhängigkeit des Arbeitspunktes zu vermeiden, muss im gesamten Arbeitsbereich entweder die Verstärkung der Quer- oder der Längspfade dominant positiv sein. Wie aus Gl. (3.79) zu entnehmen, kann mit Vergrösserung der Stromreglerverstärkung K_P die Querkopplung

angehoben und die Längskopplung reduziert werden. Die Obergrenze der Stromreglerverstärkung ist durch das Verhältnis zwischen Bandbreite f_D des Stromregelkreises und der Schaltfrequenz f_P ($f_D < 1/10\ f_P$) limitiert. Dadurch ist eine dominante Querkopplung für den gesamten Arbeitsbereich nicht erreichbar.

Es bleibt also einzig die Möglichkeit, durch Absenken der Stromreglerverstärkung ($k_p=K_P/U_O$) eine dominante Längskopplung im gesamten Arbeitsbereich einzustellen. Aus Gl. (3.80) folgt gemeinsam mit **Bild 3.25** die Bedingung für die maximal zulässige Stromreglerverstärkung

$$K_P < \frac{\hat{U}_{i,\min}}{\hat{I}_{i,\max}} \ . \tag{3.81}$$

Bild 3.26 zeigt die stationäre Verstärkung der Längs- und Querkopplung für den Arbeitsbereich bei minimaler Netzspannung ($\hat{U}_{i,min}$) mit der ursprünglichen Stromreglerverstärkung K_P=15.2VA^{-1} ($f_D \cong 4.5\,\mathrm{kHz}$) und für die nach Gl. (3.81) angepasste Verstärkung K_P=7VA^{-1} ($f_D \cong 2.1\,\mathrm{kHz}$).

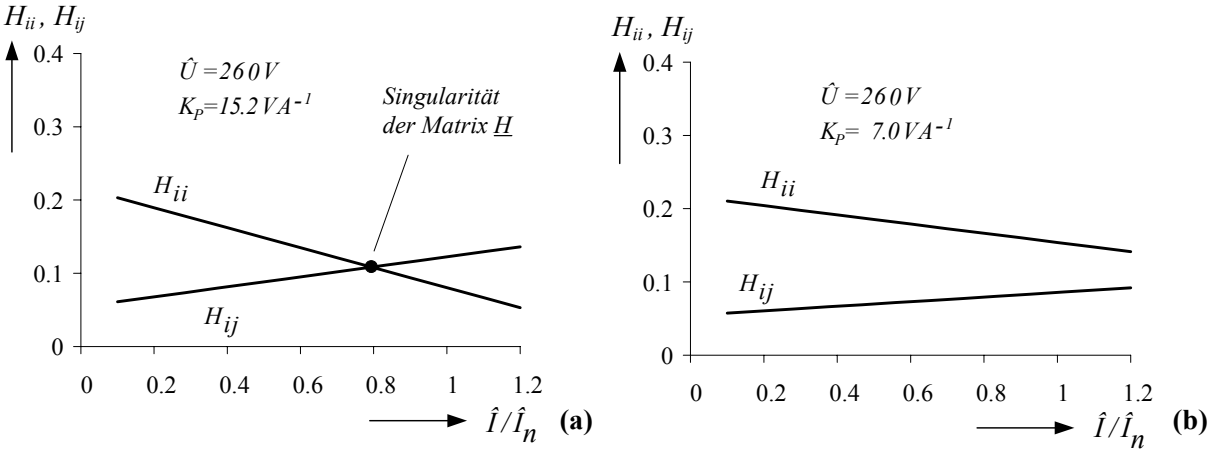


Bild 3.26: Stationäre Koppelkoeffizienten bei symmetrischen Netzspannungen am unteren Ende des Eingangsspannungsbereiches $\hat{U}_i=\hat{U}_{min,\,i}$= 0,8.$\hat{U}_{N,\,i}$= 260V für die ursprüngliche Stromreglerverstärkung K_P= 15.2VA^{-1} und die angepasste Stromreglerverstärkung K_P=7.0VA^{-1}. Die Singularitätsstelle in der Systemmatrix $\underline{H}$ wird durch die Anpassung eliminiert.

Die Kombination der beiden Stellgrösseneingriffe auf die innere Stromregelung führt auf das Blockschaltbild in **Bild 3.27**. Die Auslegung der Stromreglerverstärkung K_P unter Berücksichtigung von Gl. (3.81) garantiert im gesamten Arbeitsbereich $H_{ii} > H_{ij}$. Über G^*_{VST} erfolgt der Eingriff der Lastvorsteuerung. Der PI-Spannungsregler R_U(s) sorgt für die Regelung des Mittelwertes der Modulspannungen auf den Sollwert U_O^* der Ausgangs-

spannung. Die Balancierregler $R_{U,sym}(s)$ sorgen für die Ausregelung von Asymmetrien der Modulausgangsspannungen.

Diese auf die Eingangsseite bezogene Regelung der Modulausgangsspannungen wird in [Gre03b] angewendet. Die sehr hoch gewählte Stromreglerverstärkung in [Gre03b] führte auf eine dominante Querkopplung in den betrachteten Arbeitspunkten, wodurch die Eingriffe der Balancierregler ($\Delta G^*_{R,sym}, \Delta G^*_{S,sym}, \Delta G^*_{T,sym}$) mit invertiertem Vorzeichen angesetzt wurden (siehe auch Erklärungen zum Fall 2: $H_{ii} < H_{ij}$). Mit den hinzu gewonnenen Erkenntnissen muss aber für die Gewährleistung einer Störausregelung im gesamten Betriebsbereich die Stromreglerverstärkung unter Berücksichtigung von Gl. (3.81) gewählt und die Regelabweichung für die Balancierregler nach **Bild 3.27** gebildet werden.

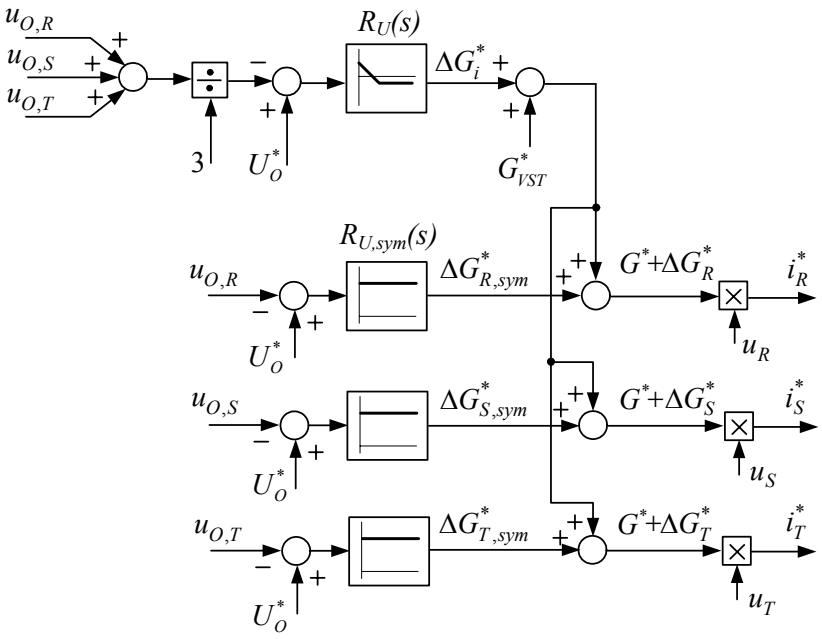


Bild 3.27: Regelungskonzept für die eingangsseitige Regelung der Modulausgangsspannungen (=Zwischenkreisspannungen) $u_{O,i}$ auf den Sollwert U_O^* bei Auslegung der inneren Stromregler auf eine dominante Längskopplung $H_{ii}>H_{ij}$.

3.6 Das implementierte Regelungskonzept

In diesem Kapitel werden die beiden implementierten Regelstrukturen für den Betrieb des *Y-Rectifier* am (un-)symmetrischen Dreiphasennetz dargestellt. Die erste Variante basiert auf einer ausgangsseitig orientierten Symmetrierung der über die Eingangsströme verkoppelten Modulzwischenkreisspannungen $U_{OY,i}$. Hierbei werden die Zwischenkreisspannungen durch eine entsprechende Verteilung der lastseitigen Leistungsaufnahme in Abhängigkeit der Regelabweichung der einzelnen Zwischenkreisspannungen vom Sollspannungswert U^*_{OY} stabilisiert. Die zweite Variante basiert auf einem eingangsseitigen Korrektureingriff auf die Sollwerte der Phasenströme. Sind die Regelabweichungen der Zwischenkreisspannungen vom Sollspannungswert U^*_{OY} auf Null zurückgeführt, stimmt für reine Sinusmodulation das über eine Schaltperiode gemittelte Potenzial des Systemsternpunkts N_S mit dem des Netzsternpunkts N überein und der stabile Systemzustand mit einem ohmsch-symmetrischen Netzeingangsverhalten ist erreicht.

Beim Ausfall einer Phase wird das Regelkonzept an die geänderte Verkopplung der dann in Serie liegenden Module (s. Bild 3.22) angepasst. Die zwei verbleibenden aktiven Module werden wie eine 3-Punkt-Hochsetzstellerstufe geregelt. Die Balancierung der Zwischenkreisspannungen erfolgt ausgangsseitig über die Regelung der Leistungsaufteilung. Die Erkennung eines Phasenausfalls bzw. die Rückkehr einer unterbrochenen Phase, sowie der Wechsel im Regelkonzept wird in Abschnitt 3.8.1 behandelt. Im Anschluss an dieses Kapitel wird die Reglerauslegung und –implementierung dargestellt. Die Anforderungen an das kaskadierte Regelungskonzept sind analog zum *Delta-Rectifier* und können wie folgt zusammengefasst werden:

- Die Sollwerte der Phasenströme sind entsprechend einer symmetrisch-ohmschen Belastung der Netzphasenspannungen vorzugeben.
- Die Zwischenkreisspannungen $u_{OY,i}$ sollen abgesehen von einer 100Hz Spannungsschwankung aufgrund der Leistungspulsation stationär genau auf einen konstanten Wert U^*_{OY} eingestellt werden.
- Die Ausgangsspannung u_{out} des Gesamtsystems soll ohne verbleibende Regelabweichung auf den Sollwert U^*_{out} eingestellt werden.
- Das System soll durch Störungen von der Netz- und Lastseite möglichst wenig beeinflusst und insbesondere eine Schwankung der Ausgangsspannung vermeiden.

- Die Stellgrössen der Regelung sollen hinsichtlich einer Systemüberlastung begrenzt werden können.
- Der Betrieb des Systems ist auch bei starker Netzasymmetrie und / oder bei Phasenausfall sicherzustellen.

3.6.1 Regelungsstruktur mit ausgangsseitiger Balancierung der Zwischenkreisspannungen im dreiphasigen Betrieb

Bild 3.28 zeigt die Struktur der kaskadierten Regelung für den Betrieb des *Y-Rectifier* am Dreiphasennetz mit ausgangsseitiger Balancierung der Zwischenkreisspannungen anhand von Modul *R*. Der Referenzwert $i^*_{DC,ges}$ des Gesamtausgangsstromes wird durch den Ausgangsspannungsregler $R_{Uout}(s)$ vorgegeben. Zusätzlich wird - für die Anhebung der Regeldynamik im Falle eines Lastwechsels - eine aus der Stromänderung im Ausgangskondensator ermittelte Grösse Δi_{Cout} zum integralen Anteil (INT_R_{Uout}) der Stellgrösse $i^*_{DC,ges}$ hinzu addiert. Spricht die dynamische Laststromvorsteuerung in einem Taktzyklus an, wird diese für t_{VST_off} = 20ms gesperrt (s. **Bild 3.29**; die Sperrdauer t_{VST_off} ist nur zu Testzwecken so gross gewählt und kann auf wenige 100µs reduziert werden). Mit der Sperrung der dynamischen Lastvorsteuerung ist sichergestellt, dass nachfolgende Störimpulse ausgeblendet werden und nur eine einmalige Korrektur von $i^*_{DC,ges}$ durchgeführt wird. Eine Optimierung dieser Vorsteuerung durch Integration der Stromänderung im Ausgangskondensator ist Gegenstand einer weiterführenden Untersuchung.

Die Aufteilung von $i^*_{DC,ges}$ auf die einzelnen DC/DC-Konverter erfolgt mit Rücksicht auf die vorliegenden Netzspannungsverhältnisse, sodass durch die drei Module letztlich eine ohmsch-symmetrische Belastung des Netzes resultiert. Damit wird erreicht, dass auch für unsymmetrische Netzspannungen der schaltfrequente Systemsternpunkt N_S im Mittel auf demselben Potenzial wie der Netzsternpunkt *N* liegt, kurz $N = N_S$. Unterschiedliche Einschaltverzugszeiten in den Treiberstufen, Abweichungen in den Modulwirkungsgraden und vorhandene Messfehler führen jedoch zu einer Abweichung von diesem stabilen Arbeitspunkt. Durch die immanente Modulverkopplung über die Phasenströme $i_{N,i}$ kann es zu einem Wegdriften der Modulzwischenkreisspannungen von ihrem Sollwert U^*_{OY} kommen. Daher ist eine Stabilisierung der Modulzwischenkreisspannungen, wie in Kapitel 3.5.3 ausführlich analytisch behandelt, vorzusehen.

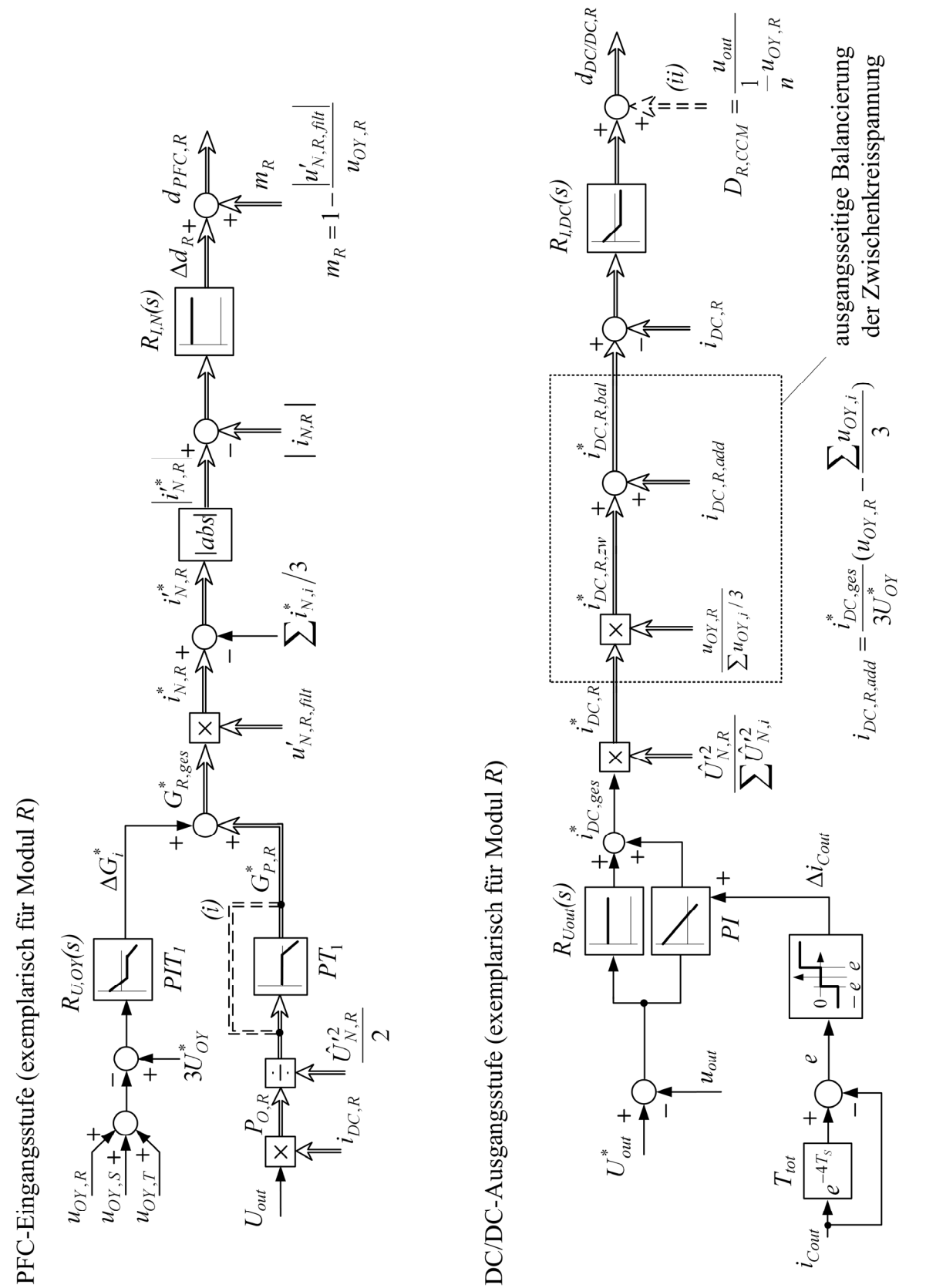


Bild 3.28: Im DSP implementierte Regelungsstruktur für einen 2-Punkt *Y-Rectifier* nach **Bild 3.17** für den Betrieb des Systems an einem (un)symmetrischen Dreiphasennetz mit ausgangsseitiger Balancierung (siehe punktiertes Rechteck) der Zwischenkreisspannungen. Die Signalpfade mit

doppelter Linienführung sind beispielhaft für das Modul *R* dargestellt und sind analog für die Module *S* und *T* gültig. Für die Erhöhung der Regeldynamik sollte bei einem Lastwechsel die Tiefpassfilterung der vorgesteuerten Ausgangsleistung **(*i*)** deaktiviert werden. Ebenso kann durch Vorsteuerung des Tastverhältnisses **(*ii*)** der DC/DC-Ausgangsstufe eine Reduzierung des Ausgangsspannungsrippels erreicht werden.

Alternativ kann, wie in [Cha93] vorgestellt, eine ausgangsseitige Stabilisierung des Systemsternpunkts N_S durch einen Stellgrösseneingriff, abgeleitet aus der mittleren Spannungsabweichung des Systemsternpunkts N_S zu einem nachgebildeten Netzsternpunkt *N'*, realisiert werden (s. Kapitel 1.3.1, Bild 1.7).

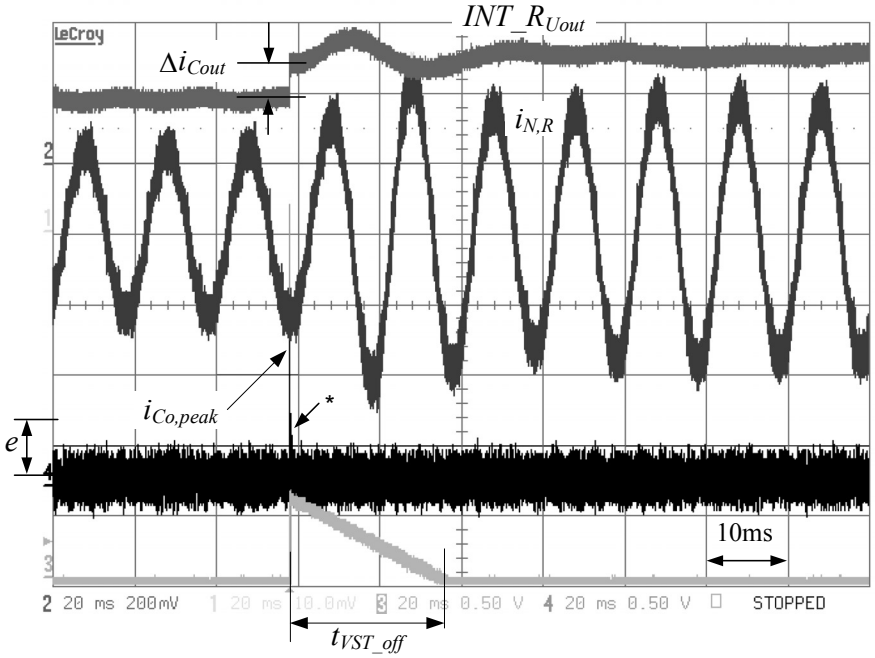


Bild 3.29: Prinzip der Vorsteuerung einer sprungförmigen Laststromänderung. Liegt eine Stromänderung im Ausgangskondensator vor, die betragsmässig grösser als die Schaltschwelle *e* ist, wird zum integralen Anteil (INT_R_{Uout}) der Stellgrösse des Ausgangsspannungsreglers der feste Wert Δi_{Cout} vorzeichenrichtig addiert. Die Sperrdauer t_{VST_off} für die Vorsteuerung der Laständerung ist mit Rücksicht auf die geforderte Dynamik und die dem Messsignal überlagerten Störungen einzustellen. (Eine Reduzierung von t_{VST_off} auf einige 100µs ist möglich).

Das strichlierte Rechteck in Bild 3.28 hebt die Funktion der ausgangsseitigen Balancierung der Zwischenkreisspannungen hervor. Die Referenzwerte der Modulströme $i_{DC,i}$ werden in Abhängigkeit der Zwischenkreisspannungen mittels des multiplikativen und additiven Terms des Balanciereingriffs korrigiert. Die **Tabelle 3.2** stellt die Wirkung des Balanciereingriffs anhand von konkreten Zahlenbeispielen dar. Der Gesamtsollwert des Ausgangsstroms bleibt unverändert. Die korrigierten Sollwerte $i^*_{DC,i,bal}$ der Modulausgangsströme werden mit den

Istwerten $i_{DC,i}$ verglichen und deren Regelabweichung einem unterlagerten Stromregler $R_{I,DC}(s)$ zugeführt. Dieser Ausgangsstromregler ist trotz des integralen Verhaltens der Stromregelstrecke als PI-Regler ausgeführt, damit im eingeschwungenen Zustand keine Regelabweichung verbleibt. Die strichliert eingezeichnete Vorsteuerung des Tastverhältnisses $D_{R,CCM}$ (n bezeichnet das Übersetzungsverhältnis des Transformators $n=N_1/N_2$) wurde in der Software nicht implementiert. In Abschnitt 3.7.3 ist ein Vergleich der derzeit vorliegenden Ausgangsstromregelung mit einer optimierten Regelung inklusive einer Vorsteuerung des Tastverhältnisses anhand den Ergebnissen einer digitalen Simulation angegeben. Durch die Vorsteuerung des Tastverhältnisses kann eine wesentliche Reduzierung des Ausgangsspannungsrippels aufgrund der 100Hz-Spannungsschwankung in den Modulzwischenkreisen erreicht werden.

Tabelle 3.2: Ausgangsseitige Balancierung der Zwischenkreisspannungen durch Korrektur der Referenzwerte der DC-Ströme $i_{DC,i}$ (s. Bild 3.28). Es resultiert eine Umverteilung der Ausgangsleistung mit dem Ergebnis, dass die Leistungsabgabe am Modul mit der grössten / kleinsten Zwischenkreisspannung angehoben / abgesenkt wird.

Symmetrische Netzspannungen

Modul	$i^*_{DC,ges}$	$\hat{U}'_{N,i}$	$i^*_{DC,i}$	$u_{OY,i}$	$\frac{3u_{OY,R}}{\sum u_{OY,i}}$	$i^*_{DC,i,zw}$	$i_{DC,i,add}$	$i^*_{DC,i,bal}$
	[A]	[V]	[A]	[V]	[-]	[A]	[A]	[A]
R	120	325	40	415	1,02	40,99	1,00	41,99
S	120	325	40	420	1,04	41,48	1,50	42,98
T	120	325	40	380	0,94	37,53	-2,50	35,03
$\sum$			120					120

Asymmetrische Netzspannungen

Modul	$i^*_{DC,ges}$	$\hat{U}'_{N,i}$	$i^*_{DC,i}$	$u_{OY,i}$	$\frac{3u_{OY,R}}{\sum u_{OY,i}}$	$i^*_{DC,i,zw}$	$i_{DC,i,add}$	$i^*_{DC,i,bal}$
	[A]	[V]	[A]	[V]	[-]	[A]	[A]	[A]
R	120	310	37,13	400	1,00	37,13	0	37,13
S	120	325	40,80	420	1,05	42,85	2,00	44,85
T	120	330	42,07	380	0,95	39,97	-2,00	37,97
$\sum$			120					119,94

Die Regelung der PFC-Eingangsmodule ist ebenso durch eine zweischleifige Regelstruktur realisiert. Die Sollwerte der Phasenströme $i^*_{N,i}$ werden durch Multiplikation der Referenzleitwerte $G^*_{i,ges}$ mit den nullgrössenfreien Phasenspannungen $u'_{N,i}$ gebildet. Der gesamte Moduleingangsleitwert $G^*_{i,ges}$ setzt sich aus der Ausgangslastvorsteuerung $G^*_{P,i}$ und der Stellgrösse ΔG^*_i des Spannungsreglers $R_{U,OY}(s)$ zusammen. Der Spannungsregler $R_{U,OY}(s)$

deckt einerseits die Systemverluste ab, andererseits unterstützt er die Ausregelung der Zwischenkreisspannungen im Falle eines Lastwechsels. Mit $G^*_{P,i}$ wird die abgegebene Modulausgangsleistung ($p_{O,i}=U_{out}\cdot i_{DC,i}$) durch Division mit dem Quadrat des Effektivwertes der Phasenspannung auf die Eingangsseite vorgesteuert. Ein Tiefpassfilter (f_K=10Hz) dämpft die vorhandene Leistungspulsation im DC-Ausgangskreis infolge einer noch nicht optimalen Regelung der DC/DC-Ausgangsstufe. Das Filter kann bei Vorsteuerung des Tastverhältnisses $D_{i,CCM}$ und Erhöhung der Bandbreite des DC/DC-Stromregelkreises (derzeit $f_D \approx$ 1.1kHz) und/oder bei einer Vergrösserung der Ausgangskapazität entfallen. Aktuell wäre die Erhöhung der Regeldynamik im Falle eines Lastwechsels durch eine Überbrückung des Tiefpassfilters die einfachste Lösung.

Eine in den Sollwerten der Phasenströme $i^*_{N,i}$ enthaltene Nullgrösse wird vor der Betragsbildung abgezogen. Die unterlagerten Stromregler für die Phasenströme sind als Mittelwertstromregler mit Vorsteuerung des Tastverhältnisses ausgeführt. Aufgrund des isolierten Systemsternpunktes N_S, d.h. infolge der Stromsummenbedingung $\Sigma i_{N,i}=0$ können nur zwei Phasenströme unabhängig vorgegeben werden. Aus diesem Grund müssen die Stromregler als reine Proportionalglieder ausgeführt werden. Die Wahl der Stromreglerverstärkung muss unter Berücksichtigung der in Gl. (3.81) angegebenen Bedingung für die Sicherstellung einer dominanten Längskopplung erfolgen.

Die Vorsteuerfunktion m_i gilt unter der Voraussetzung einer kontinuierlichen Stromführung in der Eingangsinduktivität und eines ausbalancierten Systemsternpunkts N_S. In der Inbetriebnahmephase zeigte sich, dass auch bei reduzierter Ausgangsleistung mit Lücken des Phasenstroms im Bereich des Stromnulldurchgangs die beste Stromqualität erreicht wird, wenn die Vorsteuerfunktion für den kontinuierlichen Betrieb weiterhin aktiv bleibt und zusätzlich eine Beschränkung des maximalen Tastverhältnisses von ≈85% wirksam wird. Bei leer laufendem DC/DC-Ausgang bis zu einer Ausgangsleistung von P_O=120W wird das System ohne Vorsteuerung des Tastverhältnisses betrieben.

3.6.1.1 Korrektur der abgetasteten Phasenspannungen

Um einerseits eine Anregung von Stromoberschwingungen mit der Abtastfrequenz der Phasenspannungen ($1/T_S=1/(8T_P)=1/$(160µs)) und andererseits eine Nacheilung der Sollwerte der Phasenströme zu vermeiden, werden im DSP die abgetasteten Phasenspannungen korrigiert. Die Korrektur umfasst die Interpolation von Zwischenwerten zu jedem Taktzyklus (T_P) und eine anschliessende Tiefpassfilterung. In **Bild 3.30** ist das Ergebnis der

Wertkorrektur dargestellt. Mit jedem Einlesen eines neuen Abtastwertes $u_{N,i}[kT_S]$ (alle $T_S = 8T_P$) wird eine Zwischengrösse mit dem aktuellen Abtastwert und der gemittelten Differenz zu einem $(k\text{-}3)T_S$ zurückliegenden Abtastwert

$$u_{N,i,korr}[kT_S] = u_{N,i}[kT_S] + \tfrac{1}{3}\left(u_{N,i}[kT_S] - u_{N,i}[(k-3)T_S]\right) \tag{3.82}$$

berechnet.

In den darauf folgenden $n = 1\ldots7$ Taktzyklen (nT_P) wird $u_{N,i,korr}[kT_S+nT_P]$ jeweils um $n/24\cdot(u_{N,i}[kT_S] - u_{N,i}[(k\text{-}3)T_S])$ inkrementiert. Durch ein nachfolgendes Tiefpassfilter ($f_K = 800$Hz) wird die Phasenlage der korrigierten Spannungen an die abgetasteten Phasenströme angepasst. Die so ermittelten Phasenspannungen $u_{N,i,filt}$ werden für die Bestimmung der Sollströme und für die Berechnung der Vorsteuerfunktionen m_i eingesetzt, wenn keine sprunghafte Änderung (Störung) der Phasenspannung detektiert wird. Im Falle einer Störung der Phasenspannung (s. **Bild 3.30**(c)) wird $u_{N,i}[kT_S]$ anstelle von $u_{N,i,filt}$ verwendet.

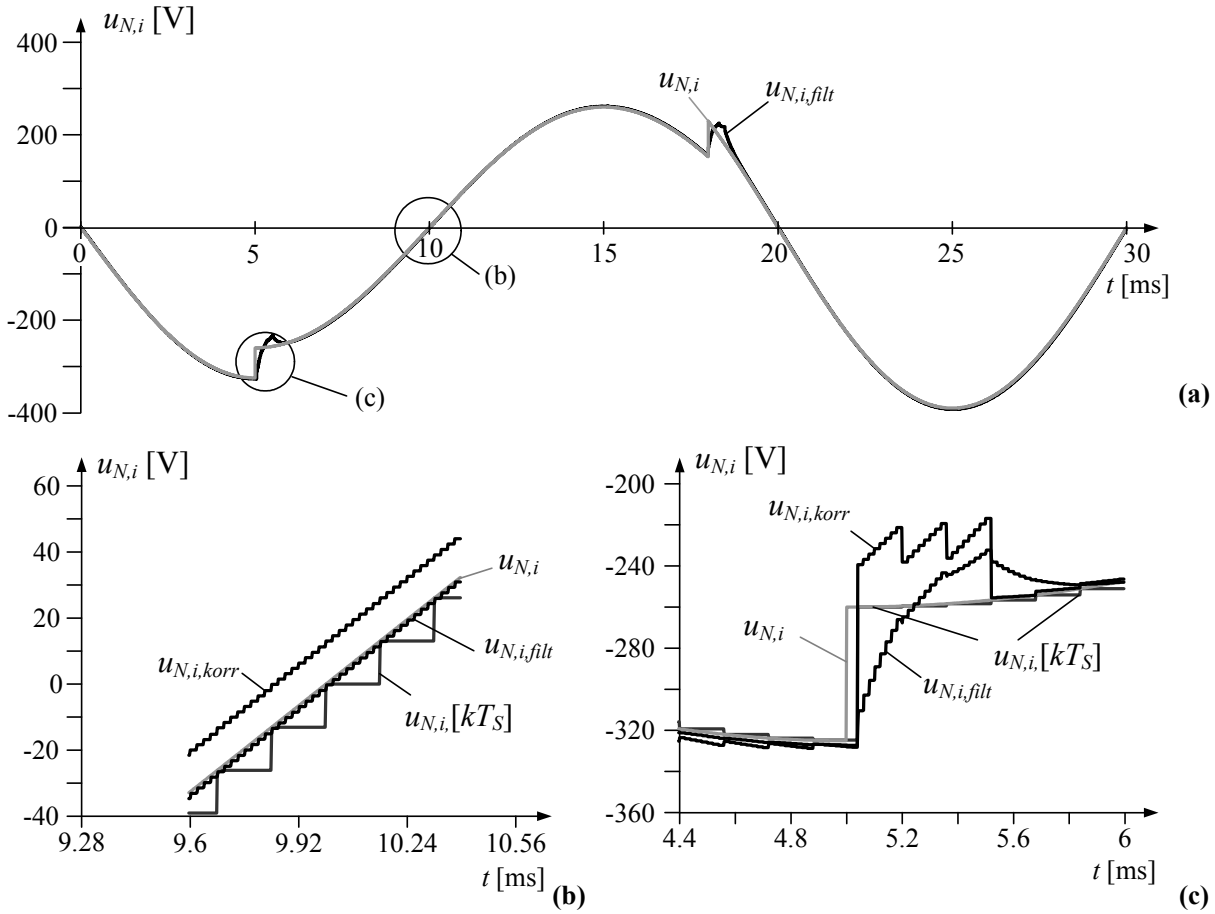
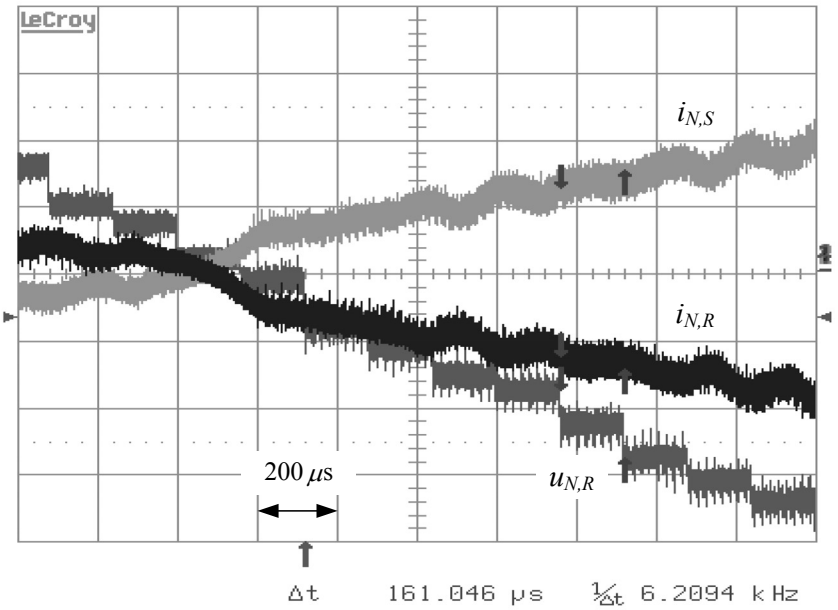


Bild 3.30: Korrektur der abgetasteten Phasenspannungen durch Interpolation von Zwischenwerten mit einer Schrittweite von T_P=20µs im Abtastintervall $T_S = 8T_P = 160$µs.

Ohne diese Korrektur treten die in **Bild 3.31** dargestellten Oberschwingungen in den Phasenströmen auf. Wird eine hohe Durchtrittsfrequenz des Stromregelkreises nahe der Abtastfrequenz der Phasenspannung $1/T_S = 6{,}25$kHz gewählt, kommt es zu ausgeprägten Schwingungen der Phasenströme.



Anregung von Stromoberschwingungen aufgrund der Quantisierung der abgetasteten Phasenspannungen $u_{N,i}[kT_S]$ mit $T_S = 8T_P$.

Zweiphasiger Betrieb an den Phasen *R* und *S*

$i_{N,R}$, $i_{N,S}$ [Tek-A6303: 2A/DIV]
$u_{N,R}$ [DSP - HW]

Bild 3.31: Phasenströme im zweiphasigen Betrieb mit ausgeprägter Stromoberschwingung aufgrund einer fehlenden Korrektur der abgetasteten Phasenspannungen. Die Abtastung erfolgt in jedem 8. Taktzyklus ($T_S = 8T_P$).

3.6.2 Regelungsstruktur mit eingangsseitiger Balancierung der Zwischenkreisspannungen im dreiphasigen Betrieb

Der in Kapitel 3.5.3 (s. Bild 3.27) abgeleitete eingangsseitige Balanciereingriff ist ebenfalls in der DSP-Software implementiert. Die gesamte Regelungsstruktur anhand von Phase *R* ist in **Bild 3.32** dargestellt. Der einzige Unterschied zur vorhin besprochenen Regelung besteht in der auf die Eingangsseite bezogenen Stabilisierung der Zwischenkreisspannungen.

Bei einer Gesamtlaständerung werden die Sollwerte der Phasenströme durch den Stellgrösseneingriff ΔG^*_i des Gesamtspannungsreglers $R_{U,OY}(s)$ und durch die Ausgangslastvorsteuerung $G^*_{P,i}$ korrigiert. Die Ausbalancierung einer Unsymmetrie in den Modulzwischenkreisspannungen, infolge einer Abweichung der Leistungsaufteilung vom Sollzustand einer ohmsch-symmetrischen Eingangsbelastung, erfolgt durch die Balancierregler $R_{U,OY,bal}(s)$. Die Bildung der Regelabweichung für den Balancierregler setzt eine im gesamten Arbeitsbereich gegenüber der Querkopplung dominante Längskopplung der

Module voraus. Die Balancierung der Zwischenkreisspannungen hat mit einer geringeren Dynamik als die Ausregelung der mittleren Zwischenkreisspannung durch den Gesamtspannungsregler $R_{U,OY}(s)$ zu erfolgen. Der Balancierregler ist in der aktuellen DSP-Software aus Gründen der Stabilität als reiner PT1-Regler implementiert. Gegenüber der ausgangsseitigen Balancierung der Zwischenkreisspannungen weist der eingangsseitige Regeleingriff folgende Nachteile auf:

- Bei stark unsymmetrischen Netzspannungsverhältnissen (Einbruch einer Phasenspannungsamplitude um mehr als 30%) bleibt eine Regelabweichung der Zwischenkreisspannungen vom Sollwert U^*_{OY} von ca. 10V-15V bestehen.
- Für die beiden Sonderfälle eines entarteten dreiphasigen Netzbetriebes
  - Unterbrechung (Ausfall) einer Netzphase mit nachfolgendem Kurzschluss dieser Anschlussleitung mit einer der beiden anderen Phasen (Kurzschluss zweier Phasen) oder,
  - Erdschluss der Anschlussleitung nach Unterbruch der zugehörigen Netzphase,

  führt der Balancierregler aufgrund der geänderten Modulverkopplung keinen stabilen Regeleingriff aus. Es kommt zu einer Systemabschaltung, da eine Zwischenkreisspannung die Abschaltschwelle $U_{OY,off}$ = 440V überschreitet.

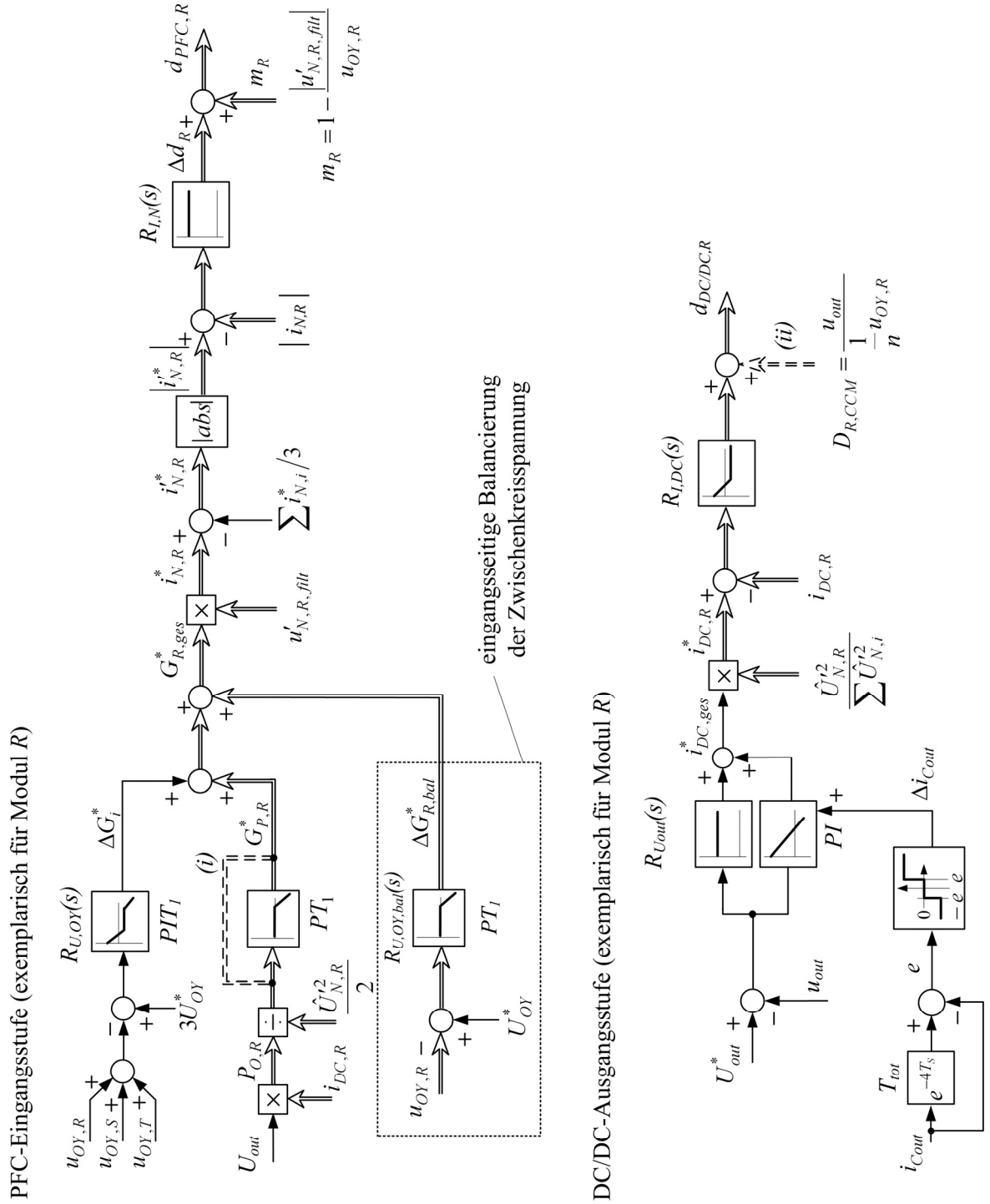


Bild 3.32: Im DSP implementierte Regelungsstruktur für einen 2-Punkt *Y-Rectifier* nach **Bild 3.17** für den Betrieb des Systems an einem (un)symmetrischen Dreiphasennetz mit eingangsseitiger Balancierung der Zwischenkreisspannungen. Die Signalpfade mit doppelter Linienführung sind beispielhaft für das Modul an der Phase *R* dargestellt und sind analog für die Module *S* und *T* gültig. Für die Erhöhung der Regeldynamik bei Laständerungen sollte die Tiefpassfilterung der vorgesteuerten Ausgangsleistung **(*i*)** deaktiviert werden. Ebenso kann durch Vorsteuerung des Tastverhältnisses **(*ii*)** der DC/DC-Ausgangsstufe der Ausgangsspannungsrippel mit zweifacher Netzfrequenz entscheidend verringert werden.

3.6.3 Regelungskonzept bei Ausfall einer Phase mit ausgangsseitiger Balancierung der Zwischenkreisspannungen

Tritt ein Unterbruch in einer Phasenzuleitung auf kann über das zugehörige Phasenmodul keine Leistung mehr an den Ausgang übertragen werden. Das **Bild 3.33** zeigt den Ausfall der Phase *T*, auf den sich die nachfolgenden Ausführungen beziehen.

Die beiden Module *R* und *S* liegen nun in Serie an der verkettete Spannung $u_{N,RS}$ und können durch die im Teilbild **(c)** gezeigte Topologie eines 3-Punkt Hochsetzstellers dargestellt werden. Die verkettete Eingangsspannung $u_{N,RS}$ teilt sich in Abhängigkeit der Zwischenkreisspannungen $U_{OY,R}$ und $U_{OY,S}$ und der Tastverhältnisse $d_{R,PFC}$ und $d_{S,PFC}$ für $i_{N,R} > 0$ entsprechend

$$u_{N,RS} = u_{N,R} - u_{N,S} = (1 - d_{R,PFC})U_{OY,R} - (1 - d_{S,PFC})U_{OY,S} \tag{3.83}$$

auf die Teilmodule auf. Die über eine Taktperiode gemittelten Teileingangsspannungen $u_{N,R}$ und $u_{N,S}$ (jeweils die gemittelte Spannungsdifferenz zwischen Eingangsklemme und Sternpunkt N_S) stimmen nur bei symmetrischer Lastaufteilung mit den gemessenen nullgrössenfreien Phasenspannungen $u'_{N,R}$ und $u'_{N,S}$ überein. Abgesehen von den Störströmen über die Messelektronik zwischen dem schaltfrequenten Systemsternpunkt N_S und dem Bezugspunkt (*Ctrl_GND*) der Steuer- und Messelektronik sind die beiden Phasenströme $i_{N,R}$ und $-i_{N,S}$ ident. Aus systemtechnischer Sicht liegt nun eine dominante Querkopplung zwischen den beiden Modulen *R* und *S* vor (s. Bild 3.22).

Die zur Anwendung kommende Regelstrategie sieht eine Anpassung der Regelstruktur an die geänderte Regelstrecke vor. Bei Erkennung eines Ausfalls der Phase *T* mittels der logischen UND-Verknüpfung der drei Abfragen

$$\begin{aligned} &\left|u_{N,T}[kT_S]\right| < u_{N,\min 1} \\ &\left|u_{N,T}[(k-3)T_S]\right| < u_{N,\min 1} \\ &\left|i_{N,T}[kT_P]\right| < i_{N,\min 1} \end{aligned} \quad . \tag{3.84}$$

($T_S = 8T_P$) wird auf die Regelungsstruktur in **Bild 3.34** übergegangen. Die Umschaltung auf die neue Regelstruktur erfolgt in einem Taktzyklus und ist in Abschnitt 3.8.1 unter Modus E beschrieben. Im Unterschied zum dreiphasigen Betrieb werden nun die beiden aktiven Module *R* und *S* eingangsseitig nicht mehr modular sondern als eine Einheit geregelt, wobei die in Serie liegenden Module versetzt getaktet und mit demselben Tastverhältnis angesteuert werden. Die Balancierung der Zwischenkreisspannungen erfolgt ausgangsseitig über die Aufteilung der Gesamtleistung in Abhängigkeit der Zwischenkreisspannungen.

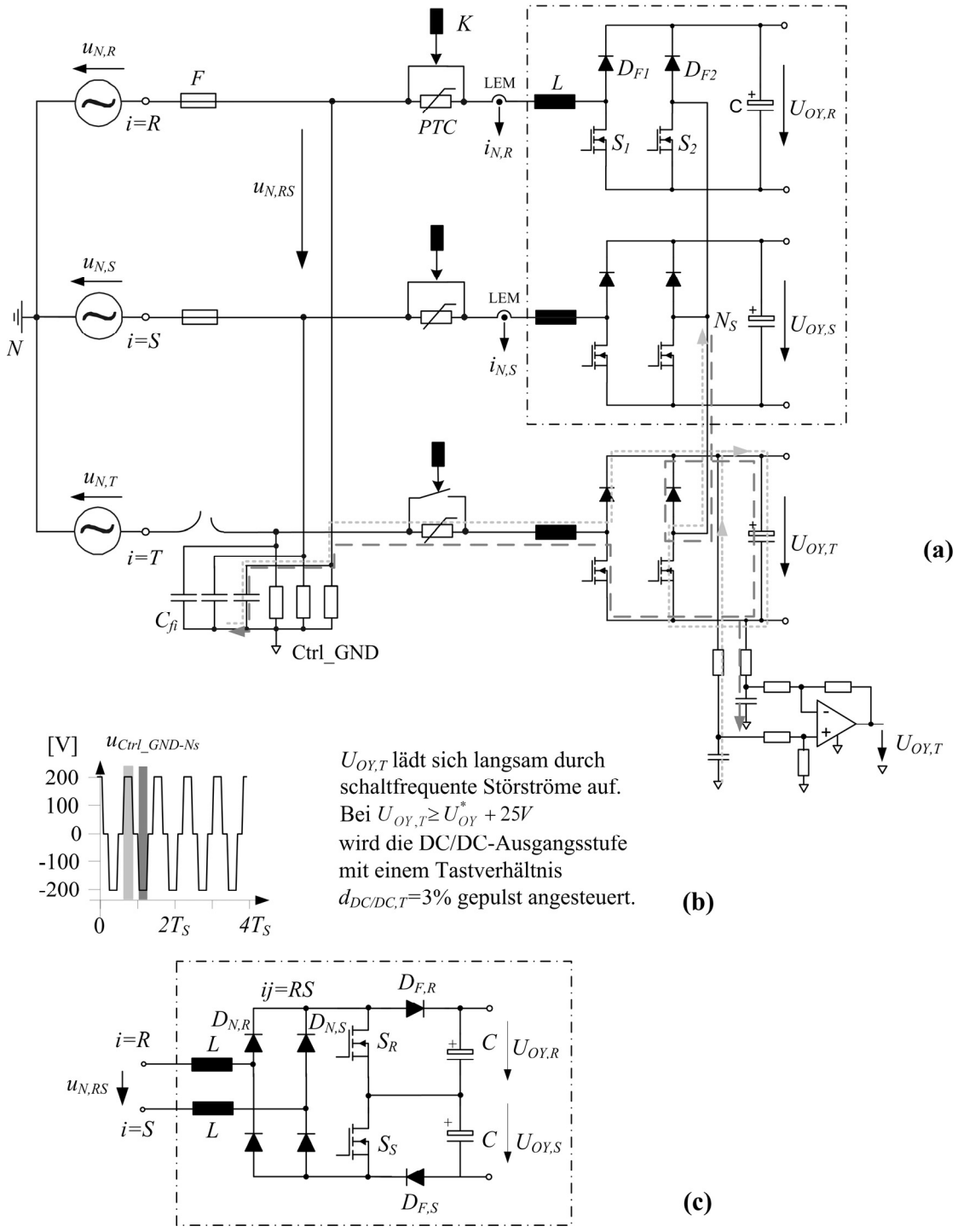


Bild 3.33: Eingangsstufe des *Y-Rectifier* bei Ausfall der Phase *T*. Die beiden Eingangsmodule *R* und *S* liegen nun in Serie an der verketteten Phasenspannung $u_{N,RS}$ die korrekt über die nullgrössenfreien Phasenspannungen mittels $u'_{N,R}$-$u'_{N,S}$ erfasst wird. Weiters sind in **(a)** die schaltfrequenten Strompfade, die zur Aufladung der Zwischenkreisspannung des inaktiven Moduls *T* führen, eingezeichnet. **(b)** zeigt die schaltfrequente Spannung zwischen dem Elektronik-Bezugspotenzial und dem Systemsternpunkt N_S im Bereich des Spitzenwertes der verketteten Spannung $u_{N,RS}$. In **(c)** ist die äquivalente Struktur der beiden in Serie liegenden Module *R* und *S* dargestellt, worauf das Regelkonzept im zweiphasigen Betrieb basiert.

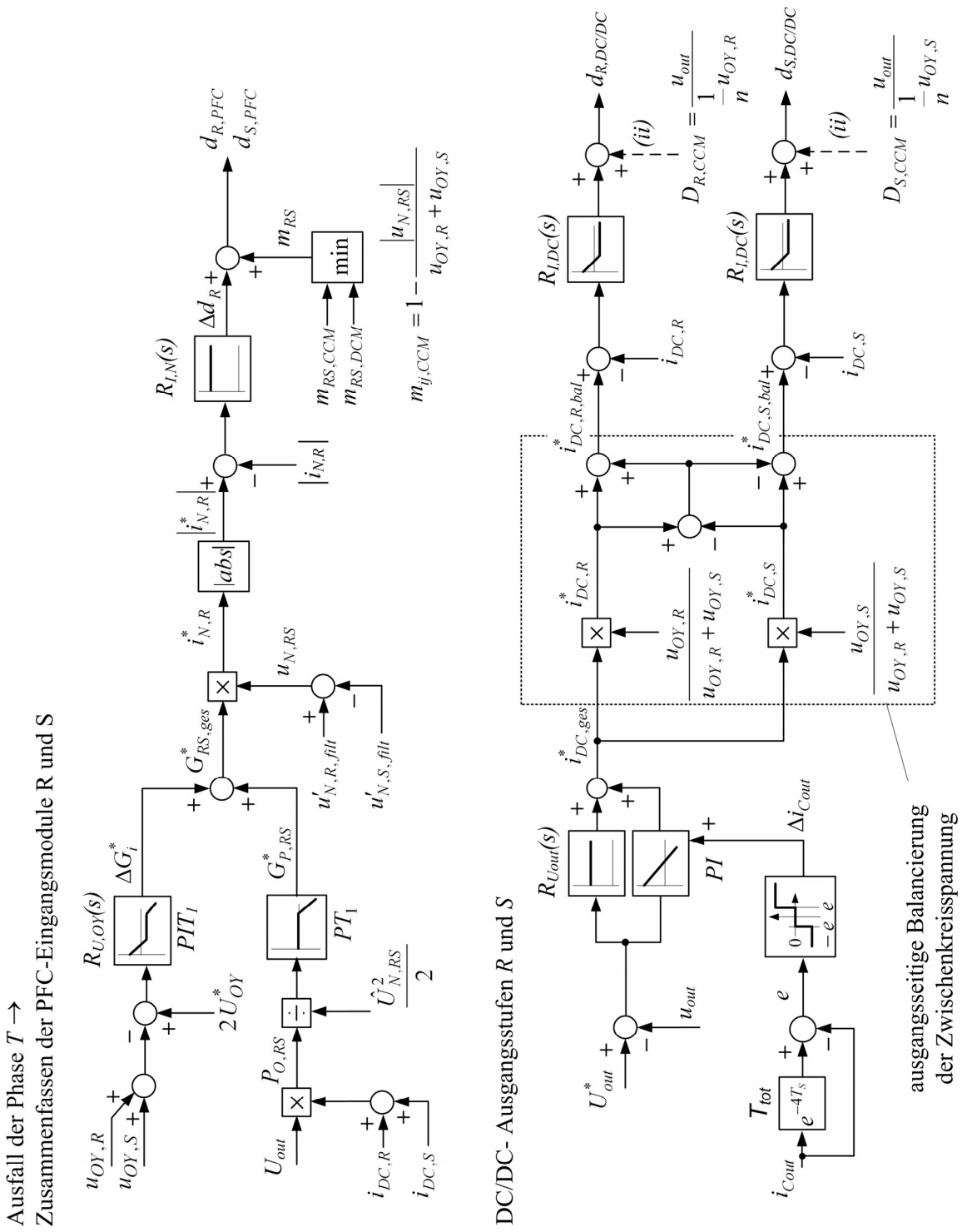


Bild 3.34: Im DSP implementierte Regelungsstruktur für den zweiphasigen Betrieb bei Unterbruch der Phase *T*. Für die Erhöhung der Regeldynamik sollte bei einem Lastwechsel die Tiefpassfilterung (*PT1*) der vorgesteuerten Ausgangsleistung deaktiviert werden. ***(ii)*** Durch Vorsteuerung des Tastverhältnisses der DC/DC-Ausgangsstufe kann der Ausgangsspannungsrippel mit zweifacher Netzfrequenz verringert werden.

Im Schwachlastbetrieb bei lückendem Strom in den Eingangsinduktivitäten wird die Vorsteuerung des Tastverhältnisses, wie für den *Delta-Rectifier* in Kapitel 2.4.2.3.2 dargestellt, korrigiert. Die Reglerparameter der Systemregler bleiben dabei unverändert.

Während der Testphase zeigte sich, dass sich der Zwischenkreis des inaktiven Moduls T langsam auf Spannungen grösser als der Sollwert hochlädt. Dies ist bedingt durch das Auftreten von schaltfrequenten Störströmen zwischen dem Bezugspotenzial der Messelektronik und dem Systemsternpunkt N_S. Steigt die Zwischenkreisspannung $u_{OY,T}$ über einen Wert von U_{OY}^*+25V an, wird der DC/DC-Konverter des Moduls T mit einem Tastverhältnis von 3% aktiviert. Durch eine gepulste Leistungsentnahme aus dem Zwischenkreis wird die Spannung $U_{OY,T}$ zwischen U_{OY}^* und U_{OY}^*+25V gehalten.

Der Übergang in den dreiphasigen Betrieb bei Rückkehr der ausgefallenen Phase wird am Ende des Abschnittes 3.8.1 unter Modus F besprochen. Die experimentellen Ergebnisse zum dreiphasigen und zweiphasigen Betrieb sind in Kapitel 3.9 angeführt.

3.7 Auslegung der Systemregler

Der *Y-Rectifier* ist ein geschaltetes leistungselektronisches System, das aus drei gleichen Modulen besteht, die miteinander über den gemeinsamen Systemsternpunkt N_S verkoppelt sind. Jedes Modul für sich besteht wiederum aus einer zweistufigen Energieumformung; die Stufen können aufgrund des Energiespeichers in Form der Zwischenkreiskapazität als weitgehend entkoppelt betrachtet werden. Zusätzlich gilt zu berücksichtigen, dass die Regelung des Systems als digitale Abtastregelung mit zeit- und wertdiskreten Abtastwerten und Stellgrössen auszulegen ist.

Für die regelungstechnische Modellierung des Systems wird wie bereits für den *Delta-Rectifier* die Methode *State-Space Averaging* angewendet [Eri01]. Wird zu Beginn eine Einschränkung für die Grösse der Stromreglerverstärkung festgelegt, sodass die Verkopplung zwischen den Modulen im gesamten Arbeitsbereich durch eine dominante Längskopplung charakterisiert ist, kann die Reglerauslegung vereinfachend auf die Betrachtung eines Einphasen-Moduls beschränkt werden. Der Maximalwert der zulässigen Stromverstärkung ist in Gl. (3.81) angegeben. Um für die digitalen Regelkreise die Berechnungsverfahren der zeitkontinuierlichen Regelungstechnik anwenden zu können, muss die Voraussetzung einer quasi-kontinuierlichen Betrachtung erfüllt sein. Diese liegt vor, wenn die Abtastzeit und die Berechnungsschrittweite der einzelnen Regelkreise klein gegenüber den dominierenden Systemzeitkonstanten sind. Aus Abschnitt 3.4.3 folgt, dass zwischen der Abtastung der

Messwerte und der Ausgabe des zugehörigen Tastverhältnisses eine Totzeit von $T_T = 2{,}5T_P$ verstreicht. Mit der Approximation der Totzeit durch ein Tiefpass 1. Ordnung

$$G_{tot} = e^{-s\,2{,}5T_P} \approx \frac{1}{1 + s\,2{,}5T_P}. \tag{3.85}$$

wird die durch die Verzögerung resultierende Phasendrehung in der Auslegung der unterlagerten Stromregler berücksichtigt.

Die Systemregler werden zunächst ohne Messwert- und PWM-Normierung ausgelegt. Die Anpassung an die resultierende Messkreisverstärkung wird erst bei der Diskretisierung der analogen Systemregler durchgeführt.

3.7.1 PFC-Eingangsstufe

Im Anschluss an die Mittelung der beiden Zustandsgleichungen für die beiden möglichen Schaltzustände bei Annahme einer kontinuierlichen Stromführung in der Induktivität kann mittels Störgrössenansatz das linearisierte Kleinsignalmodell für den Zweipunkt-Hochsetzsteller in der Zustandsraumdarstellung mit den Zustandsgrössen Modulstrom i_N und Zwischenkreisspannung u_{OY} angegeben werden.

$$\begin{bmatrix} \dot{i}_N \\ \dot{u}_{OY} \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1-D}{L} \\ \frac{1-D}{C} & -\frac{1}{RC} \end{bmatrix} \cdot \begin{bmatrix} i_N \\ u_{OY} \end{bmatrix} + \begin{bmatrix} \frac{U_{OY}}{L} & \frac{1}{L} \\ -\frac{I_N}{C} & 0 \end{bmatrix} \cdot \begin{bmatrix} d \\ u_N \end{bmatrix}, \tag{3.86}$$

Für die Auslegung des unterlagerten Stromreglers wird die Ausgangsspannungsänderung vernachlässigt, womit sich die Stromregelstrecke auf ein integrales Verhalten beschrieben durch

$$\frac{d}{dt} i_N = \frac{U_{OY}}{L} d \tag{3.87}$$

reduziert. Unter Berücksichtigung der Verzögerung des Digitalteils mit Gl. (3.85) und der Einhaltung einer maximal zulässigen Stromverstärkung

$$k_P < \frac{\hat{U}_{i,\min}}{U_{OY}\hat{I}_{\max}} = \frac{0{,}8 \cdot 325V}{400V \cdot 14\,A} = 0{,}0464\ \mathrm{A}^{-1} \tag{3.88}$$

zur Sicherstellung einer dominanten Längskopplung wird die Stromreglerverstärkung mit k_P=0.036A^{-1} ausgelegt. Damit ergibt sich für die offene Stromregelschleife

$$L_I(s) = \frac{i_N}{i_N^*} = kp \frac{U_{OY}}{s \cdot L} \cdot \frac{1}{1 + s \cdot 2{,}5T_S} \tag{3.89}$$

eine Durchtrittsfrequenz von f_D=3,2kHz. Die Bedingungen für die quasi-kontinuierliche Betrachtung ($f_D < {}^1/_{10}$ der Schaltfrequenz und $f_D < 1/(2T_P)$) sind daher erfüllt.

Wie aus Gl. (3.77) hervorgeht, kann der Gesamtspannungsregler $R_{U,OY}(s)$ wie ein Ausgangsspannungsregler eines Einzelmoduls ausgelegt werden. Für die Beschreibung der Übertragungsfunktion der gesamten Strecke eines Moduls kann in erster Näherung der Einfluss der unterlagerten Stromregelung auf den Ausgangskreis vernachlässigt werden. Die Übertragungsfunktion der gesamten Strecke kann also vereinfacht mit der Zeitkonstante $\tau = RC = \left(U_{OY}^2 / P\right) \cdot C$ des Ausgangsgliedes durch

$$G_U(s) = \frac{u_{OY}}{i_N^*} = \frac{\overline{U}_N}{U_{OY}} \frac{R}{1 + s \cdot RC} = \frac{D'R}{1 + s \cdot RC}. \tag{3.90}$$

angenähert werden. Die Multiplikation mit dem Momentanwert der normierten Phasenspannung für die Berechnung des Referenzwertes des Phasenstromes (s. Bild 3.28) wird durch eine Proportionalverstärkung mit dem Wert der mittleren normierten Eingangsspannung $\overline{U}_{N,i} \cdot k_{M,UN} = 210\,V \cdot (1/1800\,V^{-1}) = 0{,}12$ ersetzt. Für das Erreichen eines stationär genauen Mittelwertes der Zwischenkreisspannung und zur Unterdrückung von Eingangsstromverzerrungen aufgrund der 100Hz Spannungspulsation im Zwischenkreis wird der Spannungsregler als PIT1-Regler ausgeführt. Die Auslegung des Reglers mit

$$R_{U,OY}(s) = \frac{kp(1 + sT_1)}{s^2 T_1 T_2 + sT_1} \quad ; k_P = 0{,}53\text{V}^{-1};\ T_1 = 0{,}006\text{s}^{-1};\ T_2 = 0{,}008\text{s}^{-1} \tag{3.91}$$

und führt auf eine Durchtrittsfrequenz der offenen Spannungsregelschleife von $f_D \approx$6Hz. Tritt ein Lastwechsel auf, wird die Reglerdynamik oberhalb einer definierten Regelabweichung durch Anheben der Verstärkung auf etwa $f_D \approx$16Hz erhöht. In der Auslegung des Spannungsreglers ist eine Tiefpassfilterung (f_K = 700Hz) der Zwischenkreisspannungen berücksichtigt. Die Filterung unterdrückt Störungen in den Messsignalen der Zwischenkreisspannungen, die schaltfrequent gegenüber dem Bezugspotential der Messelektronik liegen.

Die Auslegung des Balancierspannungsreglers $R_{U,OY,bal}(s)$ im Falle einer eingangsseitigen Stabilisierung des Systemsternpunktes N_S basiert auf Gl(3.79). Im Nennbetriebspunkt und mit der gewählten Stromregelverstärkung $k_P = 0{,}036\text{A}^{-1}$ kann der mittlere Durchgriff einer Solleingangsstromänderung ΔI^*(s) auf die zu erhöhende Modulausgangsspannung $U_{OY,i}(s)$, d.h. das Übertragungsverhalten der Längskopplung der Balancierstrecke mit

$$G_{U,bal}(s) = \frac{u_{OY}}{\Delta i} = \frac{1}{6}\left(\frac{\overline{U}_N}{U_{OY}} - k_P \overline{I}_N\right)\frac{R}{1+s\cdot RC} = \frac{1}{29}\cdot\frac{R}{1+s\cdot RC} \tag{3.92}$$

vereinfacht angegeben werden. Für die Auslegung des Balancierreglers ist der resultierende Vorfaktor (1/29) im Vergleich zu $\overline{U}_N/U_{OY} \cong 0.52$ aus Gl(3.90) relevant. Der Balancierregler ist als PT1-Regler mit einer Knickfrequenz von $f_K = 5\text{Hz}$ ausgeführt. Die Erweiterung des Balancierreglers mit einem Integralanteil ist Gegenstand weiterführender Untersuchungen. Prinzipiell ist aber darauf zu achten, dass die Durchtrittsfrequenz der Schleifenverstärkung ($R_{UOY,bal}(s).G_{U,bal}(s)$) unterhalb der Bandbreite des offenen Gesamtspannungsregelkreises ($R_{UOY}(s).G_U(s)$) liegt. Ähnlich wie für die Regelung des Mittelpunktpotenzials einer 3-Punkt Ausgangstufe (vgl. *Delta-Rectifier*) sollte der Unterschied mehr als Faktor 2 betragen.
Die ausgelegten Reglerparameter für das in **Bild 3.32** dargestellte Regelkonzept sind hinsichtlich der Regeldynamik der Zwischenkreisspannungen konservativ gewählt, stellen aber - wie experimentelle Messungen zeigen - für den Betrieb am dreiphasigen (un)symmetrischen Netz ein stabiles Regelverhalten sicher.

3.7.2 DC/DC-Ausgangsstufe

Die Ausgangsstufen der einzelnen Module können aufgrund der dynamischen Entkopplung über die Zwischenkreiskondensatoren getrennt von den Eingangsstufen ausgelegt werden. Eine Vorsteuerung der abgeführten Ausgangsleistung auf die Eingangsseite unterstützt die Entkopplung der beiden Energiestufen.
Für die Modellierung der Regelstrecke wird der Transformator als ideale Schaltungskomponente ($L_H \to \infty, L_\sigma \to 0, n = N_1/N_2$) angenommen. Mit dem Bezug der Zwischenkreisspannung auf die Ausgangsseite kann der Zweischalter-Durchflusswandler auf das in **Bild 3.35(b)** dargestellte Ersatzschaltbild eines Tiefsetzstellers mit verlustfrei angenommenen Komponenten übergeführt werden.

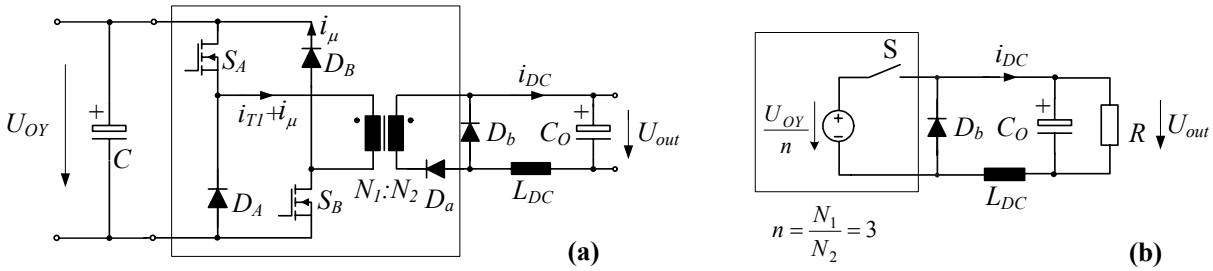


Bild 3.35: Vereinfachung der regelungstechnischen Modellbildung eines Zweischalter-Durchflusswandlers **(a)** durch Überführen in einen Tiefsetzsteller **(b)** unter Annahme eines idealen Transformators.

Durch Anwendung von *State-Space Averaging* und anschliessender Linearisierung mittels Störansatz kann das linearisierte Kleinsignalmodell für den Tiefsetzsteller in der Zustandsraumdarstellung mit den Zustandsgrössen Ausgangsstrom i_{DC} und Ausgangsspannung u_{out} abgeleitet werden,

$$\begin{bmatrix} \dot{i}_{DC} \\ \dot{u}_{out} \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L_{DC}} \\ \frac{1}{C} & -\frac{1}{RC} \end{bmatrix} \cdot \begin{bmatrix} i_{DC} \\ u_{out} \end{bmatrix} + \begin{bmatrix} \frac{D}{L_{DC}} \\ 0 \end{bmatrix} \cdot \frac{u_{OY}}{n} + \begin{bmatrix} \frac{U_{OY}}{nL_{DC}} \\ 0 \end{bmatrix} \cdot d \,. \tag{3.93}$$

Bei Vernachlässigung der Rückwirkung der überlagerten Ausgangsspannungsregelung auf die innere Stromregelstrecke hoher Bandbreite, ergibt sich für den Stromregler die Streckenübertragungsfunktion

$$G_I = \frac{i_{DC}}{d} = \frac{U_{OY}/n}{sL_{DC}}. \tag{3.94}$$

Für die Unterdrückung von Messstörungen, hervorgerufen durch eine nicht optimale Leiterbahnführung der Spannungsversorgung für die Strommesssensoren und durch Einkopplung von Störungen auf die relativ lange Messleitung vom Leistungsmodul über die Verbindungsplatine bis zum DSP-Module wurde eine analoge Tiefpassfilterung mit der Knickfrequenz f_K=10kHz vorgesehen. Zusätzlich tritt durch die digitale Signalverarbeitung eine Verzögerungszeit $T_T = 2{,}5T_P = 50\mu s$ auf, die lt. Gl. (3.85) als Tiefpass modelliert wird. Das Übertragungsverhalten der Stromregelstrecke gemeinsam mit den beiden Tiefpässen ist in **Bild 3.36** als Bodediagramm dargestellt, anhand dessen der PI-Stromregler

$$R_{I,DC} = \frac{k_P(1+sT_I)}{sT_I} \quad \text{mit } T_I = 0{,}007\text{s}^{-1} \text{ und } k_P = 0{,}0052\text{A}^{-1} \tag{3.95}$$

entworfen wurde. Die Durchtrittsfrequenz des Stromregelkreises beträgt unabhängig von der übertragenen Leistung bei kontinuierlicher Stromführung in der Ausgangsinduktivität f_D=1,1kHz.

Für die Auslegung des Ausgangsspannungsreglers R_{Uout}(s), der für eine stationäre Ausregelung der Ausgangsspannung als PI-Regler ausgeführt ist, wird der unterlagerte Stromregler in die Zustandsraumdarstellung mit einbezogen. Zur Vereinfachung wird dabei der integrale Anteil des Reglers vernachlässigt ($\rightarrow d = k_P(i^*_{DC} - i_{DC})$), da dieser entsprechend dem Bodediagramm keinen Einfluss auf die Durchtrittsfrequenz des Stromregelkreises hat.

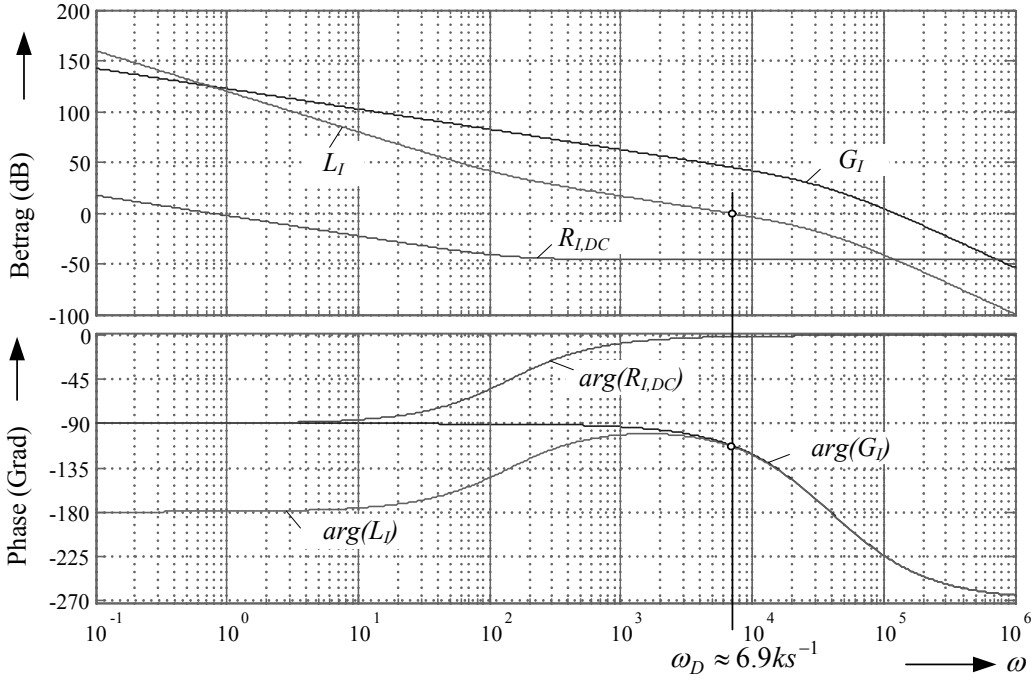


Bild 3.36: Bodediagramm der DC/DC-Ausgangsstufe mit den Übertragungsfunktionen: $G_I(s)$… innere Stromregelstrecke gemeinsam mit der Tiefpassfilterung des Messsignals und der Totzeit in der digitalen Signalverarbeitung, genähert durch Gl. (3.85); $R_{I,DC}(s)$… Stromregler; $L_I(s)$… resultierende Schleifenverstärkung $R_{I,DC}(s)\cdot G_I(s)$;

Aus Gl.(3.93) kann die Übertragungsfunktion der Gesamtausgangsstufe mit unterlagertem Stromregelkreis zu

$$\begin{bmatrix} \dot{i}_{DC} \\ \dot{u}_{out} \end{bmatrix} = \begin{bmatrix} -k_P \dfrac{U_{OY}}{nL_{DC}} & -\dfrac{1}{L_{DC}} \\ \dfrac{1}{C} & -\dfrac{1}{RC} \end{bmatrix} \cdot \begin{bmatrix} i_{DC} \\ u_{out} \end{bmatrix} + \begin{bmatrix} \dfrac{D}{L_{DC}} \\ 0 \end{bmatrix} \cdot \frac{u_{OY}}{n} + \begin{bmatrix} k_P \dfrac{U_{OY}}{nL_{DC}} \\ 0 \end{bmatrix} \cdot i^*_{DC} \cdot \tag{3.96}$$

berechnet werden. Mit Berücksichtigung der analogen Tiefpassfilterung des Messsignals der Ausgangsspannung, genähert durch ein Tiefpass 1. Ordnung mit der Knickfrequenz f_K=1kHz, und der Abtastrate der Ausgangsspannung (T_S=$8T_P$), genähert durch ein Tiefpassfilter 1. Ordnung mit $1/(1+s8T_P)$, erfolgt die Auslegung des Spannungsreglers, sodass ein Phasenrand von mindestens $\varphi_R > 60°$ eingehalten wird.

Das Bodediagramm in **Bild 3.37** zeigt die Übertragungsfunktion $G_U(s) = U_{out}(s)/I^*_{DC}(s)$ der Gesamtstrecke mit den beiden Tiefpässen im Messpfad, den ausgelegten Spannungsregler $R_{Uout}(s)$ und die resultierende Schleifenverstärkung $L_{Uout}(s)$ bei maximaler Ausgangslast. Mit Berücksichtigung der Multipliziereingriffs ($\hat{U}'^2_{N,i} / \sum \hat{U}'^2_{N,i}$) für eine ohmsch-symmetrische

Lastaufteilung durch den Wert 1/3, ergeben sich die folgenden Parameter für den Ausgangsspannungsregler

$$R_{Uout} = \frac{k_P(1+sT_I)}{sT_I} \quad \text{mit } T_I = 1{,}2\text{ms und } k_P = 1{,}17\text{AV}^{-1}. \tag{3.97}$$

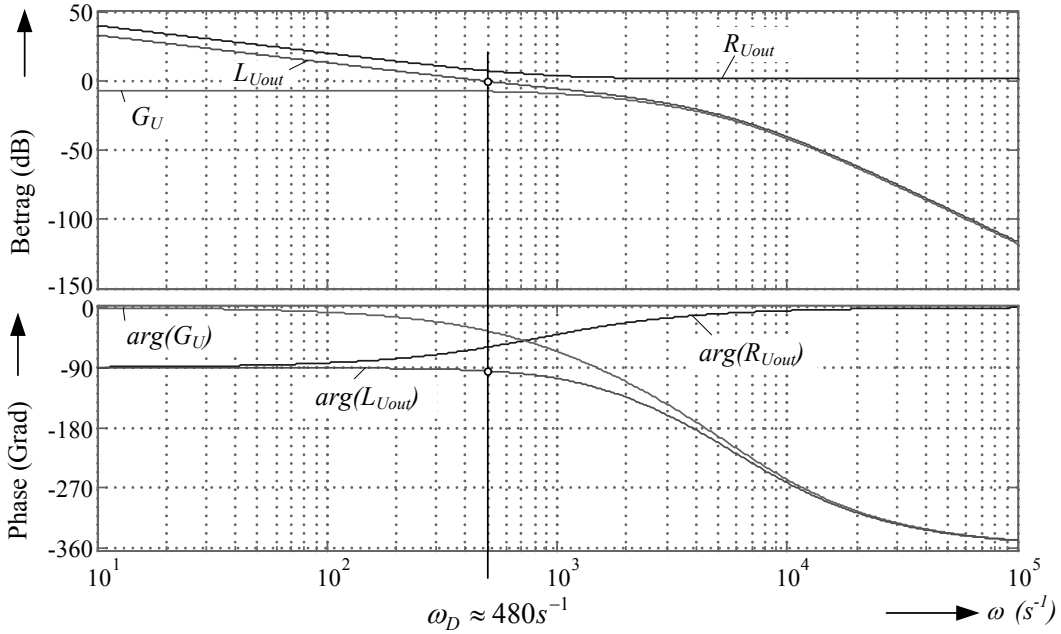


Bild 3.37: Bodediagramm der DC/DC-Ausgangsstufe mit den Übertragungsfunktionen: $G_{U,DC}(s)$… Gesamtstrecke mit unterlagertem Stromregler und den beiden Tiefpassgliedern in der Messwerterfassung; $R_{Uout}(s)$…Ausgangsspannungsregler; $L_U(s)$… resultierende Schleifenverstärkung $R_{Uout}(s) \cdot G_U(s)$; für $P_O = 1800$W.

Die im Frequenzbereich am Kleinsignalmodell der idealisierten Teilstrecken (mit verlustlosen, idealen Komponenten) ausgelegten analogen Regler müssen für die Implementierung im DSP in zeitdiskrete Regelalgorithmen umgerechnet werden. Da die Durchtrittsfrequenz f_D der einzelnen Regelkreise mit Rücksicht auf die quasi-kontinuierliche Betrachtung ausgelegt wurde, ist prinzipiell ein sehr ähnliches Verhalten der digitalen Regelung im Vergleich zur analogen Regelung zu erwarten. Zuvor müssen die in den jeweiligen Regelkreisen wirksamen Proportionalverstärkungen resultierend aus der Normierung der Messwerte und der Pulsbreitenmodulation berücksichtigt werden. Die Umrechnung auf die normierten Systemregler ist in Gl.(3.98) zusammengefasst.

$$R_{I,N,m} = \frac{R_{I,N}}{k_{M,I_N} \cdot k_{PWM}} \qquad R_{U,OY,m} = \frac{k_{M,I_N}}{k_{M,U_N}} R_{U,OY} \qquad R_{U,OY,bal,m} = \frac{k_{M,I_N}}{k_{M,U_N}} R_{U,OY,bal}$$

$$R_{I,DC,m} = \frac{R_{I,DC}}{k_{M,I_{DC}} \cdot k_{PWM}} \qquad R_{Uout,m} = \frac{k_{M,I_{DC}}}{k_{M,U_{out}}} R_{I,DC}$$

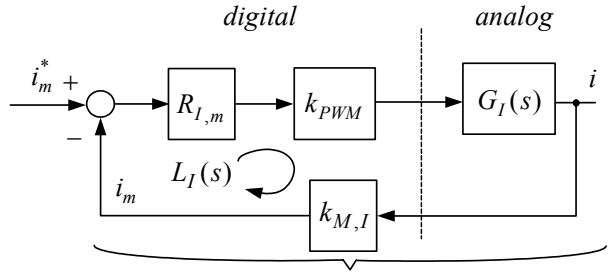
mit

$$k_{M,I_N} = \frac{1}{4 \cdot 18{,}4\text{A}} = \frac{1}{73{,}6}\text{A}^{-1} \qquad k_{M,I_{DC}} = \frac{1}{4 \cdot 50\text{A}} = \frac{1}{200}\text{A}^{-1} \tag{3.98}$$

$$k_{M,U_N} = \frac{1}{4 \cdot 450\text{V}} = \frac{1}{1800}\text{V}^{-1} \qquad k_{M,U_{out}} = \frac{1}{4 \cdot 60\text{V}} = \frac{1}{240}\text{V}^{-1}$$

$$k_{PWM} = \frac{32767}{1000} = 32{,}7$$

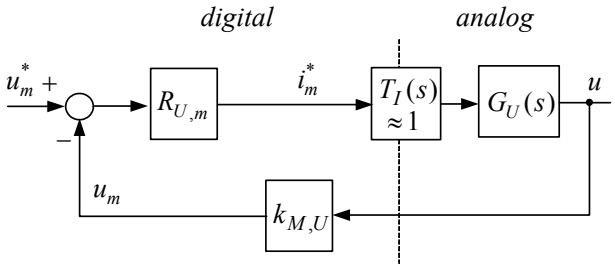
In **Bild 3.38** ist eine vereinfachte Darstellung der Regelkreise angeben, um Klarheit über die Vorfaktoren bei der Umrechnung auf die normierten Systemregler zu erlangen.



$$R_{I,m} = \frac{R_I}{k_{M,I} k_{PWM}}$$

(a)

$$T_I(s) = \frac{L_I(s)/k_{M,I}}{1 + L_I(s)}$$



$$R_{U,m} = \frac{k_{M,I}}{k_{M,U}} R_U$$

(b)

Bild 3.38: Darstellung des inneren Stromregelkreises in **(a)** und des überlagerten Spannungsregelkreises in **(b)** mit den normierten Reglern. $G_I(s)$ bezeichnet die innere Stromregelstrecke, $L_I(s)$ die Schleifenverstärkung des Stromregelkreises, $T_I(s)$ den geschlossener Stromregelkreis und $T_I(s) \cdot G_U(s)$ die Spannungsregelstrecke.

Zur Verbesserung der Regeldynamik der Zwischenkreisspannungen werden die abgeführten Modulausgangsleistungen auf der Eingangsseite vorgesteuert. Für die korrekte Vorsteuerung müssen die Ausgangsleistungen P_O mit

$$P_O' = \frac{k_{M,IN} \cdot k_{M,UN}}{k_{M,IDC} \cdot k_{M,Uout}} P_O = 0{,}362 \cdot P_O \tag{3.99}$$

auf die Eingangsseite (P_O') umgerechnet werden.

Exemplarisch für den Spannungsregler $R_{U,OY}(s)$ ist nachfolgend die Ermittlung der digitalen Reglerparameter für die Implementierung im DSP angegeben. Als erstes müssen die normierten Reglerparameter durch

$$R_{U,OY,m} = \frac{k_{M,I_N}}{k_{M,U_N}} R_{U,OY}(s) = \frac{k_{P,m} \cdot (1 + sT_1)}{s^2 T_1 T_2 + sT_1} \tag{3.100}$$

mit $k_{P,m}$=13VA^{-1}; $T_1 = 0{,}06\text{s}^{-1}$; $T_2 = 0{,}008\text{s}^{-1}$

bestimmt werden. Mit der Umformung auf

$$R_{U,OY,m} = \frac{k_{P,m}(1 + T_1 s)}{T_1 s(1 + T_2 s)} = (\underbrace{\frac{k_{P,m}}{T_1}\frac{1}{s}}_{\text{I-Anteil}} + k_{p,m}) \underbrace{\frac{1}{1 + T_2 s}}_{\text{PT1}} \tag{3.101}$$

kann über eine einfache Rechtecknäherung der digitale Regleralgorithmus einer Parallelschaltung von Proportional- und Integralanteil mit nachfolgendem Tiefpassglied angegeben werden. Der Integrator wird digital in der Form

$$y_{[kT_S]} = y_{[(k-1)T_S]} + K_{INT} e_{[kT_S]} \qquad \text{mit } K_{INT} = \frac{k_{P,m} 8T_P}{T_1} = 0{,}035 \tag{3.102}$$

mit einer Minimal- und Maximalwertbegrenzung implementiert. Die Stellgrösse $y[kT_S]$ des Spannungsreglers wird nur in jedem achten Taktzyklus ($T_S = 8T_P$) neu berechnet, daher die Multiplikation mit $8T_P$ in der Berechnung der Integrationskonstanten K_{INT}. Das Tiefpassfilter wird in der Form

$$y_{[kT_S]} = y_{[(k-1)T_S]} + \frac{8T_P}{T_2}(e_{[kT_S]} - y_{[(k-1)T_S]}) \tag{3.103}$$

implementiert. $e[kT_S]$ bezeichnet die Eingangsgrösse des Reglers.

3.7.3 Reduzierung der Ausgangsspannungsschwankung

Zur Reduzierung des Ausgangsspannungsrippels – hervorgerufen durch die auf die Sekundärseite übersetzte mit doppelter Netzfrequenz auftretende Spannungsschwankung an den Zwischenkreiskondensatoren – eignet sich am besten die Vorsteuerung des Tastverhältnisses mit

$$D_{i,CCM} = \frac{u_{out}}{\frac{1}{n}U_{OY,i}}. \tag{3.104}$$

Damit kann theoretisch der Störeingriff der pulsierenden Zwischenkreisspannung vollständig unterdrückt werden. Dies setzt aber voraus, dass die Zwischenkreisspannung ohne Phasendrehung in die Vorsteuerfunktion eingeht. Aufgrund der wirksamen analogen Tiefpassfilterung mit einer Knickfrequenz von f_K=700Hz und einer zusätzlichen Phasendrehung durch die Abtastung in jeder achten Taktperiode ist mit einer verbleibenden Ausgangsspannungsschwankung zu rechnen. **Bild 3.39** zeigt den Vergleich mit und ohne Einsatz der Vorsteuerfunktion als Ergebnis einer digitalen Simulation mit Berücksichtigung der analogen Messwertfilterung und der digitalen Reglerimplementierung. Die zusätzliche Erhöhung der Stromverstärkung bei Einsatz der Vorsteuerung hat keinen Effekt auf die Reduzierung der Ausgangsspannungsschwankung, verringert jedoch die Stromregelabweichung während des Stromanstiegs.

Für die Verbesserung der Regeldynamik bei einem Lastwechsel kann bei einem fehlenden Ausgangsstromsensor die Stromänderung im Ausgangskondensator über einen einfachen AC-Stromsensor erfasst werden, um so den Einfluss auf die Ausgangsspannungsänderung zu minimieren. In industriellen Ausführungen wird meist zur Reduzierung des Ausgangsspannungsrippels ein mehrstufiges Ausgangsfilter vorgesehen.

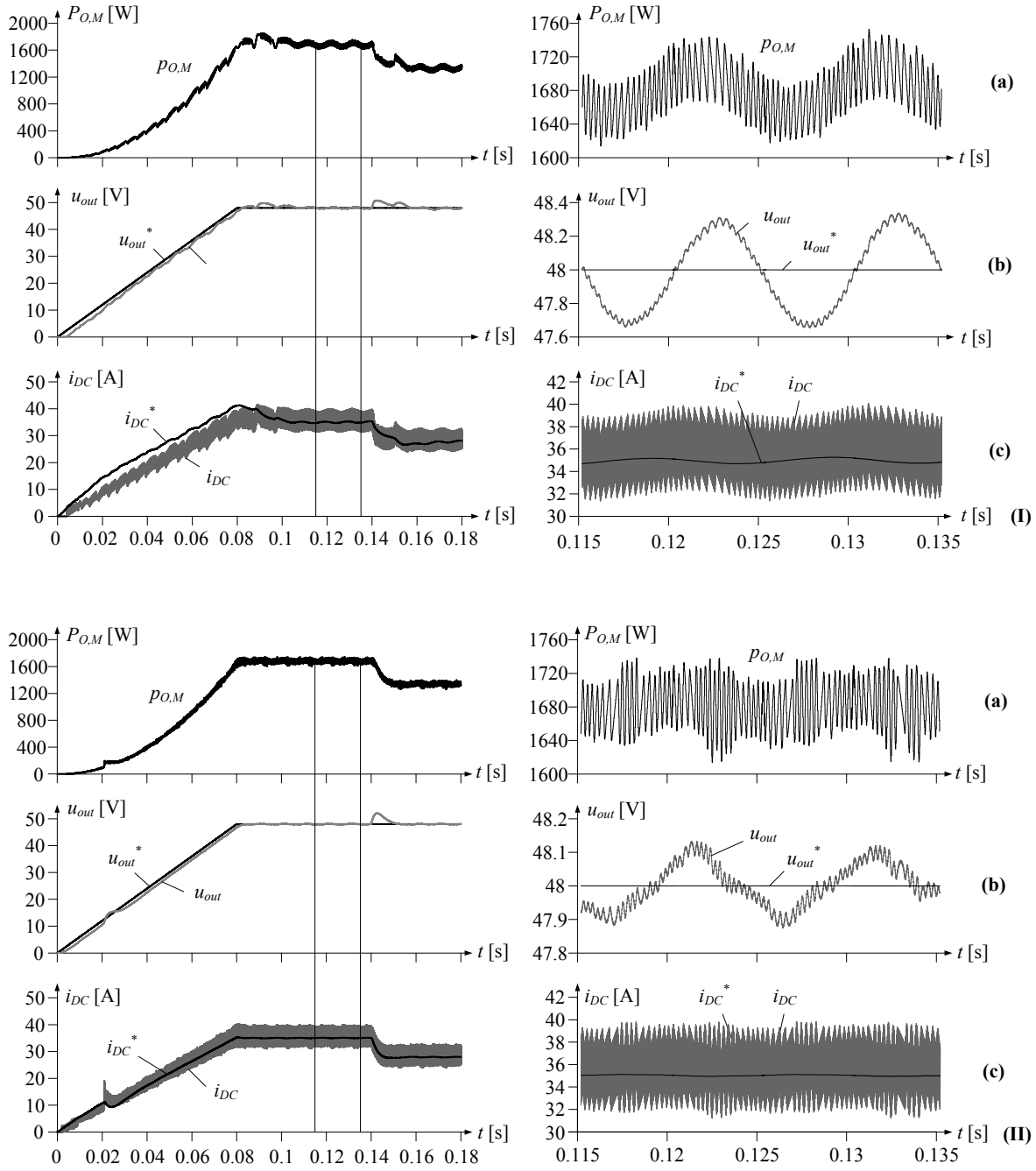


Bild 3.39: Vergleich der stationären Regelgüte ohne **(I)**/ mit **(II)** Vorsteuerung des Tastverhältnisses. Auf der rechten Seite sind Ausschnitte bei stationärer Nennlast mit höherer zeitlicher Auflösung gezeigt. Bei Vorsteuerung des Tastverhältnisses kann die Ausgangsspannungsschwankung **(b)** um mehr als die Hälfte (+/- 0,1V) reduziert werden. Die verbleibende Schwankung ist bedingt durch die analoge Messfilterung der Zwischenkreisspannung. Die auf die Sekundärseite bezogene Schwankung der Zwischenkreisspannung beträgt in der Simulation +/- 3V. Der Stromregler ist mit den Parametern aus Gl. (3.95) ausgelegt. Im unteren Bild ist die Stromreglerverstärkung um Faktor 3 angehoben. Die Erhöhung der Ausgangsspannung bei einem plötzlichen Lastabfall der Ausgangsleistung (t=0,14s) muss über eine Erfassung der Laständerung korrigiert werden. **(a)** zeigt die Modulausgangsleistung der DC-Stufe, **(b)** die DC-Ausgangsspannung und **(c)** den DC-Ausgangsstrom.

3.7.4 Simulation des dynamischen Systemverhaltens im dreiphasigen Betrieb

Die am linearisierten Kleinsignalmodell der Teilstrecken ausgelegten Regler wurden vor der DSP-Implementierung zunächst in einer digitalen Simulation getestet, um das dynamische Regelverhalten über mehrere Netzperioden bei verschiedenen Lastfällen und Netzbedingungen zu untersuchen. Die digitale Simulation umfasst den geschalteten Leistungsteil, die analoge Messwertfilterung, die Abtastung der Messgrössen mit der entsprechenden Zykluszeit (Ströme mit T_P, Spannungen mit $T_S = 8T_P$) und den digitalen Regelalgorithmus abgelegt in einem Zustandsautomaten. Das Gesamtsystem ist durch die Simulation abgesehen von Messfehlern, Schaltstörungen, Nichtidealitäten im Leistungsteil und Schaltverzugszeiten in den Ansteuerstufen vollständig abgebildet.

Bild 3.40 zeigt das simulierte Systemverhalten anhand der Zeitverläufe verschiedener Messgrössen und der Reglerstellgrössen für die Bildung der Solleingangsleitwerte $G^*_{i,ges}$ der Module. Ausgangspunkt der Simulation ist der Leerlauf des Systems an einem unsymmetrischen Dreiphasennetz mit zunächst unterschiedlich hohen Zwischenkreisspannungen (t =0). Der Sollwert der Ausgangsspannung u^*_{out} wird während $t = 0\ldots20$ms auf den Nennwert linear erhöht. Die Ausgangsleistung in den Modulen wird tiefpassgefiltert auf die Eingangsseite vorgesteuert und liefert den Anteil $G^*_{P,i}$ am Solleingangsleitwert $G^*_{i,ges}$ des an der Phase $i = R,\ S,\ T$ angeschlossenen Moduls. Der eingangsseitige Eingriff des Balancierreglers versucht die vorliegende Unsymmetrie der Zwischenkreisspannungen durch die Stellgrössen $\Delta G^*_{i,bal}$ zu korrigieren. Durch die verzögerte Vorsteuerung der Ausgangsleistung wird die Erhöhung des Moduleingangsleitwertes durch die Stellgrösse ΔG^*_i des Summenspannungsregler $R_{U,OY}$(s) unterstützt, der die Summe der Zwischenkreisspannungen auf den Sollwert $3U^*_{OY}$ ausregelt. Etwa bei $t = 50$ms ist ein Gleichgewicht der ab- und zugeführten Systemleistung erreicht. Die Stellgrösse ΔG^*_i ist annähernd auf Null zurückgegangen und deckt nur noch die Systemverluste ab. Die Zwischenkreisspannungen sind bei $t = 80$ms annähernd symmetrisch ausgeregelt. Somit liegt eine ohmsch-symmetrische Leistungsaufteilung vor, und die Amplituden der sinusförmigen Eingangsströme $i_{N,i}$ sind proportional zu den Amplituden der nullgrössenfreien Phasenspannungen $u'_{N,i}$, die bezogen auf einen ohmschen Messsternpunkt erfasst werden. Zum Zeitpunkt (1) tritt sprunghaft ein Gesamtlastabfall auf. Die Regelung in der Simulation

ist ohne eine Lastvorsteuerung ausgeführt. Infolge der geringen Bandbreite der Ausgangsspannungsregelung steigt die Spannung an der relativ kleinen Ausgangskapazität rasch an. Zum Zeitpunkt (2) erreicht die Ausgangsspannung eine vorgegebene Maximalschwelle, ab welcher der Integralanteil des Ausgangsspannungsreglers auf den halben Wert zurückgesetzt wird. Durch diese sprunghafte Rücknahme von $i^*_{DC,ges}$ kommt es zu einer raschen Abnahme der Ausgangsströme. Durch die Tiefpassfilterung der Ausgangslastvorsteuerung erfolgt die Rücknahme der Eingangsleistung zu träge. Zum Zeitpunkt (3) erreicht daher die Summe der Zwischenkreisspannungen eine Obergrenze ($3U^*_{OY}$+30V), ab der die Reglerverstärkung von $R_{U,OY}$(s) erhöht wird. Die Folge davon ist eine rasche Rücknahme der Stellgrösse ΔG^*_i, womit die Reduzierung der Modul-Sollleitwerte $G^*_{i,ges}$ verstärkt wird. Zum Zeitpunkt (4) werden die Reglerparameter von $R_{U,OY}$(s) wieder auf die Werte für den stationären Betrieb zurückgesetzt. Bei t=180ms ist die Ausregelung des Lastsprunges praktisch abgeschlossen.

Eine Verbesserung des dynamischen Systemverhaltens ist Gegenstand weiterführender Untersuchungen.

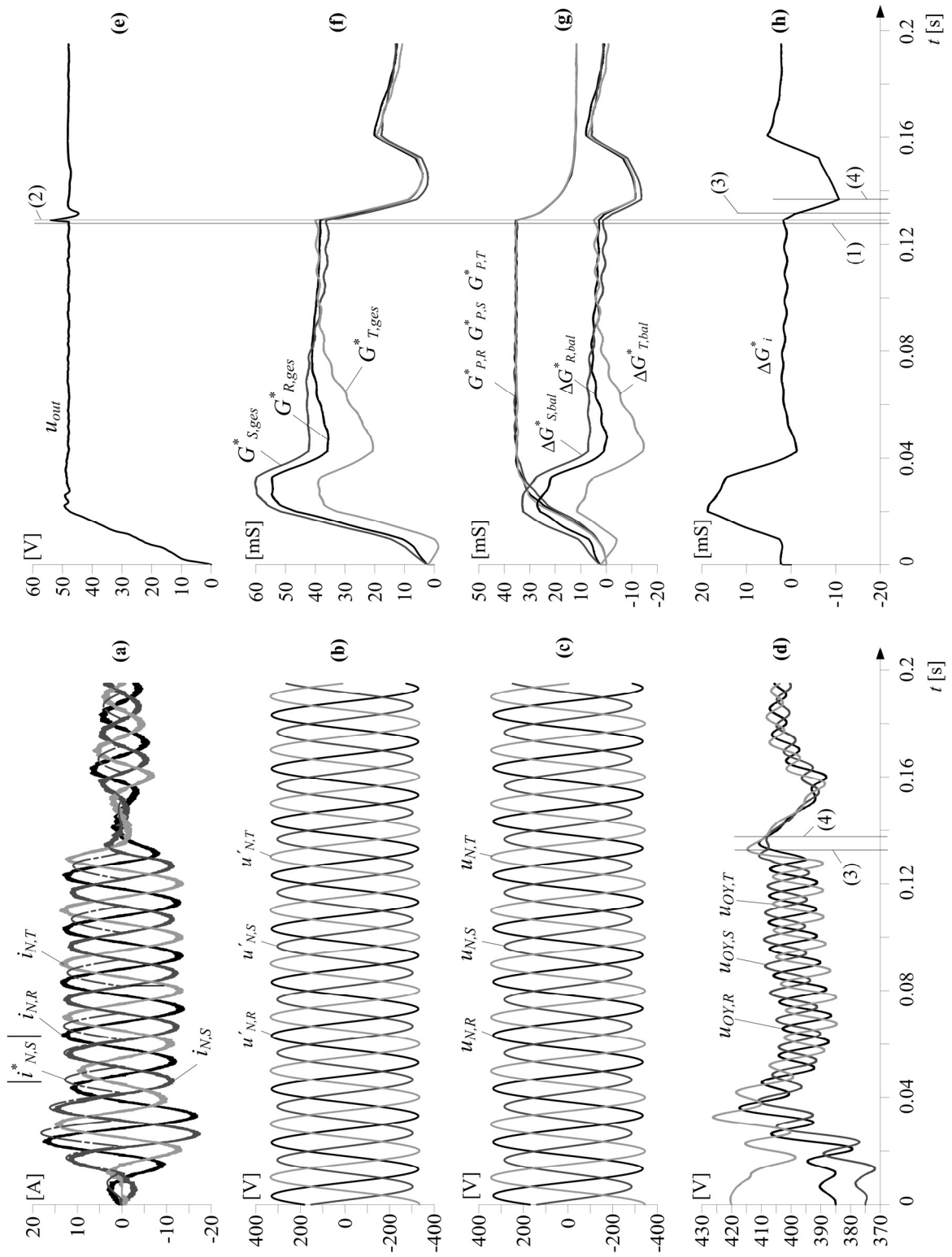


Bild 3.40: Simuliertes Systemverhalten des *Y-Rectifier* bei Hochfahren der Ausgangsspannung u_{out} (t = 0…20ms), im Nennlastpunkt (t=0,02…0,128s) und bei einem negativen Lastsprung (1) auf ein Drittel der Nennlast. **(a)** Eingangsströme $i_{N,i}$, **(b)** nullgrössenfreie Phasenspannungen $u'_{N,i}$, **(c)** Netzspannungen $u_{N,i}$, **(d)** Modulzwischenkreisspannungen $u_{OY,i}$, **(e)** Ausgangsspannung u_{out}, **(f)** Modul-Solleingangsleitwerte $G^*_{i,ges}$, **(g)** Leitwertanteile aus der Ausgangslastvorsteuerung $G^*_{P,i}$ und des Balancierreglers $\Delta G^*_{i,bal}$, **(h)** Stellgrösse des Gesamtspannungsreglers ΔG^*_i.

3.8 Initialisierung des Systems

Nach Anliegen der Versorgungsspannung (Anschluss des Systems an ein Dreiphasen- oder an ein Zweiphasennetz) startet die Eigenstromversorgung ab einer Minimalspannung von 260V zwischen den Anschlüssen *AUX*+ und *AUX*-. Durch die Generierung eines *Power-on-Reset* werden der DSP und das PLD in den Wartezustand gesetzt. In der derzeitigen Konfiguration des DSP Moduls wird der Regelalgorithmus nicht automatisch aus dem Flashspeicher geladen, sondern muss über die UART von einem PC in den Programmspeicher geschrieben werden. Im Anschluss an den Ladevorgang, wird die Applikationssoftware automatisch gestartet. Das Programm besteht im Wesentlichen aus zwei Bereichen. Einem Initialisierungsteil, indem der DSP und die angeschlossene Peripherie zu Beginn konfiguriert werden und dem Regelalgorithmus, der in einer Interrupt-Routine zyklisch ausgeführt wird und die Aufgaben der Messwerterfassung, die Berechnung und Ausgabe der Einschaltdauern und die Systemzustandserkennung umfasst. Die Initialisierung des Systems beinhaltet

- die Konfiguration der externen Speicheraddressierung,
- die Initialisierung des RMX-PLDs [PES03],
- den Aufruf der Konfigurationsroutine für den Hardwaremonitor,
- die Konfiguration und Kalibration des A/D-Wandlers,
- die Konfiguration des Interrupt Controllers (die beiden Interruptquellen – externer Interrupt *INT_DSP* vom PLD und Interrupt *Timer0* für die Festlegung des 2. Abtastzeitpunktes - werden frei geschaltet, priorisiert und mit der Interrupt-Service-Routine verknüpft.),
- und die Einstellung der DSP internen PWM-Kanäle zur Ansteuerung der Lüfter.

Im Anschluss an die Initialisierung und vor dem Wechsel in eine Warteschleife (*IDLE*) wird ein Schreibbefehl an das PLD abgesetzt, wodurch dieses in den *RUN*-Zustand wechselt und jeweils am Ende einer Taktperiode einen Interrupt *INT_DSP* an den DSP absetzt.

3.8.1 Funktionsweise des laufenden Programms

Mit Eintreffen des Interrupts wird die Warteschleife verlassen und die Interrupt-Service-Routine ausgeführt. Innerhalb der Interrupt-Service-Routine wird in Abhängigkeit des gemessenen Systemzustandes in unterschiedliche Programmmodis verzweigt:

- **Modus A:**Vorladung der Zwischenkreisspannung
- **Modus B:**Hochladung der Zwischenkreisspannung

- **Modus C:** Dreiphasiger Betrieb
  - C1: Hochladen der Ausgangsspannung
  - C2: Nennbetrieb
- **Modus D:** Zweiphasiger Betrieb
  - D1: Hochladen der Ausgangsspannung
  - D2: Nennbetrieb
- **Modus E:** Übergang in den zweiphasigen Betrieb
- **Modus F:** Rückkehr in den dreiphasigen Betrieb .

Beim Starten des Systems wird automatisch der **Modus A** aufgerufen. Es wird überprüft, ob die Zwischenkreise der Module auf einen Wert nahe dem stationären Sollwert aufgeladen sind (Aufladung über PTC-Widerstände). Der Sollwert der Vorladung bestimmt sich bei Anschluss an ein symmetrisches Dreiphasennetz unter Vernachlässigung der Durchflussspannungsabfälle an den Halbleitern mit

$$U^*_{OY,VL} = \frac{\sqrt{3}\hat{U}_{N,i}}{2}. \tag{3.105}$$

Der Sollwert bestimmt sich aus der Überlegung, dass jeweils zwei in Serie liegende Module an der verketten Spannung anliegen. Bei symmetrischen Netz- und Ladeverhältnissen können die Modulausgangspannungen also bis maximal den halben Spitzenwert der verketteten Spannung vorgeladen werden.

Im zweiphasigen Betrieb - z.B. bei Speisung des Systems über die Phasen R und S - werden die Zwischenkreisspannungen der Module R und S auf $U_{OY.R} = U_{OY.S} = \hat{U}_{N,RS}/2$ vorgeladen. Übersteigt eine Zwischenkreisspannung $U_{OY,i}$ eine einstellbare Mindestschwelle $U^*_{OY,VL,\min}$ wird das Ansteuersignal für das zugehörige Eingangsrelais K_i gesetzt und die Pulssperre für die Eingangsstufe deaktiviert (*Enable_PFC_i*=1). Danach bleibt der Modus A noch für eine Dauer von t = 0,5s aktiv bevor in den Modus B übergegangen wird.

Im **Modus B** wird für die Hochladung der Zwischenkreisspannungen eine relative Einschaltdauer $d_{i,PFC}$ von 1.5% vorgesteuert. Nur die MOSFETs jener Module, für die im Modus A die Pulssperre deaktiviert wurde, werden mit einem PWM-Ansteuersignal von 1.5% beaufschlagt. Mit dieser Implementierung ist also auch das Hochladen von 2 Modulen im Zweiphasenbetrieb möglich. Zu beachten ist, dass aufgrund der Modulverkopplung z. B. die Vorladung der Zwischenkreisspannung des Moduls i=R auch durch den Stromaufbau während der Einschaltzeit des Moduls i= S oder T stattfindet. Mit anderen Worten, die

Zwischenkreisspannung des Moduls i=R wird auch nach Rücksetzen des Tastverhältnisses bei Erreichen des Sollwertes der Zwischenkreisspannung U^*_{OY}=400V durch $d_{S,PFC} \neq 0$ oder $d_{T,PFC} \neq 0$ (abhängig von der aktuellen Phasenlage der Eingangsspannungen) etwas über den Sollwert hochgeladen.

Damit eine Hochladung der Zwischenkreisspannungen $U_{OY,i}$=U^*_{OY}= 400V problemlos möglich ist, muss am Ende von Modus A eine symmetrische Vorladung der Ausgangskondensatoren vorliegen. Sehr einfach gelingt dies, wenn die Zwischenkreise zuvor entladen waren. Gegebenfalls muss bei einer ungleichen Aufladung der Zwischenkreise eine ausgangsseitige Entladung über die DC/DC-Konverter im Anschluss an die Initialisierungsphase durchgeführt werden. Eine Hochladung aller drei Zwischenkreise auf den Spannungssollwert bei stark unsymmetrischen Netzverhältnissen stellt aber mit der gesteuerten Vorgabe der Tastverhältnisse weiterhin eine Schwierigkeit dar.

Erreicht eine Zwischenkreisspannung den Sollwert U^*_{OY} werden die zugehörigen Eingangstransistoren gesperrt und ein Zähler gestartet, um einen verzögerten Moduswechsel zu erreichen. Innerhalb der eingestellten Verzögerungszeit können auch die anderen beiden Module den Sollwert erreichen. Sind alle drei Zwischenkreise am Ende der Verzögerungszeit auf U^*_{OY} hochgeladen, wird im folgenden Taktzyklus in den Modus C gewechselt. Sind nur zwei Zwischenkreise auf U^*_{OY} hochgeladen, wird in den Modus D - mit der Unterteilung: Modul i, j = R, S oder S, T oder T, R hochgeladen - gewechselt.

Mit Eintritt in den **Modus C** werden die PWM-Ansteuersignale für die PFC- und DC/DC-Stufen aktiviert. In den ersten 250ms wird die DC-Ausgangsspannung u_{out} durch eine lineare Erhöhung des Sollwertes u^*_{out} auf den Nennwert von 48V hochgefahren (s. **Bild 3.41**). Das System arbeitet ab nun im geregelten Betrieb (Modus C2). Die Balancierung der Zwischenkreisspannungen $U_{OY,i}$ kann über ein Auswahlbit entweder eingangsseitig über die Änderung der Solleingangsleitwerte oder ausgangsseitig über die Änderung der Sollwerte der DC-Ströme durchgeführt werden. Die beiden implementierten Regelungsstrukturen sind in Kapitel 3.6 behandelt.

Bei zweiphasigem Netzbetrieb wird nach der Hochladung von zwei Modulzwischenkreisspannungen (i, j) vom Modus B in den entsprechenden **Modus D** gewechselt.

Analog zum dreiphasigen Betrieb werden die PWM-Ansteuersignale der Module i und j freigegeben und der Sollwert der Ausgangsspannung u_{out} linear auf den Nennwert hochgesetzt. Anstelle der modularen Eingangsstromregelung ist eine Gesamtstromregelung der beiden in

Serie liegenden Eingangsstufen aktiv. Die Regelung der Zwischenkreisspannungen erfolgt ausgangsseitig. Details zur Regelungsstruktur sind in Kapitel 3.6.3 angeführt.

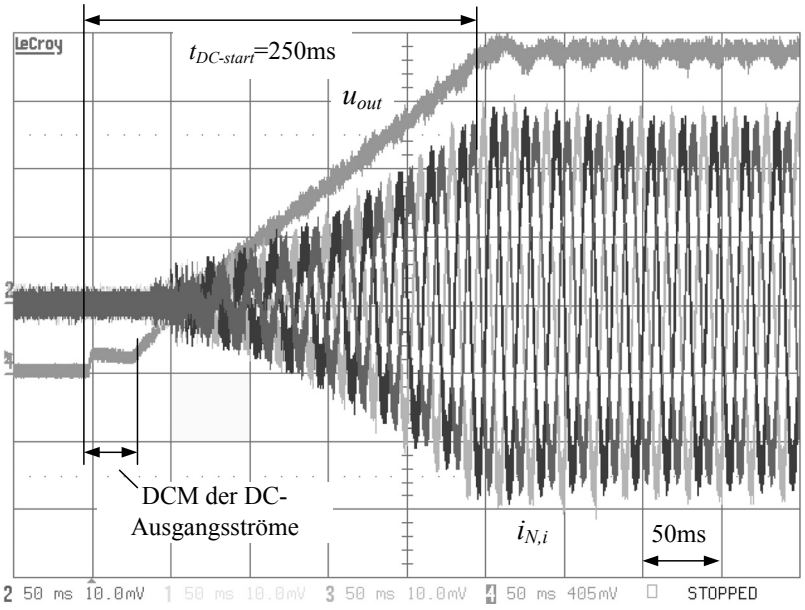


Bild 3.41: Hochladen bzw. Starten der DC/DC-Konverter. Der Sollwert der Ausgangsspannung u_{out} wird während der Startphase linear auf 48V erhöht. Die Abweichung zwischen Soll- und Istwert der Ausgangsspannung am Beginn des Hochladens ist durch die diskontinuierliche Stromführung in den DC-Ausgangsinduktivitäten L_{DC} bestimmt.

Neben der Anpassung der Regelungsstruktur werden für die Reduzierung des Eingangsstromrippels die beiden aktiven Eingangsstufen um eine Pulshalbperiode versetzt getaktet. Um weiterhin den Strommittelwert abzutasten, ist eine Anpassung des Abtastzeitpunktes der 2. Abtastung vorzunehmen (s. Abschnitt 3.4.2).

Der ***Modus E*** ist nach Erkennung eines Ausfalls / Unterbruchs der Phase *i* mittels der logischen UND-Verknüpfung der 3 Abfragen

$$\begin{aligned} &\left|u_{N,i}[kT_S]\right| < u_{N,\min 1} \\ &\left|u_{N,i}[(k-3)T_S]\right| < u_{N,\min 1} \\ &\left|i_{N,i}[kT_P]\right| < i_{N,\min 1} \end{aligned} \tag{3.106}$$

für einen Taktzyklus aktiv (Die Schaltschwellen sind mit $u_{N,\min 1}$ = 2,75V und $i_{N,\min 1}$ = 0,38A initialisiert). Falls z. B. die Phase *T* unterbrochen ist, werden die PWM-Ansteuersignale für das Modul *T* auf Null gesetzt ($d_{T,PFC}$ = 0 und $d_{T,DC/DC}$ = 0), die Pulssperre aktiviert (*Enable_DC/DC_T* = 0 und *Enable_PFC_T* = 0) und das Vorlade-Relais K_T deaktiviert (*Relais_T = 0*). Weiters wird der Integralanteil des DC-Ausgangsstromreglers im Modul *T* auf Null gesetzt, für die Integralanteile der beiden anderen Ausgangsstromregler wird der mittlere

Wert ihrer beiden Ausgangsgrössen als Startwert vorgegeben. Im nächsten Taktzyklus wird der Programmcode im Modus D für den zweiphasigen Betrieb abgearbeitet.

Wird die Rückkehr einer ausgefallenen Phase *i* mittels

$$\hat{U}_{N,i} > u_{N,min2} \tag{3.107}$$

(die Einschaltschwelle ist mit $u_{N,min2}$ = 120V initialisiert) detektiert, erfolgt der Übergang aus dem Modus D in den Modus F.

Im **Modus F** wird überprüft, ob die zugeordnete Modulzwischenkreisspannung die Hochladebedingung $u_{OY,i} \geq U_{OY}^{*}$ erfüllt. Aufgrund der schaltfrequenten Störströme zwischen dem Bezugspotenzial der Steuerelektronik und dem schaltfrequenten Systemsternpunkt N_S über die Messschaltung der Zwischenkreisspannung ist diese Hochladebedingung erfüllt. Somit kann eine gesteuerte Vorladung entfallen und auf eine direkte Zuschaltung übergegangen werden. Angenommen Phase *T* sei wieder aufgeschaltet:

Entsprechend wird die Pulssperre für das Modul *T* deaktiviert (*Enable_DC/DC_T* = 1 und *Enable_PFC_T* = 1) und das Vorlade-Relais K_T angesteuert (*Relais_T*=1). Weiters werden die Spitzenwerte der Phasenspannungen $u_{N,R}$ und $u_{N,S}$ mit $\hat{U}_{N,R} = \hat{U}_{N,S} = \hat{U}_{N,RS} / \sqrt{3}$ initialisiert. Die Integralanteile aller DC-Ausgangsstromregler werden auf 2/3 der Ausgangsgrösse des Ausgangsstromreglers des Moduls *R* gesetzt. Im nächsten Taktzyklus wird der Programmcode im Modus C für den dreiphasigen Betrieb abgearbeitet.

3.9 Experimentelle Ergebnisse

Die nachfolgenden Messergebnisse zeigen die Funktionsweise und das elektrische Verhalten des aufgebauten Labormusters mit den folgenden Kenndaten:

- $P_{O,nenn}$ = 3×1800W, f_P = 50kHz
- $U_{N,ij}$ = 320V…480V, u_{out} = 46V…54V, η_{nenn} = 91,2 ….92,5%, THD_{mittel} < 2%
- Abmessungen $B \times H \times T$: 200mm×120mm×267mm → V_{ges}=6,4dm^3
- Gewicht: m_{ges}=6,2kg
- Leistungsdichte: $\rho_{Po/V}$ = 840W/dm^3
- Leistungsgewicht: $\rho_{Po/m}$ = 870W/kg

Das System wird über einen linearen Dreiphasen-Leistungsverstärker (*Spitzenberger&Spies DM 15000 PAS*) versorgt, ein ohmscher Hochleistungswiderstand stellt die Ausgangsbelastung dar. Der Gesamtwirkungsgrad des Systems in Abhängigkeit der Ausgangsleistung P_O = 15%…110% $P_{O,nenn}$ und der Eingangsspannung für eine konstante Ausgangsspannung

u_{out} = 48V wurde mit dem Leistungsmessgerät *Norma Power Analyzer D6100* erfasst und ist in **Bild 3.42** dargestellt. Ein Vergleich mit dem analytisch berechneten Wirkungsgrad im Nennlastpunkt (s. Bild 3.15 auf S. 191**)** zeigt eine sehr gute Übereinstimmung. Der maximale Wirkungsgrad von annähernd 93% wird für etwa 60% der Nennleistung erreicht. Die ansteigenden Leitverluste im speziellen in der DC/DC-Ausgangsstufe führen zu einer Abnahme des Wirkungsgrades mit zunehmender Ausgangsleistung. **Bild 3.43** zeigt die mit dem Leistungsmessgerät *Voltec Power Analyzer PM300* in den einzelnen Phasen gemessenen Klirrfaktoren (*THD*) der praktisch ungefilterten Phasenströme $i_{N,i}$. Es wirken nur die parallel zu den Messwiderständen des Messsternpunktes geschalteten Filterkondensatoren von C_f = 470nF.

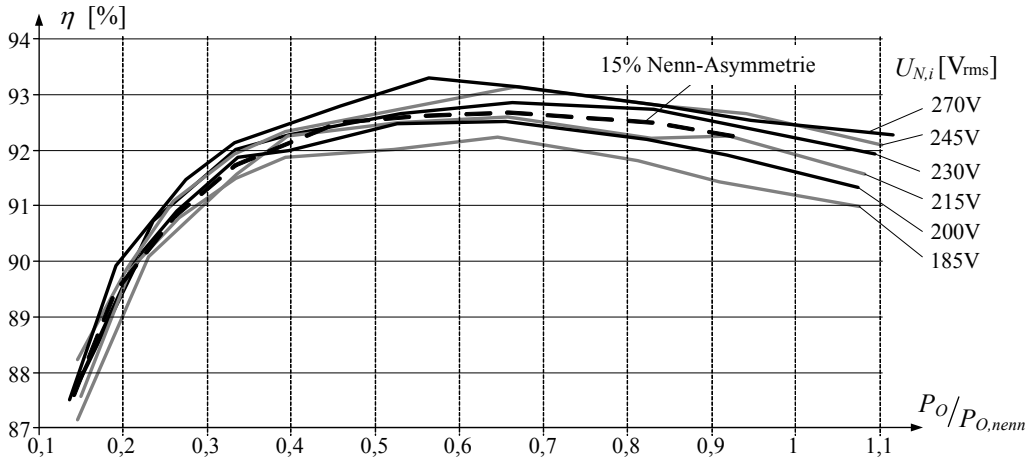


Bild 3.42: Gemessener Gesamtsystemwirkungsgrad bei verschiedenen symmetrischen Netzphasenspannungen in Abhängigkeit der Ausgangsleistung. Die strichliert eingezeichnete Kennlinie kennzeichnet den Wirkungsgrad bei unsymmetrischen Netzspannungen ($U_{N,R}$ = 230V, $U_{N,S}$ = 230V-15%, $U_{N,T}$ = 230V+15%). $P_{O,nenn}$ = 5000W, $U_{OY,i}$ = 400V, U_{out} = 48V.

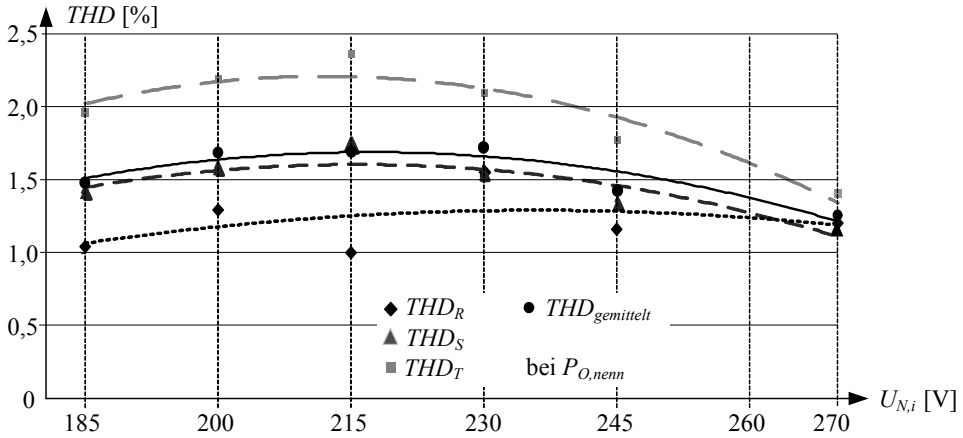


Bild 3.43: Gemessener Klirrfaktor (THD_i) der Eingangsströme $i_{N,i}$ und deren Mittelwert $THD_{gemittelt}$ im Nennlastpunkt in Abhängigkeit der Eingangsspannung $U_{N,i}$ bei symmetrischen Netzverhältnissen. Arbeitspunkt: $P_{O,nenn}$ = 5000W, $U_{OY,i}$ = 400V, U_{out} = 48V.

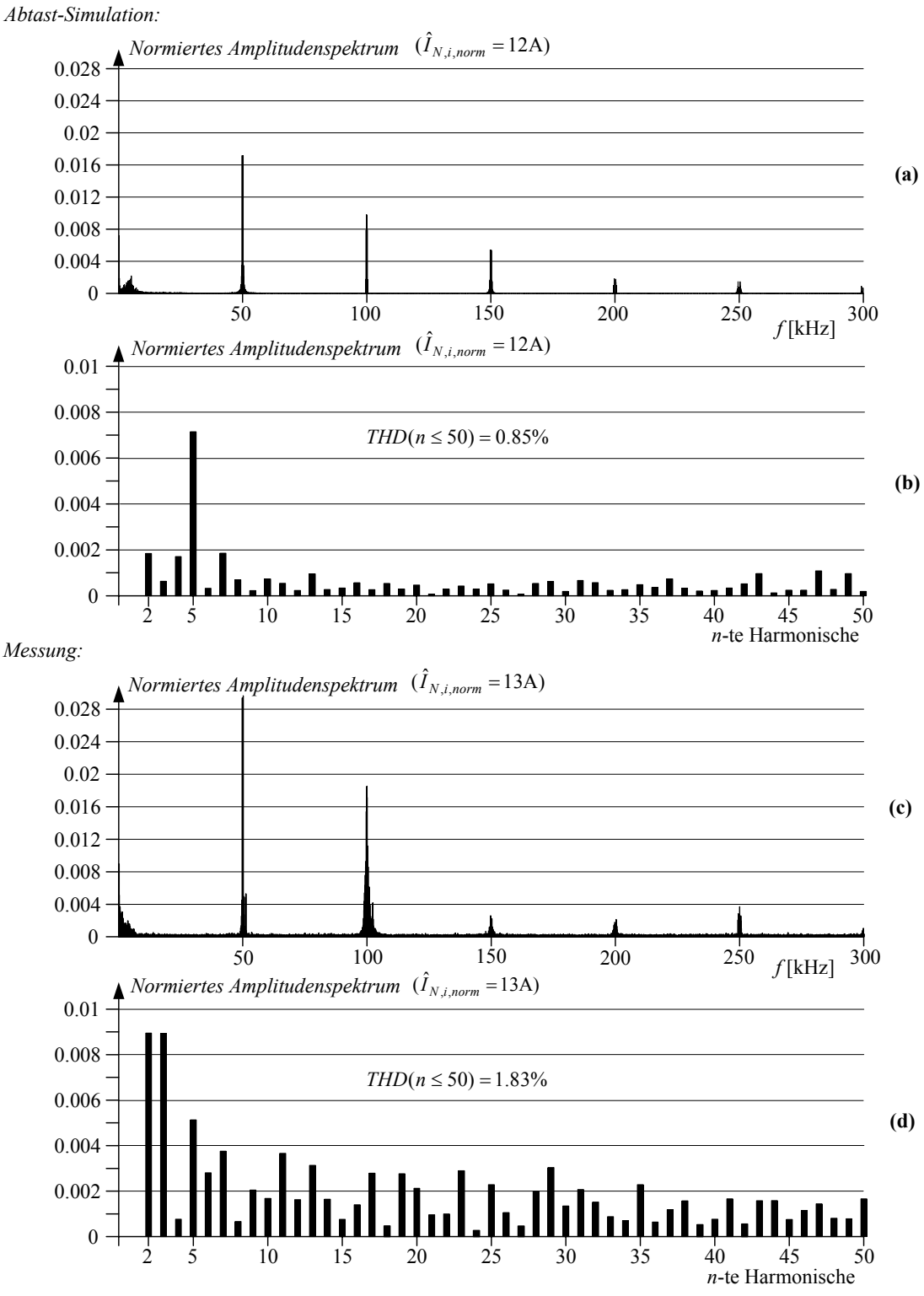
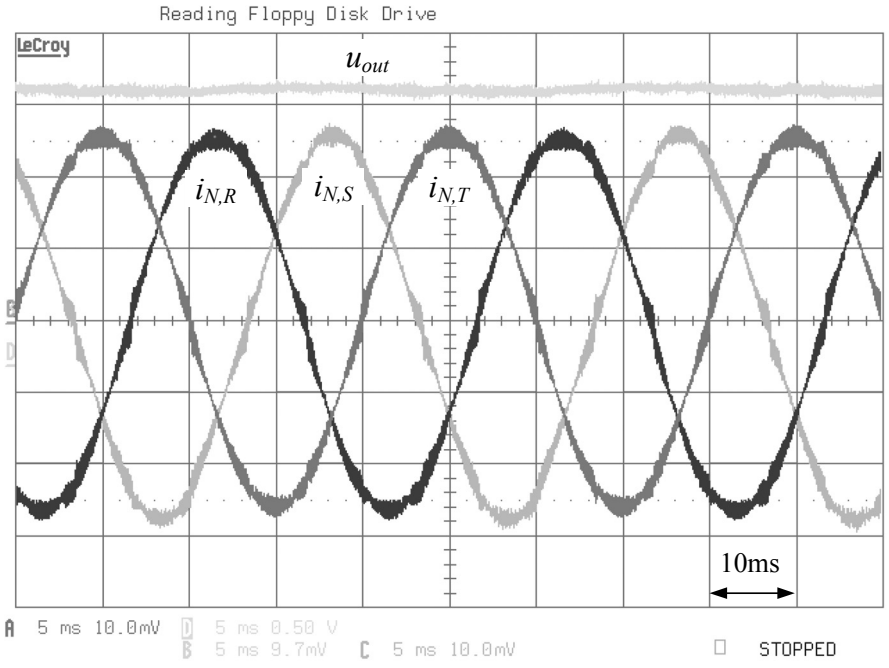


Bild 3.44: Das normierte Amplitudenspektrum der Harmonischen des Eingangsstromes $i_{N,i}$ ermittelt aus den Daten einer digitalen Simulation mit Abtastregelung (**a**, **b**) und aus Messungen am Labormuster (**c**, **d**) nahe dem Nennlastarbeitspunkt. Die erhöhten niederfrequenten Anteile in der Messung sind hauptsächlich auf Verzerrungen im Stromnulldurchgang zurück zu führen. Die schaltfrequenten Spektralkomponenten ($f_P^{+}/_{-} f_N$, $2f_P^{+}/_{-} f_N$, $3f_P^{+}/_{-} f_N$,…) sind aufgrund von durch Messrauschen bedingten Abtastfehlern etwa doppelt so gross wie in der Simulation.

In **Bild 3.44** ist das normierte Amplitudenspektrum der Harmonischen eines Phasenstromes $i_{N,i}$ als Ergebnis einer digitalen Schaltungssimulation mit einer Abtastregelung entsprechend dem realen System (**a**, **b**) vergleichend der experimentellen Analyse des Labormusters (**c**, **d**) für $P \approx 6$kW und $U_{N,i}=230$V gegenüber gestellt. Der höhere Oberschwingungsgehalt in den Messdaten ist durch die Stromverzerrungen im Nulldurchgang und durch Abtastfehler infolge von dem Strommesssignal überlagerten hochfrequenten Störungen (s. Bild 3.55 auf S. 262) bedingt. Die Messdaten dienen als Grundlage für die Auslegung eines EMV-Eingangsfilters.

Die Verläufe der Phasenströme $i_{N,i}$ zusammen mit der DC-Ausgangsspannung u_{out} nahe des Nennlastpunktes für den stationären Betrieb bei symmetrischen Netzverhältnissen sind in **Bild 3.45** dargestellt. Die leicht unterschiedlichen Phasenstromamplituden sind darauf zurück zu führen, dass infolge von geringen Messfehlern der Modulzwischenkreisspannungen der Systemsternpunkt N_S während einer Pulsperiode im Mittel eine geringe Abweichung vom Netzsternpunkt N aufweist. Durch eine Anpassung der Messwertkalibrierung der Zwischenkreisspannungen kann eine symmetrische Stromaufteilung erreicht werden.



Maximal zulässige Ausgangsleistung (110% $P_{O,nenn}$)

$P_i = 6000$ W
$U_{N,i} = 230$V
$U_{OY,i} = 400$V
$u_{out} = 48$V

$i_{N,i}$ [Tek-A6303:5A/Div]
u_{out} [DSP-HW: 12.5V/Div]

Bild 3.45: Phasenströme $i_{N,i}$ und die DC-Ausgangsspannung u_{out} bei maximaler Ausgangsbelastung (110% Nennleistung): $P_O = 5520$W, $U_{N,i} = 230$V, $U_{OY,i} = 400$V, $u_{out} = 48$V.

Bild 3.46 zeigt den Verlauf des Eingangsstromes bei stark reduzierter Ausgangsleistung und annähernd halber Nennspannung bzw. Modulzwischenkreisspannung (z.B. angepasst an U.S. Versorgungsnetz), um das Störrauschen der Messwerte zu reduzieren. Durch eine Begrenzung des Tastverhältnisses auf einen Maximalwert von 88% konnte eine Verbesserung des

diskontinuierlichen Verlaufs des Eingangsstromes um ca. 3-5% bezogen auf den THD erreicht werden. Für eine Verbesserung des Störabstandes zwischen Messrauschen und Nutzsignal müsste vorrangig die Verbindungsplatine zwischen den einzelnen Leitungsmodulen als Mehrlagen-*PCB* (4…6-lagig) ausgeführt werden. Vorteilhaft wäre auch den schaltfrequenten Leistungsstrompfad des Systemsternpunktes nicht über die Verbindungsplatine zu führen, um ein Übersprechen auf die Signalelektronik zu vermeiden.

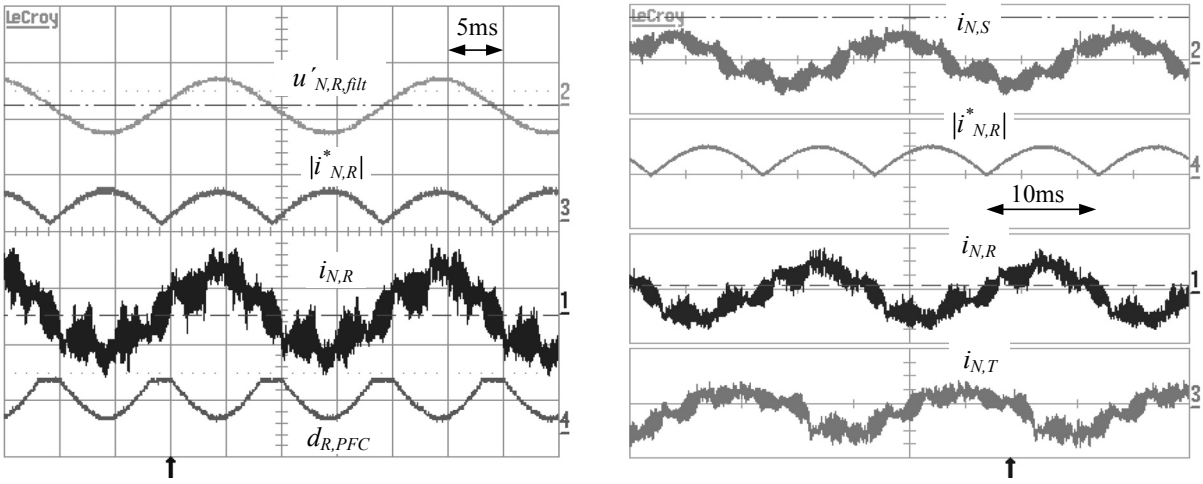
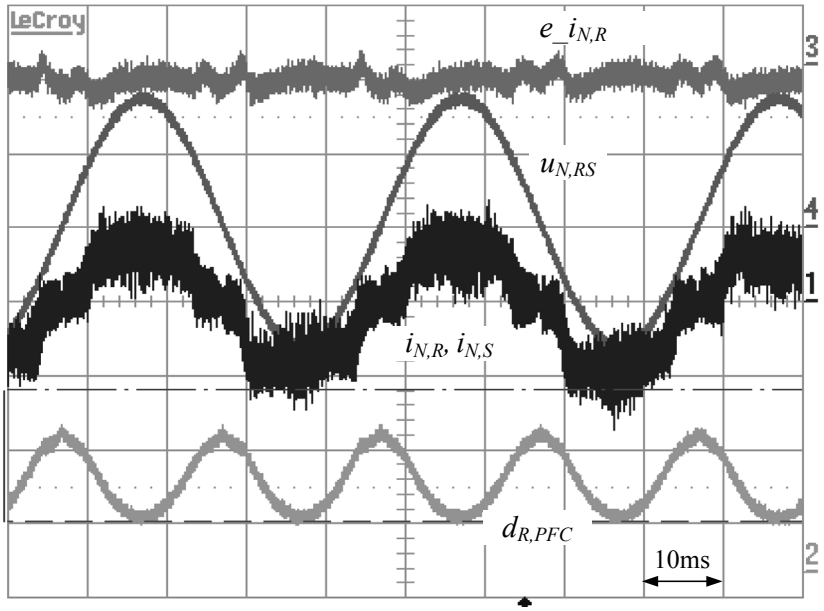


Bild 3.46: Dreiphasiger Betrieb bei stark reduzierter Ausgangsleistung (P_O = 3x60W) und reduzierten Spannungsverhältnissen ($U_{N,i}$ = 120V; $U_{OY,i}$ = 220V). Durch Begrenzen des Tastverhältnisses auf maximal 88% kann die Stromform um ca. 3-5% im THD verbessert werden. Der gemessene THD in diesem Arbeitspunkt liegt bei 28%. Die Ströme $i_{N,i}$ [0.5A/Div] sind mit der Stromzange Tektronix A6303 gemessen, die anderen Verläufe sind via Hardware-Monitor aus dem DSP gelesen. Linkes Bild: begrenztes Tastverhältnis (Duty-Cycle) $d_{R,PFC}$, Phasenstrom $i_{N,R}$, gleichgerichteter Sollphasenstrom $|i^*_{N,R}| = |G^*_{R,ges} \cdot u'_{N,R,filt}|$, und gefilterte Phasenspannung $u'_{N,R,filt}$. Rechtes Bild: Phasenströme $i_{N,i}$ und Sollphasenstrom $|i^*_{N,R}| = |G^*_{R,ges} \cdot u'_{N,R,filt}|$. Für eine Reduzierung der Stromverzerrungen muss vor allem das Verhältnis von Strommesssignal zu Störrauschen durch ein verbessertes Leitenplattendesign mit einem (4- bzw. 6-Lagen-*PCB*) und die Qualität der Versorgungsspannung des Stromsensors verbessert werden. Der Einsatz eines störunempfindlicheren magnetoresistiven Stromsensors anstelle eines Hallstromsensors ist empfehlenswert.

Für den zweiphasigen Betrieb (Ausfall einer/s Phase/Moduls und Serienschaltung der beiden anderen Module) kann bei reduzierter Leistungsabgabe, so wie für den *Delta-Rectifier,* das Formfilter zur Optimierung der *DCM*-Modulationsfunktion aktiviert werden. Damit kann eine Verbesserung der Stromform durch Rücknahme des Tastverhältnisses im Bereich des Spannungsnulldurchganges erreicht werden. **Bild 3.47** zeigt den Verlauf des Modulstromes $i_{N,RS}$ ($\equiv i_{N,R} = -i_{N,S}$) der in Serie liegenden Module (*R*, *S*), die anliegende verkettete Spannung $u_{N,RS}$, die Stromreglerabweichung $e_i_{N,R}$ und das optimierte Tastverhältnis $d_{R,PFC}$ ($=d_{S,PFC}$) bei reduzierten Netz- und Zwischenkreisspannungen. Eine weitere softwaremässige Verbesserung

der Stromform scheitert gegenwärtig aufgrund von Abtastfehlern des Stromsignals infolge des Messrauschens.



Zweiphasiger Betrieb an Phase R und S bei Schwachlast

P_O = 140W
$U_{N,i}$ = 120V
$U_{OY,i}$ = 220V
U_{out} = 28V

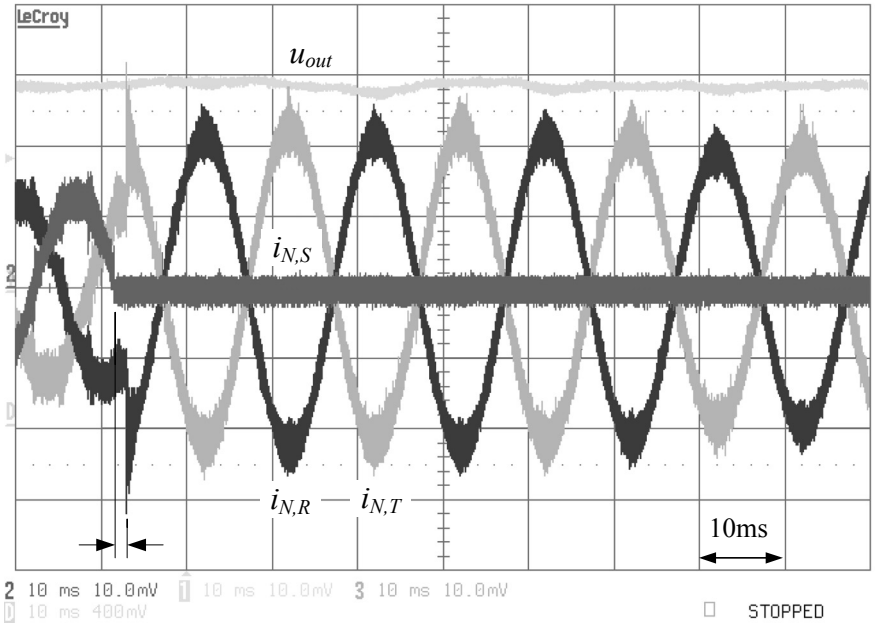
THD($i_{N,R}$) = 26 %

$i_{N,R}$ [Tek-A6303: 1A/DIV]
$u_{N,RS}$ [DSP-HW 170V/Div]
$e_i_{N,R}$ … Stromregler-abweichung [DSP-HW]
$d_{R,PFC}$ [DSP-HW]

Bild 3.47: Zweiphasiger Betrieb bei Schwachlast mit korrigierter Vorsteuerfunktion $d_{R,PFC}$ für den DCM-Betrieb. Stromreglerabweichung $e_i_{N,R}$, verkettete Phasenspannung $u_{N,RS}$, Phasenstrom $i_{N,R}$.

Bild 3.48 und **Bild 3.49** zeigen das dynamische Verhalten bei Ausfall einer Netzphase und Übergang in den zweiphasigen Betrieb. Der Unterschied liegt im Regelkonzept für den dreiphasigen Betrieb, ob der Balanciereingriff auf die Modulzwischenkreisspannungen eingangs- oder ausgangsseitig durchgeführt wird. Nach Erkennen des Phasenausfalls (Zeitdauer ist gekennzeichnet, t<1.5ms) wird die Regelstruktur an den zweiphasigen Betrieb entsprechend Kapitel 3.6.3 angepasst.

Bild 3.50 und **Bild 3.51** zeigen den Übergang vom zweiphasigen in den dreiphasigen Betrieb bei Rückkehr der ausgefallenen Phase. Die Zwischenkreisspannung des reaktivierten Moduls muss aufgrund der schaltfrequenten Änderung des Sternpunktpotentials nicht zuvor auf den Nennwert $U_{O,nenn}$ = 400V hochgeladen werden, sondern liegt annähernd bei 425V (siehe dazu Bild 3.33). Die erhöhte Zwischenkreisspannung führt bei der Umschaltung auf das dreiphasige Regelkonzept mit eingangsseitiger Balancierung der Zwischenkreisspannungen zu einem verzögerten Anstieg der Stromamplitude der zugeschalteten Phase, um die Zwischenkreisspannung auf den Nominalwert auszuregeln. Hingegen wird bei der ausgangsseitigen Balancierung der Zwischenkreisspannung die erhöhte Modulspannung durch die erhöhte Leistungsentnahme am Modul zurückgenommen.

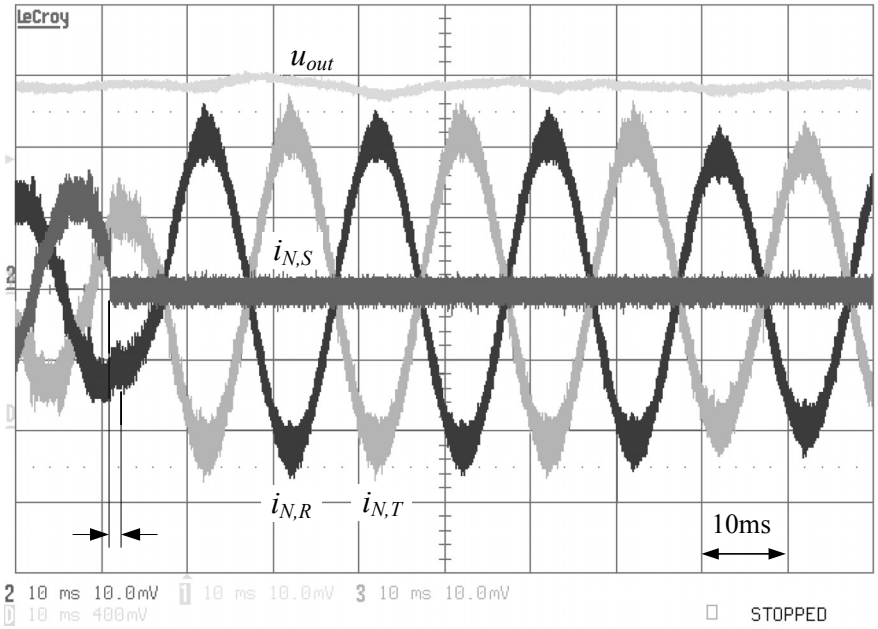


Ausgangsseitige Balancierung von $U_{OY,i}$ →Ausfall der Phase *S*
(Anschlusszuleitung *S* offen)

P_O = 3.2kW
$U_{N,i}$ = 230V
$U_{OY,i}$ = 400V
u_{out} = 48V

$i_{N,R}$, $i_{N,S}$, $i_{N,T}$ [Tek:5A/Div]
u_{out} [DSP-HW: 10V/Div]

Bild 3.48: Ausfall der Phase *S*. Übergang vom dreiphasigen Betrieb mit ausgangsseitiger Stabilisierung der Zwischenkreisspannungen in den zweiphasigen Betrieb mit Anpassung des Regelkonzeptes (die Zeitdauer bis zur Ausfallserkennung ist markiert). Dargestellt sind die DC-Ausgangsspannung u_{out} und die Phasenströme $i_{N,i}$.

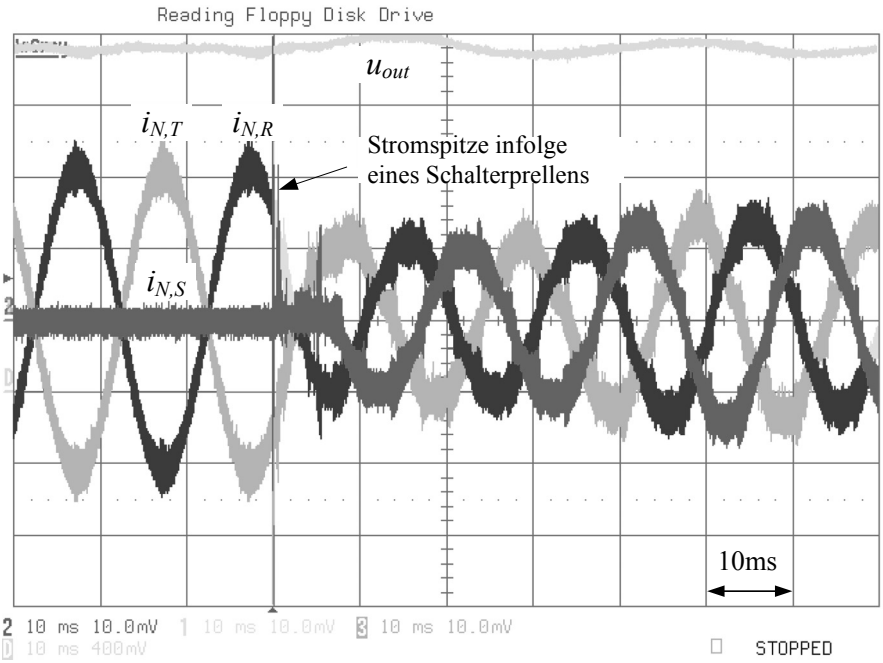


Eingangsseitige Balancierung von $U_{OY,i}$ →Ausfall der Phase *S*
(Anschlusszuleitung *S* offen)

P_O = 3.2kW
$U_{N,i}$ = 230V
$U_{OY,i}$ = 400V
u_{out} = 48V

$i_{N,R}$, $i_{N,S}$, $i_{N,T}$ [Tek:5A/Div]
u_{out} [DSP-HW: 10V/Div]

Bild 3.49: Ausfall der Phase *S*. Übergang vom dreiphasigen Betrieb mit eingangsseitiger Stabilisierung der Zwischenkreisspannungen in den zweiphasigen Betrieb mit Anpassung des Regelkonzepts (die Zeitdauer bis zur Ausfallserkennung ist markiert). Dargestellt sind die DC-Ausgangsspannung u_{out} und die Phasenströme $i_{N,i}$.

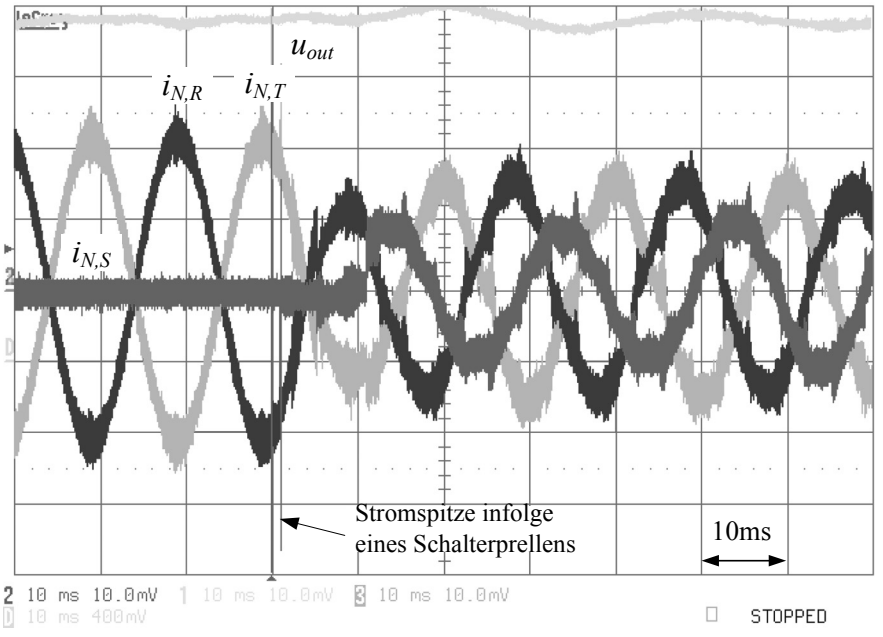


Ausgangsseitige Balancierung von $U_{OY,i}$ →Rückkehr der Phase *S*

P_O = 3.2kW
$U_{N,i}$ = 230V
$U_{OY,i}$ = 400V
u_{out} = 48V

$i_{N,i}$ [Tek-A6303:5A/Div]
u_{out} [DSP-HW: 10V/Div]

Bild 3.50: Rückkehr der Phase *S*. Übergang vom zweiphasigen Betrieb in den dreiphasigen Betrieb mit ausgangsseitiger Stabilisierung der Zwischenkreisspannungen. Dargestellt sind die DC-Ausgangsspannung u_{out} und die Phasenströme $i_{N,i}$.



Eingangsseitige Balancierung von $U_{OY,i}$ → Rückkehr der Phase *S*

P_O = 3.2kW
$U_{N,i}$ = 230V
$U_{OY,i}$ = 400V
u_{out} = 48V

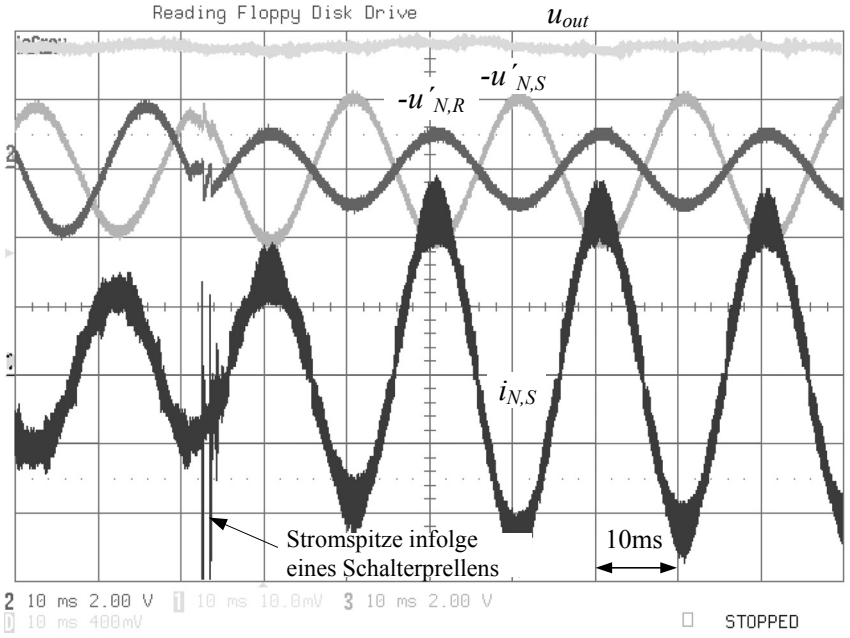
$i_{N,i}$ [Tek-A6303:5A/Div]
u_{out} [DSP-HW: 10V/Div]

Bild 3.51: Rückkehr der Phase *S*. Übergang vom zweiphasigen Betrieb in den dreiphasigen Betrieb mit eingangsseitiger Stabilisierung der Zwischenkreisspannungen. Dargestellt sind die DC-Ausgangsspannung u_{out} und die Phasenströme $i_{N,i}$.

Die Zuschaltung der dritten Phase erfolgte über einen Kippschalter. Durch das Prellen der Schaltkontakte wurden die in den obigen Bildern markierten Stromspitzen hervorgerufen.

Werden diese von der Überstromdetektionseinheit erfasst, kommt es zu einer Abschaltung des Systems.

Um den Systembetrieb bei Kurzschluss zweier Netzphasen aufrecht zu halten, muss die programmierbare Abschaltschwelle für den Minimalwert der Eingangsspannung unterhalb des halben Spitzenwertes der Phasennennspannung definiert werden. Mit dieser angepassten Kalibrierung konnte der Systembetrieb bei Kurzschluss zweier Netzphasen, dargestellt in **Bild 3.52**, realisiert werden. Für diese Netzverhältnisse bleibt dann das Regelungskonzept für den dreiphasigen Betrieb mit ausgangsseitiger Stabilisierung der Zwischenkreisspannungen weiterhin aktiv. Ein stabiler Betrieb mit ausgeregelten Zwischenkreisspannungen konnte aufgrund der geändernten Koppelverhältnisse zwischen den Modulen nicht über eine eingangsseitige Balancierung der Zwischenkreisspannungen erreicht werden. Die eingangsseitige Stabilisierung bei Phasenkurzschluss ist Gegenstand weiterführender Untersuchungen. (Wäre durch einen Balancierregler mit Integralanteil ein stabiler Betrieb möglich?)



Ausfall der Phase *R* und Kurzschluss zwischen Anschluss *R* und *T*.

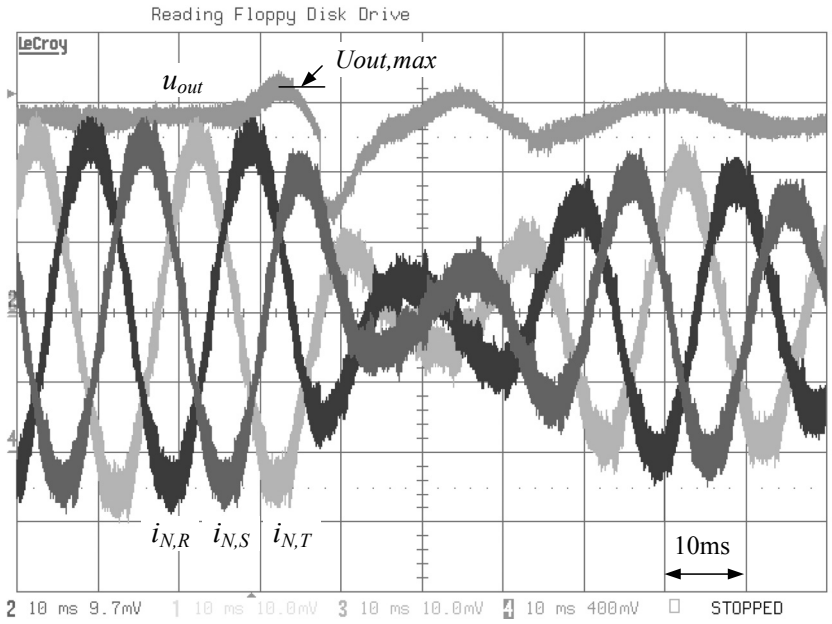
P_O = 3kW
$U_{N,i}$ = 230V
$U_{OY,i}$ = 400V
u_{out} = 48V

$i_{N,S}$ [Tek-A6303:5A/Div]
$u'_{N,R}$, $u'_{N,S}$ [TK:330V/Div]
u_{out} [DSP-HW: 10V/Div]

Bild 3.52: Übergang von symmetrischen Netzverhältnissen zu einem Kurzschluss zwischen Phase *R* und *T* mit Unterbrechung in der Netzphase *R*. DC-Ausgangsspannung u_{out}, die nullgrössenfreien Phasenspannungen $-u'_{N,S}$ und $-u'_{N,R}$ (= $-u'_{N,T}$), Phasenstrom $i_{N,S}$.

In **Bild 3.53** ist das transiente Verhalten bei einem sprunghaften, negativen Lastwechsel ohne Vorsteuerung der Ausgangslaständerung dargestellt. Die Reduzierung der Ausgangsströme erfolgt durch ein Zurücksetzen des integralen Stellgrössenanteils des Ausgangsspannungsreglers bei Überschreiten einer Maximalschwelle $U_{out,max}$ (Vergleich mit Simulationsergebnis in Bild 3.40 – Markierung (2) auf S. 247). Die Rücknahme der Eingangsströme erfolgt wegen

der Tiefpassfilterung der vorgesteuerten Ausgangsleistung vorrangig durch den Gesamtspannungsreglers $R_{U,OY}(s)$, dessen Reglerparameter bei Überschreiten einer maximalen mittleren Zwischenkreisspannung dynamisch angehoben werden (Vergleich mit Bild 3.40 – (3)). Die Verbesserung des transienten Verhaltens für denselben negativen Lastsprung bei Auswertung der Laststromänderung im Ausgangskondensator (s. Bild 3.29) zeigt **Bild 3.54**.

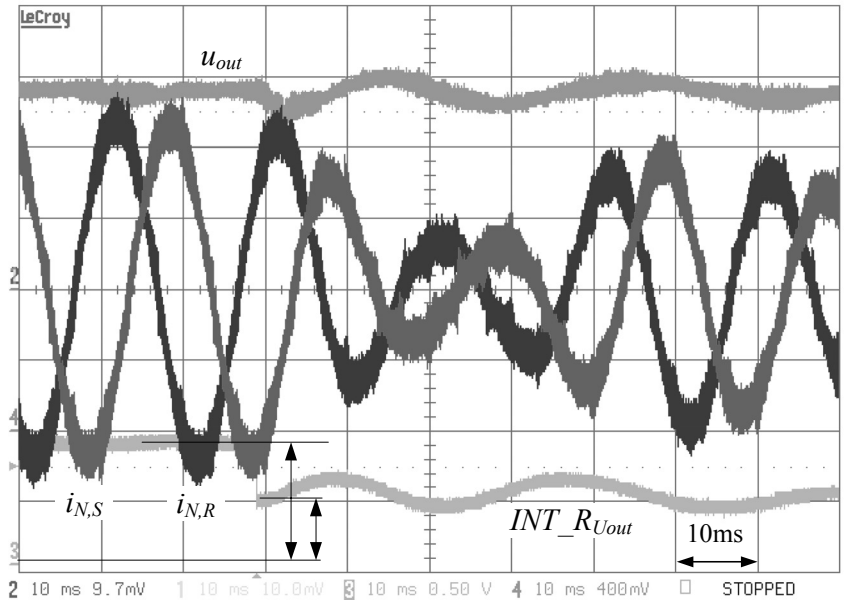


Negativer Lastsprung P_{in}=6kW→ 3,76kW ohne Vorsteuerung der Laständerung bei eingangsseitiger Symmetrierung

P_{in} = 6 kW→3,76kW
$U_{N,i}$ = 230V
$U_{OY,i}$ = 400V
u_{out} = 48V

$i_{N,i}$ [Tek-A6303:5A/Div]
u_{out} [DSP-HW: 10V/Div]

Bild 3.53: Systemverhalten bei einem negativen Lastsprung ohne Vorsteuerung der Laständerung mit einer unzureichenden Dynamik hinsichtlich der Ausregelung der Ausgangsspannung u_{out}. Die Phasenströme $i_{N,i}$ sind den simulierten Verläufen in Bild 3.40 sehr ähnlich.



Negativer Lastsprung P_{in}=5,8kW→ 3,54kW mit Vorsteuerung der Laständerung bei eingangsseitiger Symmetrierung

P_{in} = 5,8 kW→ 3,54kW
$U_{N,i}$ = 230V
$U_{OY,i}$ = 400V
u_{out} = 48V

$i_{N,i}$ [Tek-A6303:5A/Div]
u_{out} [DSP-HW: 10V/Div]
INT_R_{Uout} [DSP-HW]

Bild 3.54: Systemverhalten bei einem negativen Lastsprung mit Vorsteuerung der Laständerung. Dargestellt sind die DC-Ausgangsspannung u_{out}, die Phasenströme $i_{N,R}$ und $i_{N,S}$ sowie der integrale Anteil der Stellgrösse des Ausgangsspannungsreglers $R_{Uout}(s)$ (s. Bild 3.28).

Bild 3.55 zeigt einen Vergleich des Messsignals des im System eingesetzten Stromsensors mit einer Tektronix Stromzange (*A6303*). Die Messstörungen sind überwiegend durch ein nicht EMV-konformes Design der Verbindungsplatine (nur zweilagig ausgeführt, nur einfaches LC-Filter am Ausgang der Eigenstromversorgung, Verlegung des schaltfrequenten Netzsternpunktleiters sehr nahe an den Stromsensoren) hervorgerufen.

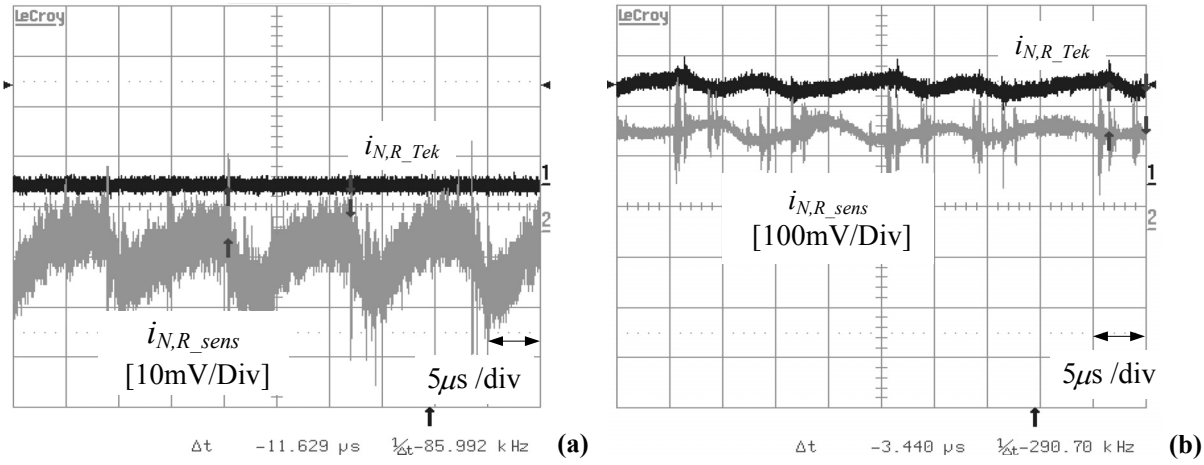


Bild 3.55: Vergleich der Strommessung (*LEM LTSR-15NP*) mit Tektronix Stromzange (*A6303*). Das Messsignal der Stromzange [0.5A/Div] ist mit i_{N,R_Tek}, das Messsignal [mV/Div] des Stromsensors - abgegriffen am Anschlusspin zum DSP-Board - mit i_{N,R_sens} bezeichnet. In **(a)** befindet sich das System im Leerlauf; im Messsignal des Stromsensors ist die Taktung der Eigenstromversorgung (2-Schalter-Sperrwandler) mit 86kHz deutlich zu erkennen. In **(b)** befindet sich das System im dreiphasigen Betrieb bei P_O=2.4kW; $U_{N,i}$=120V. Optimal wäre eine synchronisierte Taktung der Eigenstrom-versorgung mit der Messwerterfassung.

B.1 Überblick über Einphasen-PFC Topologien basierend auf dem Hochsetzstellerprinzip

In diesem Abschnitt werden verschiedene Einphasen-PFC Konzepte vorgestellt und miteinander verglichen. Aus der Vielzahl an möglichen Konzepten, die seit Beginn der 90iger Jahre ([Red91]) zur Reduzierung von Netzoberschwingungen Anwendung in Stromversorgungseinheiten gefunden haben, wird an dieser Stelle nur eine kleine Auswahl angeführt. Alle dargestellten Topologien beruhen auf dem Prinzip eines Hochsetzstellers. Die Hochsetzstellerstruktur ermöglicht den Betrieb mit nicht pulsierendem Eingangsstrom und führt daher bei kontinuierlicher Stromführung in der Induktivität zu einem reduzierten EMI-Filteraufwand. Neben der sehr guten Ausnützung des Leistungsschalters und der Möglichkeit der sinusförmigen Eingangsstromführung in Phase mit der Eingangsspannung weist die Topologie aber auch zwei nicht zu vernachlässigende Nachteile auf. Da der Halbleiterschalter nicht zwischen der Ein- und Ausgangsklemme des Gleichrichters liegt, sind zusätzlich Vorkehrungen für die Einschaltstrombegrenzung und für den Überlastschutz bei Kurzschluss am Gleichrichterausgang vorzusehen.

Weiterführende Konzepte mit *Soft-Switching* Kommutierung ([DeS95]) zur Reduzierung der Schaltverluste scheiden aufgrund der erhöhten Komplexität und Kosten für den Einsatz in einer modularen Dreiphasen-Topologie aus.

Ziel dieser Gegenüberstellung verschiedener Hochsetzsteller-Topologien ist, für den Aufbau der modularen dreiphasigen Pulsgleichrichterkonzepte (*Y-Rectifier* und *Delta-Rectifier*) die hinsichtlich Wirkungsgrad und Komplexität geeignete Struktur für ein Modul zu finden.

Grundsätzlich sind die in einer PFC-Topologie eingesetzten Dioden in zwei Kategorien einzuteilen. Einerseits gibt es Dioden D_N, die mit Netzfrequenz schalten, andererseits Dioden D_F die ihren Leitzustand mit Schaltfrequenz ändern. Die mit Schaltfrequenz beaufschlagten Dioden bestimmen mit ihrer Rückwärtserholladung entscheidend die Einschaltverluste im Leistungsschalter. Bevorzugt kommen für den betrachteten Leistungsbereich (P_O=1…3,5kW) und für die Schaltfrequenz (f_P=50…150 kHz) MOSFETs zum Einsatz. Eine Einschränkung ist jedoch gegeben, wenn die inhärente Rückwärtsdiode eines MOSFET eine schaltfrequente Sperrspannung aufnehmen müsste. In diesem Fall wäre dem Einsatz eines IGBT der Verzug zu geben. Dies ist jedoch für PFC-Schaltungen in der Regel nicht der Fall.

B.1.1 Standard-PFC Topologie

Die als Standardausführung in die Literatur eingegangene Struktur eines Einphasen-PFC ist in **Bild 3.56**(a) dargestellt. Der Hauptnachteil dieser Topologie ist, dass der Strom immer durch drei Halbleiterkomponenten geführt wird und somit relativ hohe Leitverluste anfallen. Die weit verbreitete Anwendung dieser Topologie liegt aber darin begründet, dass die Ausgangsklemme a_1 keine schaltfrequente Spannung gegenüber der Eingangsklemme e_1 aufweist, wodurch die elektromagnetische Störaussendung stark reduziert ist. Die Vermeidung einer schaltfrequenten Anbindung der Ausgangsklemmen bezüglich der Netzanschlussklemmen ist für viele Applikationen verbindlichen, wenn an den Ausgangsklemmen keine potenzialtrennende DC/DC-Stufe nachgeschaltet wird. Neben der Anordnung der Induktivität auf der DC-Seite, kann diese auch auf der AC-Seite (s. **Bild 3.56**(b)) angeordnet werden. Damit wird eine Reduzierung der Störaussendung der Netzgleichrichtung zum Netz hin erreicht [Red91]. Jedoch weist nun die Ausgangsklemme a_1 während der negativen Halbschwingung des Netzstromes i_N ein schaltfrequentes Potenzial gegenüber der Eingangsklemme e_1 auf und ist nur während der positiven Halbschwingung über die Diode D_{N1b} an e_1 geklemmt.

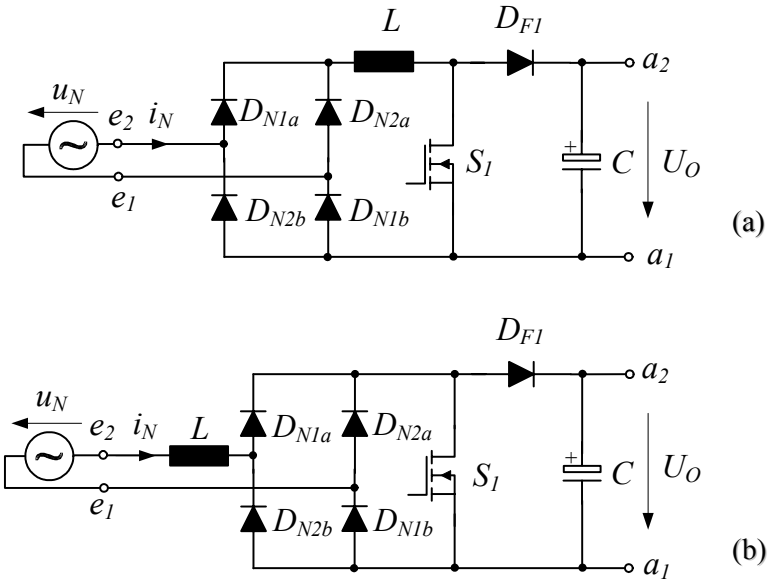


Bild 3.56: Standardvariante eines Einphasen-PFC. Ausführung mit Induktivität auf der Gleichspannungsseite **(a)** bzw. auf der Wechselspannungsseite **(b).**

B.1.2 PFC Topologien mit reduzierten Halbleiterverlusten

Verlustarme PFC Topologien, die nur noch 2 Halbleiterelemente im Strompfad beinhalten, sind in **Bild 3.57** dargestellt. Die erste Topologie **(a)** geht auf [Mit83] zurück und wurde in [Mar96] ausführlich dargestellt und in [Tol92] bzw. [Red94] mit anderen Topologien verglichen. Anstelle der Eingangsgleichrichtung sind nun zwei Halbbrücken-Hochsetzsteller im Einsatz und es werden dezidiert die inhärenten Rückwärtsdioden der beiden MOSFET als Netzdioden zur Stromführung herangezogen. In der positiven Halbschwingung von i_N realisieren S_1 und D_{F1} die Funktionalität des Hochsetzstellers und die Diode von S_2 übernimmt die Rückleitung des Stromes an die Netzklemme e_1. In der negativen Halbschwingung ist es umgekehrt. Die Ansteuerung der beiden MOSFET kann synchron erfolgen, da ohnehin die Funktion eines MOSFET durch die leitende Rückwärtsdiode vorgegeben ist. Die Nachteile der internen Dioden bezüglich ihrer grossen Rückwärtserholladung kommen aufgrund der netzfrequenten Kommutierung nicht zu tragen.

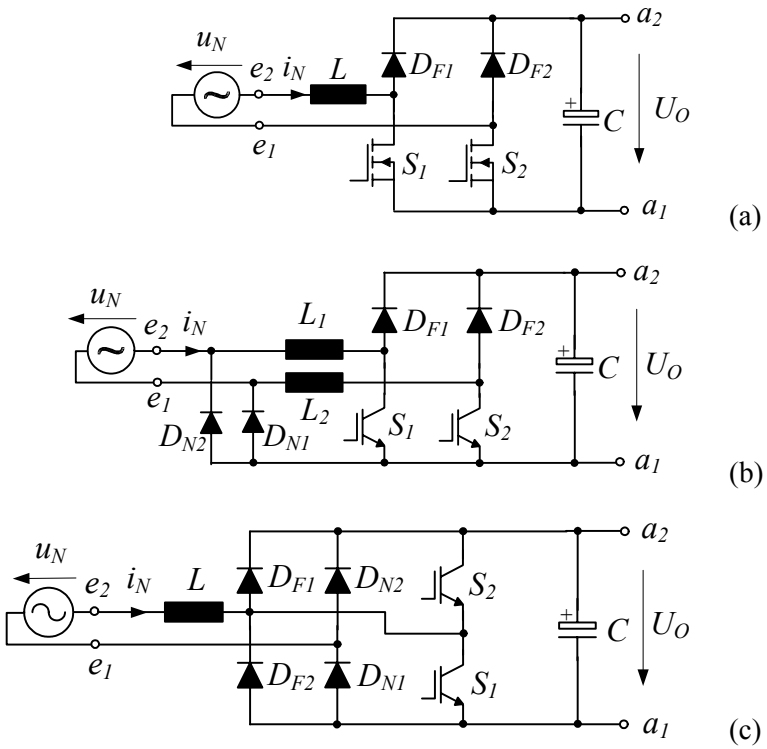


Bild 3.57: 2-Punkt PFC-Varianten mit reduzierten Halbleiterverlusten.

Soll vermieden werden, dass die Ausgangsklemme a_1 während der negativen Halbschwingung ein schaltfrequentes Potenzial gegenüber der Eingangsklemme e_1 aufweist, kann auf die in [DeS99] vorgestellte Erweiterung mit 2 Netzdioden (Bild 3.57(b))

übergegangen werden. Nachteilig ist festzuhalten, dass nun in beiden Zuleitungen eine Induktivität $L = L_1 = L_2$ implementiert werden muss, die jeweils nur während einer halben Netzperiode abwechselnd die Stromführung übernehmen. Ausserdem muss der leistungselektronische Schalter für die gering auftretende Sperrspannung rückwärts sperrend sein, womit ein IGBT anstelle eines MOSFET zum Einsatz kommt. Für die positive Netzhalbschwingung sind die Komponenten L_1, D_{F1}, S_1 und D_{N1} stromführend, für die negative Netzhalbschwingung entsprechend L_2, D_{F2}, S_2 und D_{N2}. Mit dem schaltungstechnischen Mehraufwand ist gewährleistet, dass die Ausklemme a_1 nur ein netzfrequentes Potenzial gegenüber der Eingangsklemme e_1 aufweist. Der Einsatz von zwei Induktivitäten führt aber zu einem massgeblichen Ansteigen der Baugrösse.

Die letzte Variante (s. Bild 3.57(c)) setzt wieder den Einsatz von IGBTs voraus und wurde in [Tol92] vorgestellt. Würden MOSFETs zum Einsatz kommen, entstünden durch die grosse Rückwärtserholladung der internen Dioden sehr hohe Schaltverluste. Der Vorteil dieser Topologie ist, dass die Ausgangsklemme a_1 während der positiven Netzhalbschwingung mit e_1 über die Netzdiode D_{N1} leitend verbunden ist, und während der negativen Halbschwingung über D_{N2} und C, womit e_1 gegenüber a_1 das konstante Potenzial U_O aufweist. Nachteilig ist, dass die Ansteuerung der beiden IGBT eine Detektierung des Spannungsnulldurchganges erfordert und zur Vermeidung eines Ausgangskurzschlusses eine gegenseitige Verriegelungslogik vorzusehen ist. Die Ansteuerung des IGBTs S_2 muss zusätzlich potenzialgetrennt gegenüber a_1 ausgeführt werden. Während der positive Netzhalbschwingung führen D_{N1} und S_1 oder D_{F1}, während der negativen Halbschwingung D_{N2} und S_2 oder D_{F2} den Strom. Die Topologien gemäss Bild 3.57(b, c) werden als leistungselektronische Module bis zu einem Leistungsbereich von 4,5kW bei einer Schaltfrequenz bis zu 100kHz angeboten [Ern04].

B.1.3 Topologieauswahl für den Einsatz als *Y-Rectifier* Modul

Werden die oben angeführten Topologien für den Einsatz im *Y-Rectifier* bewertet, ist eine grundlegende Erweiterung der Betrachtung notwendig. Der *Y-Rectifier* basiert darauf, dass die drei Einphasenmodule jeweils mit einer Eingangsklemme an der Phasenspannung mit der anderen Eingangsklemme an einem internen Systemsternpunkt N_S angeschlossen sind (siehe **Bild 3.58**).

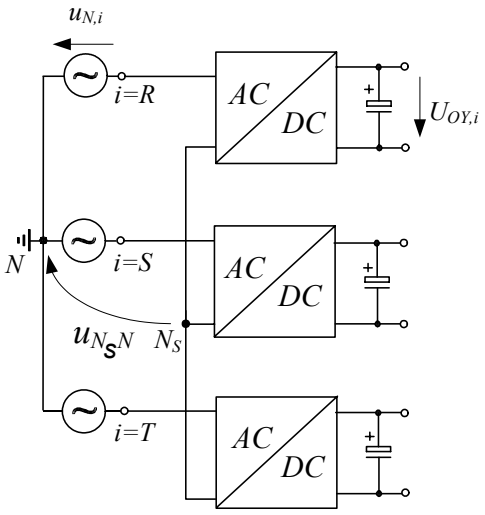


Bild 3.58: Aufbauprinzip eines *Y-Rectifier*

Das Systemkonzept führt dazu, dass der interne Systemsternpunkt N_S im dreiphasigen Netzbetrieb schaltfrequentes Potenzial gegenüber den Netzsternpunkt N annimmt. Diese schaltfrequente Spannung $u_{N_SN} = -u_0$ führt dazu, dass der auftretende Phasenstromrippel gegenüber einem einphasigen System reduziert ist.

Da nun jedes Modul mit einer Eingangsklemme an einem schaltfrequenten Potenzial liegt, weisen grundsätzlich alle Modulausgangsspannungen $U_{OY,i}$ bezüglich des Netzsternpunktes N ein schaltfrequentes Potenzial auf. Somit führt der schaltungstechnische Mehraufwand in den PFC-Schaltungen nach Bild 3.57(b, c) zu keinem Vorteil hinsichtlich des Potenzials der Ausgänge.

Die Topologie in Bild 3.57(a) führt auf die geringsten Halbleiterverluste und stellt somit die optimale Ausführungsform für ein 2-Punkt *Y-Rectifier* Modul dar. In Anhang B.2.1 sind für die Module nach Bild 3.56(a) und Bild 3.57(a) die analytischen Gleichungen der Strombelastung der Komponenten angegeben und die auftretenden Halbleiterverluste in Tabelle 3.5 und Tabelle 3.6 auf S. 271 gegenübergestellt.

B1.3.1 3-Punkt PFC Topologie

Ein weiterer Schritt zur Verlustleistungsoptimierung wäre mit dem Übergang auf eine 3-Punkt Ausgangsstufe möglich, wenn die ansteigenden Leitverluste durch die Reduktion der Schaltverluste aufgrund der Halbierung der Sperrspannung ($U_{OY}/2$) mehr als kompensiert werden können. **Bild 3.59** zeigt die Topologie der 3-Punkt Struktur. Für die Einhaltung eines annähernd gleich grossen Stromrippels kann die Induktivität L_{3P} gegenüber der Induktivität L

einer 2-Punkt Variante bei gleicher Taktfrequenz f_P und Ansteuerung der beiden MOSFETs S_1 und S_2 im Gegentakt auf etwa ¼ des Wertes reduziert werden. Dies gilt jedoch nur für ein Einphasensystem. Für den Einsatz einer 3-Punkt Topologie als *Y-Rectifier* Modul, kann L_{3P} nur noch auf etwa 50% von L herabgesetzt werden (siehe Vergleich der globalen Effektivwerte der Stromrippel in Anhang B.3.2). Mit Abnahme des Induktivitätswertes kann eine kleinere Kernbauform mit geringeren Verlusten realisiert werden. Das Bild 3.60 in Abschnitt B.2.3 stellt die berechneten Verluste der Eingangsstufe für die 2-Schalter 2-Punkt Struktur und die 3-Punkt Struktur grafisch gegenüber. Es zeigt sich, dass die 2-Punkt Topologie aufgrund geringerer Leitverluste gegenüber der 3-Punkt Topologie einen höheren Wirkungsgrad aufweist. Die Schaltverluste bei Einsatz einer 300V Technologie in der 3-Punkt Struktur gegenüber der 600V Technologie in der 2-Punkt Struktur werden vergleichsweise zu den anstiegenden Leitverlusten nur geringfügig reduziert.

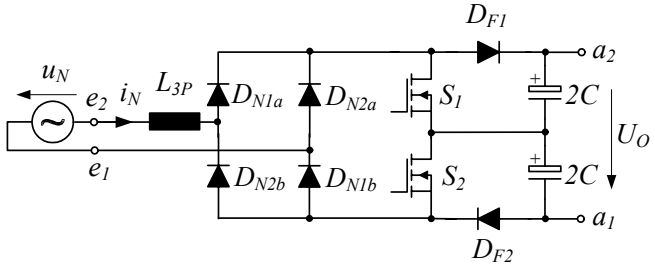


Bild 3.59: 3-Punkt Topologie mit AC-seitig angeordneter Induktivität L_{3P} für den Einsatz als *Y-Rectifier* Modul.

B.1.4 Vergleich mit *Delta-Rectifier* Modul

Im Gegensatz zum *Y-Rectifier* können beim *Delta-Rectifier*, wo die Ausgangsspannung bei 800V liegt, mittels der 3-Punkt Ausgangsstruktur geringere Gesamtverluste als für eine 2-Punkt Topologie erzielt werden. In diesem Fall weisen die verfügbaren 600V Halbleiterelemente (MOSFET / Diode) im Vergleich zu Komponenten mit 1200V Sperrspannungsfestigkeit (IGBT / Diode) wesentlich bessere Schalteigenschaften auf. Zusätzlich ist die 3-Punkt Struktur für die Spannungsfestigkeit der Ausgangskondensatoren (Standardausführungen bis typisch 450V) notwendig. Würde beim *Delta-Rectifier* eine 2-Punkt Ausgangsstruktur eingesetzt, müsste eine ohmsche Spannungssymmetrierung für die in Serie geschalteten Ausgangskondensatoren vorgenommen werden.

Für den *Delta-Rectifier* ist es vorteilhaft die Gesamtinduktivität L_{3P} auf der Gleichspannungsseite symmetrisch auf die beiden Leitungspfade aufzuteilen, um eine bessere Gleichtakt-Störunterdrückung zu erreichen.

B.2 Strombelastung und Wirkungsgrad für das *Y-Rectifier* Modul

B.2.1 Analytische Gleichungen für die Strombelastung der Leistungskomponenten

Die analytischen Gleichungen für die Strombelastung der Leistungskomponenten können mit derselben Vorgehensweise wie für den *Delta-Rectifier* bestimmt werden. Um eine Wiederholung zu vermeiden, werden an dieser Stelle nur die Ergebnisse für die möglichen Ausführungsvarianten in **Tabelle 3.3** und **Tabelle 3.4** zusammengefasst. Nähere Details zum Rechengang sind dem Kapitel 2.2.3 zu entnehmen.

Tabelle 3.3: Strombelastung der Leistungskomponenten für das 2-Schalter 2-Punkt PFC-Modul bei dreiphasig-symmetrischen Netzspannungs- und Lastverhältnissen. Der Modulationsfaktor ist mit $M = \hat{U}_{N,i}/U_{OY} = 2\hat{U}_{N,i}/U_O$ definiert.

Komponenten	Strommittelwert	Stromeffektivwert
MOSFET Body-Diode	$\frac{1}{\pi}\hat{I}_{N,i}$	$\frac{1}{2}\hat{I}_{N,i}$
Freilaufdiode D_F	$\frac{M}{4}\hat{I}_{N,i}$	$\sqrt{\frac{2M}{3\pi}}\cdot\hat{I}_{N,i}$
Transistor S	$\left(\frac{1}{\pi}-\frac{M}{4}\right)\hat{I}_{\mathrm{N,i}}$	$\sqrt{\frac{1}{4}-\frac{2M}{3\pi}}\cdot\hat{I}_{N,i}$
Induktivität L	$\frac{2}{\pi}\hat{I}_{N,i}$	$\frac{1}{\sqrt{2}}\hat{I}_{N,i}$
Kapazität C	0	$\sqrt{\frac{4M}{3\pi}-\frac{M^2}{4}}\cdot\hat{I}_{N,i}$

$$\hat{I}_{N,i}=\frac{P_N}{\sqrt{3}U_{N,i}}$$

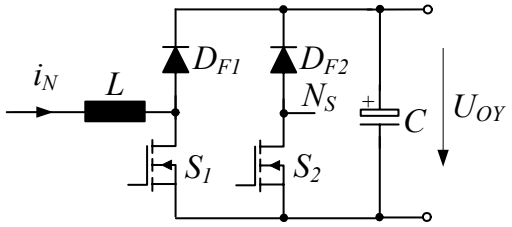
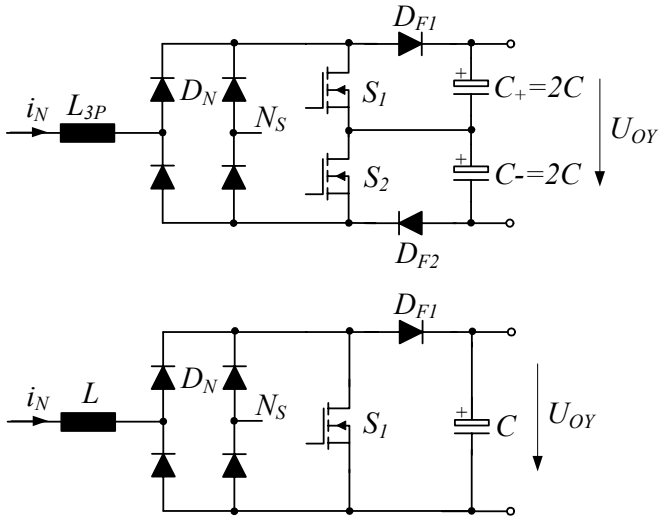


Tabelle 3.4: Strombelastung der Leistungskomponenten für das 3-Punkt PFC-Modul bei dreiphasig-symmetrischen Netzspannungs- und Lastverhältnissen. (Die Standard-PFC Variante weist dieselbe Strombelastung jedoch für S_1 und D_{F1} die doppelte Sperrspannungsbelastung auf.)

Komponenten	Strommittelwert	Stromeffektivwert
Netzdiode D_N	$\frac{1}{\pi}\hat{I}_{N,i}$	$\frac{1}{2}\hat{I}_{N,i}$
Freilaufdiode D_F	$\frac{M}{2}\hat{I}_{N,i}$	$\sqrt{\frac{4M}{3\pi}}\cdot\hat{I}_{N,i}$
Transistor S	$\left(\frac{2}{\pi}-\frac{M}{2}\right)\hat{I}_{N,i}$	$\sqrt{\frac{1}{2}-\frac{4M}{3\pi}}\cdot\hat{I}_{N,i}$
Induktivität L	$\frac{2}{\pi}\hat{I}_{N,i}$	$\frac{1}{\sqrt{2}}\hat{I}_{N,i}$
Kapazität C	0	$\sqrt{\frac{4M}{3\pi}-\frac{M^2}{4}}\cdot\hat{I}_{N,i}$

$$\hat{I}_{N,i}=\frac{P_N}{\sqrt{3}U_{N,i}}$$



B.2.2 Gegenüberstellung der Verluste von 2-Punkt-Topologien

Basierend auf den obigen analytischen Gleichungen sind in **Tabelle 3.5** und **Tabelle 3.6** die auftretenden Halbleiterverluste in den beiden 2-Punkt Topologien für die spezifizierte Nennleistung des *Y-Rectifier* (P_N=3×1800W) gegenübergestellt. Es zeigt sich, dass die 2-Schalter 2-Punkt Ausführung über den gesamten Eingangsspannungsbereich zwischen 6 und 9 Watt geringere Halbleiterverluste aufweist. Hinsichtlich der auftretenden Verluste in den passiven Komponenten sind beide Topologien identisch. Die Verlustkenndaten der Leistungshalbleiter sind in **Tabelle 3.7** angegeben.

Tabelle 3.5: Halbleiterverluste für ein *Y-Rectifier* Modul mit 2-Schalter 2-Punkt PFC-Topologie.

Gesamt-Eingangsleistung	5400	5400	5400	5400	5400	W
Modul-Nennleistung	1800	1800	1800	1800	1800	W
Phasenspannung	184	207	230	253	276	V
Modulationsindex	0,65	0,73	0,81	0,89	0,98	-
Eingangsstrom (Spitzenwert)	13,8	12,3	11,1	10,1	9,2	A
Nennstrom (Effektivwert)	9,8	8,7	7,8	7,1	6,5	A
Nennstrom (Mittelwert)	8,8	7,8	7,0	6,4	5,9	A
Ausgangsspannung	400	400	400	400	400	V
Schaltfrequenz	50	50	50	50	50	kHz
MOSFET S1, S2 (SPW47N60C3)						
Stromeffektivwert	4,63	3,78	3,08	2,47	1,91	A
Strommittelwert	2,15	1,66	1,27	0,95	0,69	A
Leitverluste je	2,6	1,7	1,1	0,7	0,4	W
Schaltverluste je	8,1	7,2	6,5	5,9	5,4	W
Body-Diode-Mosfet						
Stromeffektivwert	6,92	6,15	5,53	5,03	4,61	A
Strommittelwert	4,40	3,91	3,52	3,20	2,94	A
Leitverluste je	3,4	3,0	2,6	2,4	2,2	W
Gesamtverluste je MOSFET	**14,0**	**11,9**	**10,3**	**9,0**	**8,0**	**W**
Freilaufdiode DF1, DF2 (ISL9K3060G3)						
Stromeffektivwert	5,14	4,85	4,60	4,38	4,20	A
Strommittelwert	2,25	2,25	2,25	2,25	2,25	A
Leitverluste je	2,7	2,6	2,5	2,4	2,3	W
Schaltverluste je	1,4	1,3	1,1	1,0	0,9	W
Gesamtverluste je DF	**8,2**	**7,6**	**7,2**	**6,8**	**6,5**	**W**
Halbleiterverluste gesamt pro Modul	**36,3**	**31,4**	**27,7**	**24,8**	**22,5**	**W**

Tabelle 3.6: Halbleiterverluste für ein *Y-Rectifier* Modul mit Standard 2-Punkt PFC-Topologie.

Gesamt-Eingangsleistung	5400	5400	5400	5400	5400	W
Modul-Nennleistung	1800	1800	1800	1800	1800	W
Phasenspannung	184	207	230	253	276	V
Modulationsindex	0,65	0,73	0,81	0,89	0,98	-
Eingangsstrom (Spitzenwert)	13,8	12,3	11,1	10,1	9,2	A
Nennstrom (Effektivwert)	9,8	8,7	7,8	7,1	6,5	A
Nennstrom (Mittelwert)	8,8	7,8	7,0	6,4	5,9	A
Ausgangsspannung	400	400	400	400	400	V
Schaltfrequenz	50	50	50	50	50	kHz
MOSFET S1 (SPW47N60C3)						
Stromeffektivwert	6,55	5,35	4,36	3,49	2,70	A
Strommittelwert	6,56	5,58	4,80	4,16	3,62	A
Leitverluste	5,1	3,4	2,3	1,5	0,9	W
Schaltverluste	16,2	14,4	12,9	11,8	10,8	W
Gesamtverluste MOSFET	**21,3**	**17,8**	**15,2**	**13,2**	**11,7**	**W**
Netzdiode DNi (GBPC2506)						
Stromeffektivwert	6,92	6,15	5,53	5,03	4,61	A
Strommittelwert	4,40	3,91	3,52	3,20	2,94	A
Verluste je DN	**4,3**	**3,8**	**3,4**	**3,0**	**2,8**	**W**
Freilaufdiode DF1 (HFA25PB60)						
Stromeffektivwert	7,27	6,85	6,50	6,20	5,94	A
Strommittelwert	4,50	4,50	4,50	4,50	4,50	A
Leitverluste	5,5	5,4	5,3	5,2	5,1	W
Schaltverluste	1,4	1,3	1,1	1,0	0,9	W
Gesamtverluste DF1	**7,0**	**6,7**	**6,4**	**6,2**	**6,1**	**W**
Halbleiterverluste gesamt pro Modul	**45,5**	**39,6**	**35,1**	**31,5**	**28,7**	**W**

Tabelle 3.7: Kenndaten zur Verlustleistungsberechnung der Leistungshalbleiter.

Komponente	Kenndaten Leitverluste	Kenndaten Schaltverluste
Freilaufdiode (ISL9K3060G3)	U_F = 0,65V, r_D = 47mΩ	$k_{1,RR}$ = 3,2µJ/A
MOSFET (SPW47N60C3)	$R_{DS(on)}$=0,12Ω	$k_{1,ON}$ = 28,5µJ/A
Body-Diode	U_{SD}=0,7V, $r_{D(on)}$=6mΩ	$k_{2,OFF}$= 8,2µJ/A
Netzdioden (GBPC2506)	U_F=0,85V, r_D=12mΩ	keine Schaltverluste
Freilaufdiode (HFA25PB60)	U_F = 0,95V, r_D = 24mΩ	$k_{1,RR}$ = 3,2µJ/A

B.2.3 Gegenüberstellung der Verluste einer 2-Schalter 2-Punkt Topologie mit einer 3-Punkt Topologie

Für die 3-Punkt PFC Topologie (s. Bild 3.59) ist eine Sperrspannungsfestigkeit von 300V für die beiden MOSFET (S_1, S_2) und Freilaufdioden (D_{F1}, D_{F2}) ausreichend. Da mit sinkender Sperrspannungsfestigkeit die Speicherladung in der Raumladungszone abnimmt, verbessert sich das Schaltverhalten. Gemeinsam mit der Näherung, dass die Schaltverluste mit der geschalteten Spannung (U_{OY}/2) proportional abnehmen, ist somit insgesamt mit einer Verbesserung der Schaltverluste pro Teilstufe um einen Faktor 3…5 zu rechnen. Da die Unterschiede in den Schalteigenschaften der 300V und 600V Leistungshalbleiter nicht sehr gross sind, wird die Abnahme der Schaltverluste für eine Teilausgangsstufe um einen Faktor 3 angenommen, d.h. die Schaltkoeffizienten für die 3-Punkt-Struktur betragen $k_{1,ON}$ = 9,5µJ/A und $k_{2,OFF}$= 2,7µJ/A. Im Vergleich zur 2-Schalter 2-Punkt Struktur sind anstatt 2 immer 4 Halbleiterkomponenten in Serie an der Stromführung beteiligt, womit die Leitverluste entsprechend ansteigen. Die Eingangsinduktivität kann für eine 3-Punkt Struktur aufgrund der zusätzlichen Spannungsraumzeiger kleiner ausgelegt werden. Mit den im Anhang B.3.2 angegebenen Verläufen des globalen Effektivwertes des Eingangsstromrippels ist eine Reduktion der Induktivität für reine Sinusmodulation um ca. 50% möglich ($\rightarrow L_{3P} = 0{,}5.L$). Eine Minimierung des Stromrippels mittels Injektion einer 3. Harmonischen kann für die 3-Punkt Struktur nicht erreicht werden (s.Bild 3.63 auf S. 279).

Bild 3.60 gibt die Modulverluste für die 2-Schalter 2-Punkt und für die 3-Punkt Topologie an. Die näherungsweise Berechnung der Magnetisierungsverluste in der Induktivität erfolgt über die globalen Effektivwerte des Stromrippels. Diese sind in Anhang B.3.1 angeführt und gelten für die isolierte Betrachtung eines Moduls (*Ns* mit *N* elektrisch verbunden).

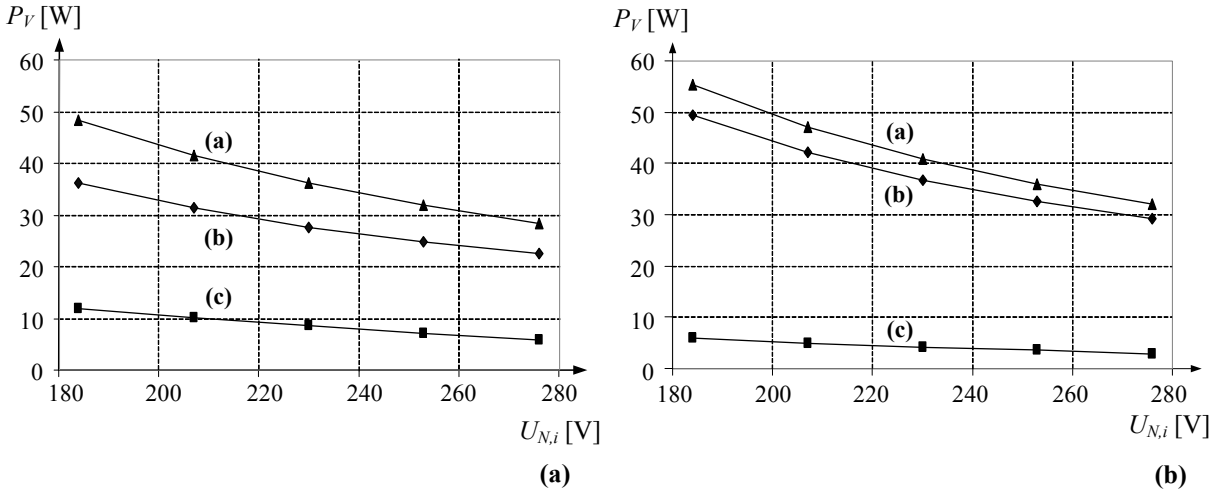


Bild 3.60: Verluste des Leistungsteils der PFC-Eingangsstufe ausgeführt als 2-Schalter 2-Punkt Topologie **(a)** bzw. als 3-Punkt Topologie **(b)** bei Nennleistung $P_{N,Modul}$=1800W. Für die Induktivität gilt $L_{3P} = L/2$. Die berechneten Gesamtverluste pro Modul **(a)** bestehend aus den Halbleiterverlusten **(b)** und den Verlusten in der Eingangsinduktivität **(c)**. Die Verluste in den Ausgangskondensatoren (ca. 2-3W) sind hier vernachlässigt.

B.3 Globaler Effektivwert des schaltfrequenten Stromrippels

Die Berechnung des schaltfrequenten Stromrippels Δi_L wird für beide Implementierungsvarianten der Ausgangsstufe (2-Punkt und 3-Punkt) angegeben. Die Berechnung erfolgt analog zur Vorgehensweise beim *Delta-Rectifier* und wird an dieser Stelle nur noch in gekürzter Form angegeben.

B.3.1 Analytische Berechnung des Phasenstromrippels für $N = N_S$

Für die analytische Berechnung des Phasenstromrippels wird die Vereinfachung getroffen, dass der Systemsternpunkt N_S mit dem Netzsternpunkt N elektrisch verbunden ist. Dies führt dazu, dass die Stromverkopplung der Module aufgehoben wird. Die Berechnung kann somit auf die isolierte Betrachtung eines Einzelmoduls übergeführt werden. Durch den Wegfall der schaltfrequenten Nullspannungskomponente u_0 ist der berechnete Stromrippel grösser als der im dreiphasigen Betrieb tatsächlich auftretende. Die Ermittlung des Stromrippels unter Berücksichtigung der Verkopplung der Module, d.h. bei offenem Systemsternpunkt, erfolgt mittels numerischer Integration des simulierten Stromverlaufes und wird in Abschnitt B.3.2 dargestellt.
Für die analytische Rechnung wird ein konstanter Wert der Induktivität L und kontinuierliche Stromführung in der Induktivität L über die gesamte Netzperiode angenommen, und der netzfrequenten Spannungsabfall an L vernachlässigt. Die angegebenen analytischen Gleichungen gelten für reine Sinusmodulation, womit eine Einschränkung des Gültigkeitsbereichs auf Modulationsindizes M<1 gegeben ist.

B3.1.1 2-Punkt Ausgangsstufe

Die Zeitverlauf der Einhüllenden des Stromrippels $\Delta\hat{i}_L$ berechnet sich zu

$$\Delta\hat{i}_L = \frac{\hat{U}_{N,i} T_P}{2L} \sin(\varphi)\left(1 - \frac{\hat{U}_{N,i}}{U_{OY}} \sin(\varphi)\right) \quad (\varphi = \omega_N\, t) \tag{3.108}$$

und mit

$$M = \frac{\hat{U}_{N,i}}{U_{OY}} \tag{3.109}$$

folgt

$$\Delta\hat{i}_L = \frac{U_{OY}T_P}{2L} M \sin(\varphi)\left(1 - M\sin(\varphi)\right), \tag{3.110}$$

wobei der Faktor ½ die Lage des Stromrippels symmetrisch um die Grundschwingung berücksichtigt.

Der Maximalwert für die lokale Stromänderung bestimmt sich aus Gl. (3.108) durch Lösen einer Extremwertaufgabe und liegt abhängig vom Modulationsindex bei

$$\varphi = \arcsin\left(\frac{1}{2M}\right). \tag{3.111}$$

Damit errechnet sich der maximal auftretende lokale Stromrippel zu

$$\Delta\hat{i}_{L,\max} = \frac{U_{OY}T_P}{8L}. \tag{3.112}$$

Für die Bestimmung der auftretenden Magnetisierungsverluste ist der über eine Netzperiode gemittelte effektive Stromrippel von Interesse. Dieser berechnet sich aus Gl.(3.108) unter Berücksichtigung des dreieckförmigen Verlaufes des Stromrippels mit

$$\Delta I_L{}^2 = \frac{1}{3}\left(\frac{U_{OY}T_P}{2L}\right)^2 M^2 \int_0^{\pi} \left(\sin^2(\varphi)\left(1 - M\sin(\varphi)\right)^2\right) d\varphi \ . \tag{3.113}$$

Dies führt auf

$$\Delta I_L{}^2 = \left(\frac{U_{OY}T_P}{8L}\right)^2 \frac{2}{9} M^2 \left(12 + 9M^2 - \frac{64M}{\pi}\right). \tag{3.114}$$

B3.1.2 3-Punkt Ausgangsstufe

Für die Berechnung der 3-Punkt Ausgangsstruktur muss die Unterscheidung in zwei Bereiche, **A** und **B,** eingeführt werden. Der Gültigkeitsbereich kann angegeben werden mit

$$\text{Bereich } \mathbf{A}\text{: } u_{N,i} < U_{OY}/2 \text{ für } \varphi < \xi \text{ oder } \varphi > \pi\text{-}\xi \ , \tag{3.115}$$

$$\text{Bereich } \mathbf{B}\text{: } u_{N,ij} > U_{OY}/2 \text{ für } \xi \le \varphi \le \pi\text{-}\xi \ . \tag{3.116}$$

ξ berechnet sich mit

$$\xi = \arcsin\left(\frac{U_{OY}}{2\hat{U}_{N,i}}\right) = \arcsin\left(\frac{1}{2M}\right). \tag{3.117}$$

Werden die beiden Schalter S_+ und S_- um eine halbe Pulsperiode versetzt mit derselben relativen Einschaltdauer $d_+ = d_- = d$ angesteuert (symmetrische Belastung der Teilausgangskreise vorausgesetzt), so gilt im Bereich **A**, dass über die gesamte Pulsperiode mindestens ein Schalter leitend ist und die relative Einschaltdauer $d \geq 0{,}5$ beträgt. Aus diesem Grund liegen an der Ausgangsseite der Induktivität nur die Spannungen 0V oder $U_{OY}/2$ an. Hingegen liegt im Bereich **B** keine Überlappung der Einschaltdauern von S_+ und S_- vor und die relative Einschaltdauer beträgt $d < 0{,}5$. Dies führt dazu, dass nur die beiden Spannungen $U_{OY}/2$ oder U_{OY} an der Ausgangsseite der Induktivität zu liegen kommen. Für den Bereich **A** berechnet sich die lokale Stromänderung $\Delta\hat{i}_L$ mit

$$\Delta\hat{i}_L\big|_A = \frac{U_{OY}T_P}{4L} M \sin(\varphi)\big(1 - 2M\sin(\varphi)\big), \tag{3.118}$$

und für Bereich **B** mit

$$\Delta\hat{i}_L\big|_B = \frac{U_{OY}T_P}{4L}\big(2M\sin(\varphi) - 1\big)\big(1 - M\sin(\varphi)\big). \tag{3.119}$$

Der Maximalwert der lokalen Stromänderung bestimmt sich aus Gl. (3.118) durch Lösen einer Extremwertaufgabe und liegt abhängig vom Modulationsindex bei

$$\varphi = \arcsin\left(\frac{1}{4M}\right). \tag{3.120}$$

Damit errechnet sich der maximal auftretende lokale Stromrippel zu

$$\Delta\hat{i}_{L,\max} = \frac{1}{4}\frac{U_{OY}T_P}{8L}. \tag{3.121}$$

Ein Vergleich mit Gl.(3.112) zeigt, dass der maximale lokale Stromrippel auf ein Viertel reduziert ist. Der globale Effektivwert des Stromrippels berechnet sich mit Gl. (3.122).

$$\begin{aligned}\Delta I_L{}^2 &= \frac{2}{3\pi}\left(\int_0^{\xi} \Delta\hat{i}_L\big|_A{}^2\, d\varphi + \int_{\xi}^{\pi/2} \Delta\hat{i}_L\big|_B{}^2\, d\varphi\right) = \\ &= \frac{2}{3\pi}\left(\frac{U_{OY}T_P}{4L}\right)^2 \left[\begin{array}{l}\displaystyle\int_0^{\xi} M^2 \sin^2(\varphi)\big(1 - 2M\sin(\varphi)\big)^2\, d\varphi + \\ \displaystyle\int_{\xi}^{\pi/2} \big(2M\sin(\varphi) - 1\big)^2\big(1 - M\sin(\varphi)\big)^2\, d\varphi\end{array}\right] =\end{aligned} \tag{3.122}$$

$$\Delta I_L{}^2 = \frac{1}{18\pi}\left(\frac{U_{OY}T_P}{4L}\right)^2 \left[\begin{array}{l} 6\pi - 36\sqrt{4M^2-1} + 39\pi M^2 - 32M^3 - 36\sqrt{4-\frac{1}{M^2}}M^3 + \\ 9\pi M^4 - 12\left(1+6M^2\right)\arcsin\left(\frac{1}{2M}\right) + \\ 8M^3\cos\left(3\arcsin\left(\frac{1}{2M}\right)\right) + 36M^2\sin\left(2\arcsin\left(\frac{1}{2M}\right)\right) \end{array}\right]$$

Die Gl. (3.122) ist nur gültig, wenn tatsächlich der Bereich **B** innerhalb einer Netzhalbperiode vorliegt. Liegt die Eingangsspannung nur im Bereich **A**, dann berechnet sich der globale Effektivwert des Stromrippels mit

$$\Delta I_L{}^2 = \frac{1}{18\pi}\left(\frac{U_{OY}T_P}{4L}\right)^2 M^2\left(3\pi - 32M + 9\pi M^2\right). \tag{3.123}$$

In **Bild 3.61** ist der normierte globale Effektivwert $\Delta I_{L,i,norm}$ des Phasenstromrippels in Abhängigkeit des Modulationsfaktors M für ein 2-Punkt und ein 3-Punkt Einphasenmodul dargestellt. Die Normierungsbasis lautet $\Delta i_{norm} = \frac{U_O T_P}{8L}$ und führt mit $U_O = 2U_{OY} = 800\text{V}$, $L = L_S = L_\Delta / 3 = 280\mu\text{H}$, $T_P = 20\mu\text{s}$ auf den Wert $\Delta i_{norm} = 7{,}14\,\text{A}$.

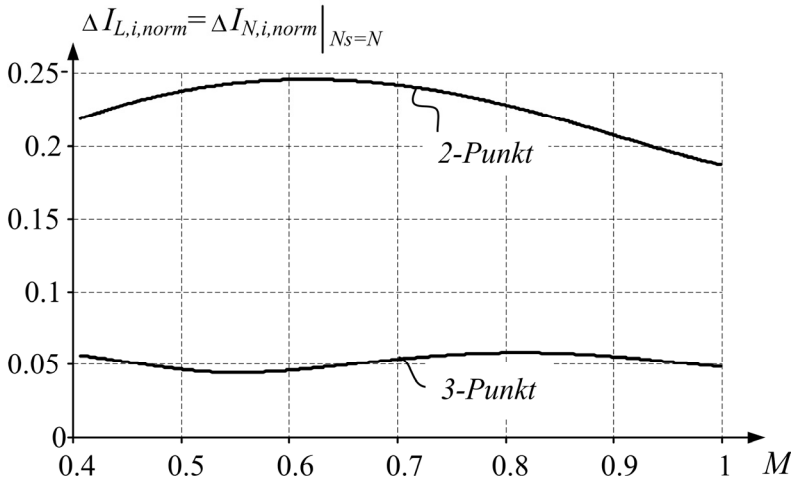


Bild 3.61: Normierter Verlauf des globalen Effektivwertes $\Delta I_{N,i,norm}$ des Phasenstromrippels Δi_L für ein 2-Punkt und ein 3-Punkt Einzelmodul (oder für den Phasenstromrippel beim *Y-Rectifier,* wenn N mit N_S elektrisch verbunden ist). Normierungsbasis $\Delta i_{norm} = U_O T_S / 8L = 7{,}14\,\text{A}$.

B.3.2 Numerische Berechnung des Phasenstromrippels für das verkoppelte System

Die Bestimmung des globalen Effektivwertes des Phasenstromrippels für das verkoppelte System (offener Systemsternpunkt N_S) erfolgt mittels Simulation des Netzstromrippels $\Delta i_{N,i} = i_{N,i} - i_{N,i(1)}$ und anschliessende numerische Integration über eine halbe Netzperiode. Um die numerischen Fehler sehr klein zu halten, wurde die Simulationsschrittweite zur Integrationsschrittweite und zur Taktperiode im Verhältnis 1/200:1/100:1 gewählt. Mittels der Simulation wurden auch die analytisch berechneten Verläufe für ein Einphasenmodul für verschiedene Eingangsspannungen überprüft. Das Simulationsergebnisse zeigen eine Abweichung von < 2% gegenüber der analytischen Berechnung.

Bild 3.62 stellt den normierten globalen Effektivwert des Phasenstroms $\Delta I_{N,i,norm}$ in Abhängigkeit der Eingangsspannung bzw. des Modulationsfaktors M für den am symmetrischen Dreiphasennetz im Nennlastpunkt betriebenen 2-Punkt *Y-Rectifier* dar. Die Simulation wurde entsprechend den gekennzeichneten Stützstellen bei verschiedenen Eingangsspannungen mit reiner Sinusmodulation **(b)** und mit durch eine 3. Harmonische erweiterte Modulation **(c)** durchgeführt. Es ist klar zu erkennen, dass die 3. Harmonische neben der Erweiterung des Aussteuerbereiches auch zu einer Reduzierung des Phasenstromrippels um ca. 15-20% führt. Der Effektivwert des Phasensstromrippels des verkoppelten Systems sinkt gegenüber dem Einphasenmodul **(a)** auf etwa 1/3. Die durch den offenen Systemsternpunkt erreichbare Verringerung des Phasenstromrippels kann damit klar aufgezeigt werden. Da der 2-Punkt *Y-Rectifier* hinsichtlich der Raumzeigerbildung der Umrichterspannungen eine äquivalente Topologie zu den direkten Dreipunkt-Dreiphasen-systemen (*Vienna-Rectifier* / *Conventional Rectifier*) darstellt, stimmen die simulierten Effektivwerte der Stromoberschwingungen mit denen des *Vienna-Rectifier* überein.

Bild 3.63 stellt $\Delta I_{N,i,norm}$ für den 3-Punkt *Y-Rectifier* dar. Verglichen mit der 2-Punkt Struktur (siehe Bild 3.62(b)) ist $\Delta I_{N,i,norm}$ für Sinusmodulation (**b**) etwa halb so gross. Eine Addition einer 3. Harmonischen zur Erweiterung des Aussteuerbereiches **(c)** führt zu einer Erhöhung von $\Delta I_{N,i,norm}$ um ca. 25%. Im Vergleich zu einem 3-Punkt Einphasenmodul (oder für N_S=N) **(a)** kann für reine Sinusmodulation im unteren Aussteuerbereich $\Delta I_{N,i,norm}$ maximal um etwa 45% reduziert werden. Mit steigender Eingangsspannung nimmt der Einfluss auf die Reduktion des schaltfrequenten Stromrippels stetig ab und verschwindet für $\hat{U}_{N,i} \approx 270\,\mathrm{V}$.

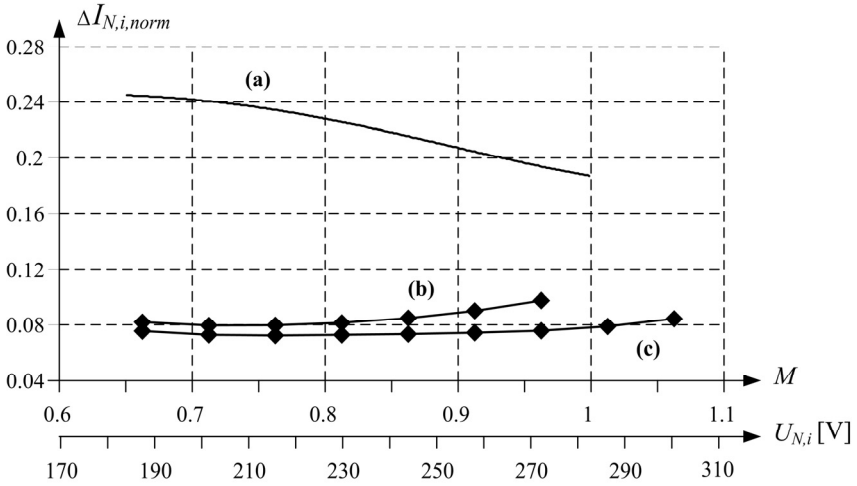


Bild 3.62: Normierter globaler Effektivwert des Phasenstromrippels für den 2-Punkt *Y-Rectifier* in Abhängigkeit des Aussteuergrades M bzw. der Eingangsspannung $U_{N,i}$. **(a)** $\Delta I_{N,i,norm}$ für den Fall, dass der Systemsternpunkt N_S mit dem Netzsternpunkt N elektrisch verbunden ist (N_S=N), was dem Betrieb eines Einzelmoduls gleichkommt. **(b)** $\Delta I_{N,i,norm}$ für den 2-Punkt *Y-Rectifier* bei symmetrischen Phasenspannungs- und Lastverhältnissen und reiner Sinusmodulation ($M < 1$). **(c)** $\Delta I_{N,i,norm}$ für den 2-Punkt *Y-Rectifier* bei symmetrischen Phasenspannungs- und Lastverhältnissen mit einer zusätzlichen 3. Harmonischen (1/6 der Grundschwingungsamplitude) im Sollstromsignal zur Erhöhung des Aussteuerbereiches ($M < 2/\sqrt{3}$). Normierungsbasis: $\Delta i_{norm} = U_O T_S / 8L = 7{,}14$ A.

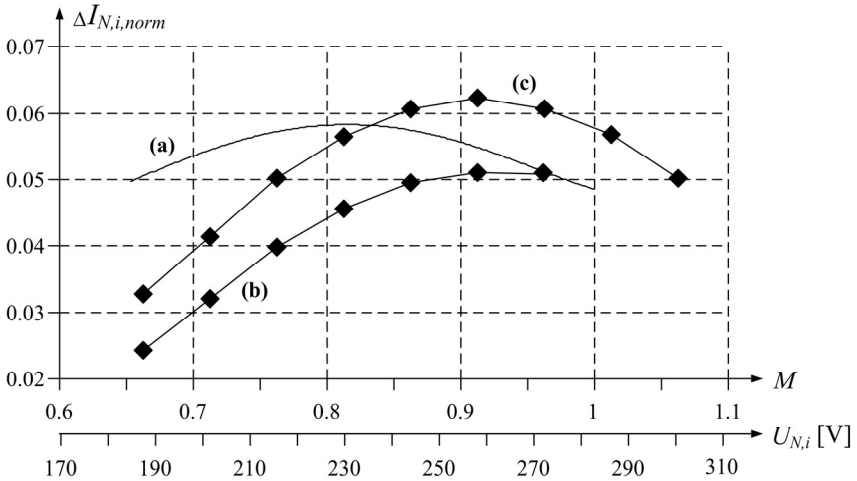


Bild 3.63: Normierter globaler Effektivwert des Phasenstromrippels für den 3-Punkt *Y-Rectifier* in Abhängigkeit des Aussteuergrades bzw. der Eingangsspannung. **(a)** $\Delta I_{N,i,norm}$ für den Fall, dass der Systemsternpunkt mit dem Netzsternpunkt verbunden ist (N_S=N), was dem Betrieb eines Einzelmoduls gleich kommt. **(b)** $\Delta I_{N,i,norm}$ für den 3-Punkt *Y-Rectifier* bei symmetrischen Phasenspannungs- und Lastverhältnissen und reiner Sinusmodulation ($M < 1$). **(c)** $\Delta I_{N,i,norm}$ für den 3-Punkt *Y-Rectifier* bei symmetrischen Phasenspannungs- und Lastverhältnissen mit einer zusätzlichen 3. Harmonischen (1/6 der Grundschwingungsamplitude) im Sollstromsignal zur Erhöhung des Aussteuerbereiches ($M < 2/\sqrt{3}$). Normierungsbasis: $\Delta i_{norm} = U_O T_S / 8L = 7{,}14$ A.

B.4 Dimensionierung des Leistungsteils eines *Y-Rectifier* Moduls

In diesem Abschnitt werden sämtliche Komponenten des Leistungsteils dimensioniert. Mit Blick auf hohen Systemwirkungsgrad, hohe Kompaktheit und geringe Komplexität wurde für die Eingangsstufe eine verlustminimale 2-Schalter 2-Punkt PFC-Topologie und als potenzialtrennende DC/DC-Ausgangsstufe ein 2-Schalter Durchflusswandler gewählt. Die Schaltfrequenz der beiden Leistungsstufen wurde wie für den *Delta-Rectifier* mit $f_P = 50\text{kHz}$ festgelegt. **Bild 3.64** zeigt die Topologie eines Moduls. Die Spezifikation des Gesamtsystems ist in **Tabelle 3.8** angegeben.

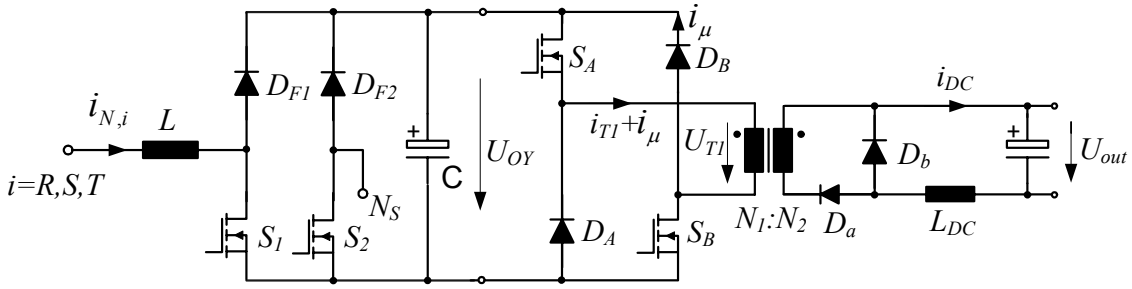


Bild 3.64: Topologie eines *Y-Rectifier* Moduls mit PFC-Eingangsstufe und potenzialtrennender DC/DC-Ausgangsstufe.

Tabelle 3.8: Systemspezifikationen für den *Y-Rectifier*

Eingangsspannungsbereich	$U_{N,ij} = 320\text{V} \ldots 480\text{V}_{\text{rms}}$ (verkettete Spannung) (400V +/- 20%)
Nenn-Eingangsleistung	$P_N = 5400\text{W}$ (pro Modul: 1800W)
Ausgangsspannung der Eingangsstufe	$U_{OY} = 400\text{V}$
Ausgangsspannungsschwankung der Eingangsstufe	$\Delta u_{OY,p\text{-}p} < 4\%\ U_{OY}$ *(Spitze-Spitze-Wert)*
Ausgangsspannung der Ausgangsstufe	$U_{out} = 46 \ldots 56\text{V}$
Ausgangsspannungsschwankung der Ausgangsstufe	$\Delta u_{out,p\text{-}p} = 0{,}2\text{V}$
Wirkungsgrad	$\eta > 92\%$
Umgebungstemperatur	$T_{amb} = 45°C$
Leistungsdichte eines Moduls	$P_N/V > 1kW/dm^3$
Schaltfrequenz	$f_P = 50kHz$

B.4.1 Eingangsstufe

B4.1.1 Leistungshalbleiter

Die Leistungsschalter werden durch MOSFETs neuester Technologie (CoolMOS) mit einer Sperrspannungsfestigkeit von 650V realisiert. Durch ihr Dotierungsprofil zeichnen sich diese Bauelemente durch einen sehr geringen Einschaltwiderstand aus. Der Nachteil der grossen Rückwärtserholladung der parasitären Diode kommt aufgrund der netzfrequenten Stromführung in Rückwärtsrichtung nicht zum Tragen. Als Freilaufdiode wird eine ultraschnelle Gleichrichterdiode verwendet, die als Diodenpaar mit gemeinsamer Kathode in einem Gehäuse erhältlich ist. **Tabelle 3.9** fasst die verwendeten Leistungshalbleiter der Eingangsstufe zusammen.

Tabelle 3.9: Ausgewählte Halbleiterkomponenten für die PFC-Eingangsstufe mit Kenndaten zur Verlustleistungsberechnung ($T_{j,max}$=125°C, $R_{th,JC}$ = 0,3K/W)

Komponente	Bezeichnung (Hersteller)	Spezifikation V_{RRM} / $I_{F(AV)}$	Kenndaten Leitverluste	Kenndaten Schaltverluste
S_1, S_2	SPW47N60C3 (Infineon)	650V / 47A	$R_{DS(on)}$=0,12Ω	$k_{1,ON}$ = 28,5µJ/A $k_{1,OFF}$= 8,2µJ/A
D_{F1}, D_{F2}	ISL9K3060G3 (Fairchild)	600V / 30A	U_F = 0,68V r_D = 47mΩ	$k_{1,RR}$ = 3.2µJ/A

Die für den Nennlastpunkt resultierenden Halbleiterverluste sind mit den Berechnungsformeln in **Tabelle 3.10** aufgelistet. Die Gesamtverluste der Eingangsstufe sind im Anhang B.2.3 angeführt.

Tabelle 3.10: Verluste in den Halbleitern der Eingangsstufe mit Angabe der analytischen Berechnung

Komponente	Verluste	Berechnung	Parameter
Leitverluste von D_{F1}	2.5W	$\bar{I}_D U_F + I_D{}^2 r_{ON}$	$\bar{I}_D = \sqrt{\frac{2M}{3\pi}} \cdot \hat{I}_{N,i}$ $I_D = \frac{M}{4}\hat{I}_{N,i}$ $U_F = 0.65\text{V}$ $r_{ON} = 47\text{m}\Omega$
Schaltverluste von D_{F1}	0.6W	$k_{1RR}\frac{1}{2}\bar{I}_N f_S$	$\bar{I}_N = \frac{2}{\pi}\hat{I}_{N,i}$ $k_{1RR} = 3.2\mu\text{J/A}$
Leitverluste von S_1	3.7W	$I_S{}^2 r_{ON} + \bar{I}_{S,D} U_{SD} + I_{S,D}{}^2 r_{ON,D}$	$I_{S,D} = \frac{1}{2}\hat{I}_{N,i}$ $\bar{I}_{S,D} = \frac{1}{\pi}\hat{I}_{N,i}$ $I_S = \sqrt{\frac{1}{4} - \frac{2M}{3\pi}}\hat{I}_{N,i}$ $r_{ON,D} = 6\text{m}\Omega$ $U_{SD} = 0.7\text{V}$ $r_{ON} = 0.12\Omega$
Schaltverluste von S_1	6.5W	$\left(k_{1,ON} + k_{2,OFF}\right)\frac{1}{2}\bar{I}_N f_S$	$\bar{I}_N = \frac{2}{\pi}\hat{I}_{N,i}$ $k_{1,ON} = 28.5\mu\text{J/A}$ $k_{2,OFF} = 8.2\mu\text{J/A}$
Gesamtverluste von D_{F1}, D_{F2}, S_1, S_2	26.6W		

B4.1.2 Zwischenkreiskapazität

Der Zwischenkreiskondensator C muss einerseits für die geforderte maximale Spannungsschwankung $\Delta u_{OY,p\text{-}p}$, andererseits für die effektive Strombelastung ausgelegt sein. Der Effektivwert des Kondensatorstroms berechnet sich bei Annahme eines konstanten Ausgangsstroms mit

$$I_C = \sqrt{\frac{4M}{3\pi} - \frac{M^2}{4}} \cdot \hat{I}_{N,i} \,. \tag{3.124}$$

Der erforderliche Kapazitätswert für die zulässige Spannungsschwankung ergibt sich zu

$$C_{\min} = \frac{P_N / 3}{U_{OY}\, \omega\, \mathrm{u}_{\mathrm{OY,p\text{-}p}}} = 900\mu\mathrm{F} \,. \tag{3.125}$$

Die Kapazität wird durch eine Parallelschaltung von 3 Elektrolytkondensatoren des Typs *Rubycon* MXG 450V/330µF/105°C realisiert.

B4.1.3 Eingangsinduktivität

Für die Dimensionierung der Eingangsinduktivität L wird ein maximal zulässiger Stromrippel von ±15% bezogen auf die Nennstromamplitude $\hat{I}_{N,i,nenn}$ festgelegt. Dieser Ansatz geht von einem einphasigen Netzanschluss des Gleichrichtermoduls aus. Die wirksame Rippelstromkompensation beim Zusammenwirken der 3 Module führt schliesslich auf eine Herabsetzung des globalen Effektivwertes des Stromrippels auf ca. 30% (s. **Bild 3.62**). Die maximale Rippelamplitude des Eingangsstromes ist durch $\Delta\hat{i}_{N,\max} = U_{OY} T_P / 8L$ bestimmt.

Daraus folgt eine geforderte Mindestinduktivität von

$$L = \frac{U_{OY} T_P}{8\Delta\hat{i}_{N,\max}} = \frac{U_{OY} T_P}{8 \cdot 15\% \hat{I}_{N,i}} = 602\mu\mathrm{H} \,. \tag{3.126}$$

Als Magnetkern wurde ein Eisenpulver-Toroid der Firma *Micrometals* mit der Materialbezeichnung -8 gewählt. Die Auswahl der Kerngrösse erfolgt auf Basis der maximal zu speichernden Energie $W = 1/2\, L \hat{I}^2_{N,i,\max}$ und führt auf eine Baugrösse von T184. Mit $N = 88$ Windungen kann der geforderte Induktivitätswert erreicht werden. Wegen der Abnahme der Permeabilität mit steigender DC-Vormagnetisierung, nimmt der Induktivitätswert im Strommaximum auf ca. 80% des Nennwertes ab. In [Fri04] sind Messungen zur Bestimmung

des resultierenden Induktivitätswertes bei Anlegen einer definierten Spannungszeitfläche an die Induktivität und Auswerten des Stromanstieges dokumentiert.

Die Berechnung der Kernverluste wird mittels des globalen Stromrippels

$$\Delta I_L = \sqrt{\left(\frac{U_{OY} T_P}{8L}\right)^2 \frac{2}{9} M^2 \left(12 + 9M^2 - \frac{64M}{\pi}\right)} \tag{3.127}$$

durchgeführt.

Mit der Annahme einer konstanten Induktivität berechnet sich der Effektivwert der magnetischen Induktion abhängig vom Modulationsfaktor (ΔI_L = f(M)) zu

$$\Delta B = \frac{\sqrt{2}L}{NA_{fe}} \Delta I_L = 23{,}1 \ldots 29{,}7 \text{ mT}. \tag{3.128}$$

Die Kernverluste $P_{V,fe}$ in Abhängigkeit der Induktion ΔB und der Schaltfrequenz f_P bestimmen sich dann näherungsweise mit

$$P_{V,fe[mW]} = 9{,}2 \cdot 10^{-6} \cdot \Delta B^{2,27}_{[Gauss]} \cdot f_{P[kHz]}^{1,03} \cdot V_{e[cm^3]} = 2{,}5 \ldots 4{,}4 \text{W}\,. \tag{3.129}$$

Das Kernvolumen beträgt V_e=21cm^3. Die netzfrequenten Ummagnetisierungsverluste können vernachlässigt werden.

Die Kupferverluste berechnen sich mit einem resultierenden Wicklungswiderstand $R_{Cu}\big|_{70°C} = 79\text{m}\Omega$ bei Vernachlässigung von Skin- und Proximityeffekt (mittlere Wicklungslänge l_w=64mm, Kupferquerschnitt A_{cu}=1,5mm^2, Windungszahl N=88, spezifischer Widerstand $\rho_{Cu}\big|_{70°C} = 0{,}0211\Omega\text{mm}^2/\text{m}$) zu

$$P_{CU} = I_N^2 \cdot R_{Cu}\big|_{70°C} = 3{,}4 \ldots 7{,}6W \quad \text{(für } P_N \text{=5400W und } U_{N,imax} \ldots U_{N,i,min}\text{)}. \tag{3.130}$$

Die Gesamtverluste der Induktivität im Nennlastpunkt (P_N, $U_{N,i}$ = 230V) resultieren in

$$P_L\big|_{70°C} = 3.7W + 4.9W = 8{,}6W. \tag{3.131}$$

B.4.2 Ausgangsstufe

Die DC/DC-Ausgangsstufe wird als 2-Schalter Durchflusswandler implementiert. Die Gefahr einer Sättigung des Magnetkernes ist durch den Betrieb mit diskontinuierlicher Magnetisierung ausgeschlossen. Das Tastverhältnis D_O der beiden synchron getakteten

MOSFETs (S_A, S_B) muss auf Werte $D_O < 0{,}5$ limitiert werden. Nach Abschalten der MOSFETs führen die beiden Dioden D_A und D_B den Magnetisierungsstrom und die negative Eingangsspannung kommt an der Trafoprimärwicklung als entmagnetisierende Spannung zu liegen. Der durch die Ausgangsinduktivität L_{DC} eingeprägte Strom i_{DC} kommutiert von D_a über auf D_b.

B4.2.1 Transformator

Für die Festlegung des Übersetzungsverhältnisses des Transformators $n=N_1/N_2$ ist der Betriebspunkt bei kleinster Eingangsspannung ($\rightarrow U_{T1,min}$ = 390V) und maximal geforderter Ausgangsspannung ($U_{out,max}$=56V) zu wählen. Unter Berücksichtigung einer Stellgrössenreserve von 10%, d.h. mit der Vorgabe eines konstanten Tastverhältnisses $D_O = 0{,}45$ im stationären Betriebspunkt, berechnet sich das maximale Windungszahlverhältnis n zu

$$n = \frac{N_1}{N_2} = \frac{U_{T1,\min}}{(U_{out,\max} + U_{DF})} D_O < 3{,}1 \,. \tag{3.132}$$

(Der Diodenspannungsabfall auf der Sekundärseite ist mit $U_{DF} = 0{,}65$V berücksichtigt).

Für die Dimensionierung der Trafohauptinduktivität wurde ein Spitzenwert des Magnetisierungsstromes $\hat{I}_\mu$ von 8% des auf die Primärseite umgerechneten Laststromes im Nennbetrieb ($U_{out} = 48$V, $U_{T1} = U_{OY} = 400$V, $D_O = 0{,}38$, $P_O = 1700$W, $\rightarrow \hat{I}_\mu = 0{,}94A$) festgelegt. Damit bestimmt sich die erforderliche Hauptinduktivität L_H zu

$$L_H = \frac{U_{T1}}{\hat{I}_\mu} D_O T_P = \frac{{U_{OY}}^2}{8\% P_O} {D_O}^2 T_P = 3{,}4mH \,. \tag{3.133}$$

Die Grösse des Trafokernes ist einerseits für die an der Primärseite anliegende Spannungszeitfläche hinsichtlich der Sättigungsinduktion, andererseits für den zu übertragenen Laststrom hinsichtlich der auftretenden Kupferverluste zu bemessen. Es bietet sich daher an, die Kernauswahl auf Basis des Flächenproduktes von Eisenquerschnittsfläche A_{fe} mal Wicklungsfenster A_W zu treffen. Die erforderliche Eisenquerschnittsfläche A_{fe} berechnet sich mit der resultierenden Flussverkettung $\hat{\psi}_1$ und einer zulässigen maximalen Induktion $\hat{B}$ zu

$$A_{fe} = \frac{\hat{\psi}_1}{N_1 \hat{B}} = \frac{\int_{t=0}^{t=DT_P} u_{T1} dt}{N_1 \hat{B}} = \frac{D_O U_{T1} T_P}{N_1 \hat{B}}. \tag{3.134}$$

Mit der Annahme einer maximal zulässigen Stromdichte $S = 5\text{A/cm}^2$ in der Primär- und Sekundärwicklung und eines Kupferfüllfaktors k_W=0,45 berechnet sich das erforderliche Wickelfenster A_W zu

$$A_W = \frac{1}{k_W}\left(\frac{I_{T1}}{S}N_1 + \frac{I_{T2}}{S}N_2\right). \tag{3.135}$$

Der Effektivwert des Trafosekundärstroms I_{T2} berechnet sich bei Vernachlässigung des Ausgangsstromrippels zu

$$I_{T2} = \frac{P_N/3}{U_{out}}\sqrt{D_O}\ . \tag{3.136}$$

Mit $I_{T1} = I_{T2}/n$ folgt aus den beiden obigen Gleichungen der Ausdruck

$$A_W = \frac{2P_N/3\sqrt{D_O}N_2}{k_W U_{out} S}. \tag{3.137}$$

Für die Kernauswahl berechnet sich nun eine Kenngrösse $A_{fe}\cdot A_W$ in Abhängigkeit der zu übertragenden Leistung und der Auslegungsparameter (maximale Induktion $\hat{B}$ = 0,3 T, Stromdichte S=5A/mm^2, Schaltfrequenz f_P=50kHz, Füllfaktor k_W=0,45) mit

$$A_{fe}A_W = \frac{D_O U_{T1} T_P}{n\hat{B}}\frac{2P_N/3\sqrt{D_O}}{k_W U_{out} S} = \underbrace{\frac{\sqrt{2}P_N/3}{\pi k_W \hat{B} S f_P}}_{A}\cdot\sqrt{2}\pi\sqrt{Do}\cdot\underbrace{\frac{D_O U_{T1}}{nU_{DC}}}_{=1}. \tag{3.138}$$

Der in Gl. (3.138) mit A gekennzeichnete Ausdruck gibt den Kennwert für die erforderliche Trafobaugrösse bei rein sinusförmigen Strom- und Spannungsverläufen auf der Primär- und Sekundärseite an. Da die Leistungsübertragung nur während dem Einschaltintervall ($D_O T_P$) mit näherungsweise blockförmigen Strom- und Spannungsverläufen stattfindet, erhöht sich die Bauleistung des Transformators um den Faktor $\sqrt{2}\pi\sqrt{Do}$ =2,98. Hierin liegt der grosse Nachteil der gewählten Konvertertopologie im Vergleich zu einer Vollbrückentopologie. Die Kenngrösse ergibt sich zu $A_{fe}A_W = 7{,}2\text{cm}^4$. Auf Basis dieses Geometrieparameters wurde der Ferritkern ETD 54/28/19 –N87 (*EPCOS*) mit einem resultierenden Wert von $A_{fe}A_W$=11.65cm^4 gewählt.

Aus Gl. (3.134) folgt für eine maximale Induktion von $\hat{B}$ = 0,3 T eine minimale Primärwindungszahl von

$$N_1 = \frac{D_O U_{T1} T_p}{A_{fe} \hat{B}_S} = \frac{3.6mVs}{2.9 \cdot 10^{-4} m^2 \cdot 0{,}3T} = 41. \tag{3.139}$$

Bei Vollausnützung des Wickelfensters konnte die Trafowicklung mit N_1 = 42Wdg. (Litze Acu_1 = 1,5mm^2) und N_2=14Wdg. (Litze Acu_2=4mm^2) ausgeführt werden. Um eine gute Kopplung zwischen Primär- und Sekundärseite zu erreichen, wurde die Wicklung geschichtet mit $N_1/2$ - N2 - $N_1/2$ aufgebaut. In [Fri04] wurden die Kennwerte des Transformators mittels Stossspannungsversuch und Impedanz-Analysator ermittelt. Es resultieren folgende Werte für den Transformator

$$\begin{aligned} &\hat{\Psi}_1 = 4{,}1\,\text{mVs},\ L_1 = 3{,}68\,\text{mH},\ L_2 = 410\,\mu\text{H},\ L_{1\sigma} = 4{,}28\,\mu\text{H}, \\ &k = \sqrt{1 - L_{1\sigma}/L_1} = 0{,}9994\,. \end{aligned} \tag{3.140}$$

Die maximale Spannungszeitfläche im Betrieb berechnet sich zu

$$\hat{\Psi}_1 = D_{O,\max} U_{T1,\max} T_P = 3{,}9\,\text{mVs}. \tag{3.141}$$

und liegt unterhalb der gemessenen aufnehmbaren Spannungszeitfläche. Eine Sättigung des Transformators ist somit im Betrieb nicht möglich. Die Resonanzfrequenz der Primärwicklung wurde mittels Impedanz-Analysator bei ca. 400kHz bestimmt und liegt somit ausreichend weit oberhalb der Schaltfrequenz. Durch den geschichteten Wicklungsaufbau kann eine nahezu ideale Kopplung $k = \sqrt{(1 - L_{\sigma l}/L_H)}$ = 0,9994 erreicht werden.

Der Wickelwiderstand bezogen auf die Primärseite berechnet sich mit einer mittleren Wicklungslänge l_w=95mm zu

$$R_{W|70°C} = \rho_{Cu} l_W \left(\frac{N_1}{Acu_1} + \frac{n^2 N_2}{Acu_2} \right) = 0{,}12\Omega\,. \tag{3.142}$$

Die Leitverluste bei Nennausgangsleistung berechnen sich für den Ausgangsspannungsbereich (U_{out} =56 … 46V) mit

$$P_{CU} = I_{T1}^2 \cdot R_{W|70°C} = 5{,}5 \ldots 6{,}7\ \text{W}. \tag{3.143}$$

Die lastunabhängigen Kernverluste können in erster Näherung mit

$$P_{fe_{[W]}} = 7{,}612 \cdot 10^{-9} \cdot \hat{B}_{1_{[mT]}}^{2{,}377} \cdot f_{P_{[\text{kHz}]}}^{1{,}22} \cdot V_{fe_{[\text{cm}^3]}} = 4{,}8\text{W} \tag{3.144}$$

bestimmt werden.

Die einseitige Aussteuerung des Magnetkerns wird durch die Halbierung des Spitzenwertes der Induktion $\hat{B}_1 = \hat{B}/2 = 150\,\mathrm{mT}$ berücksichtigt. Das Volumen des Magnetkerns beträgt V_{fe}=35,6cm^3.

B4.2.2 Ausgangsinduktivität

Die Ausgangsinduktivität L_{DC} wurde für einen maximal zulässigen Spitze-Spitze-Rippelwert $\Delta i_{DCp\text{-}p}$ von 18% des Nennausgangsstromes I_{out} = 1700W/48V = 35,4A ausgelegt. Der maximale Stromrippel im stationären Betrieb tritt bei minimaler Trafosekundärspannung und maximaler Ausgangsspannung $U_{out,max}$=56V auf, also für

$$D_{O,\max} = \frac{U_{out,\max} + U_{DF}}{U_{T1\min}/n} = 0{,}44\ . \tag{3.145}$$

Der geforderte Induktivitätswert ergibt sich zu

$$L_{DC} = \frac{(U_{out,\max} + U_{DF})(1 - D_{O,\max})T_S}{0.18 \cdot I_{out}} > 100\,\mu\mathrm{H}. \tag{3.146}$$

Die Kernauswahl wurde analog zum Transformator wieder auf Basis eines Flächenproduktes

$$A_W A_E = \frac{I_{DC} N}{k_W S} \cdot \frac{L\hat{I}_{DC}}{\hat{B}N} = \frac{L\hat{I}_{DC} I_{DC}}{k_W S \hat{B}} \tag{3.147}$$

durchgeführt. Dabei wurde der Effektivwert I_{DC} des Stromes durch die Induktivität L_{DC} näherungsweise gleich dem Ausgangsstrom I_{out} gesetzt (Stromrippel vernachlässigt).
Als Kernmaterial kommt eine für hochfrequente Anwendungen spezielle Eisenlegierung (Metglas Powerlite von *Honeywell*) zum Einsatz, die sich durch eine sehr hohe magnetische Sättigungsinduktion (B_S=1,5T) und geringe Ummagnetisierungsverluste auszeichnet.

Mit I_{DC} = 35,4A, $\hat{I}_{DC}$ = 38,5A, k_W = 0,5, S = 5A/mm^2 und $\hat{B} = 1\,\mathrm{T}$ ergibt sich für die Kernauswahl die Kenngrösse $A_W A_{fe}$ = 5,45cm^4. Basierend auf diesen Wert wurde die nächstgrössere Kernbauform AMCC-10 gewählt. Bei bester Ausnützung des Wickelfensters konnten N = 18 Windungen (Litze Acu =7,5mm^2) untergebracht werden. Bei Vernachlässigung der magnetischen Feldstärke im hochpermeablen Eisenkern bestimmt sich der Induktivitätswert mit einer Luftspaltbreite δ = 0,8mm und einer Eisenquerschnittsfläche A_{fe} = 2,2cm^2 zu

$$L_{DC} = \mu_O \frac{A_{fe} N^2}{\delta} = 112\mu\mathrm{H}\,. \tag{3.148}$$

(Die ursprüngliche Ausführung der Wicklung als Bandwicklung führte auf eine zu hohe kapazitive Kopplung der einzelnen Lagen. Daher wurde die Wicklung letztlich durch 3 parallel gewickelte Litzendrähte mit je 2,5mm^2 ersetzt.) In [Fri04] sind die Messungen aus dem Stossspannungsversuch und mittels Impedanz-Analysator dokumentiert. Bis zu einer Sättigungsstromstärke von I_{DC} = 45A weist das Magnetmaterial eine konstante Permeabilität auf. Der gemessene Induktivitätswert beträgt L_{DC} = 102µH. Für Nennausgangsspannung U_{out} = 48V und U_{TI} = 400V ($\rightarrow D_O$ = 0,365) beträgt der resultierende Stromrippel

$$\Delta i_{DCp-p} = \frac{(U_{out} + U_{DF})(1 - D_O)T_S}{L_{DC}} = 6\,\mathrm{A}\,. \tag{3.149}$$

Der Spitzenwert der auftretende Induktion $\hat{B}$ ergibt sich im Strommaximum $\hat{I}_{DC} = 40A$ zu

$$\hat{B} = \frac{L_{DC}\hat{I}_{DC}}{NA_{fe,\min}} = 1{,}25\,\mathrm{T}. \tag{3.150}$$

Damit ist ein ausreichender Abstand zur Sättigungsgrenze (B_S = 1,5T) gewährleistet.

Der für die Schaltverluste massgebende schaltfrequente Spitzenwert des Induktionsrippels $\Delta\hat{B}$ ergibt sich für einen mittleren Eisenquerschnitt A_{fe}=2cm^2 zu

$$\Delta\hat{B} = \frac{L_{DC}\Delta i_{DCp-p}/2}{NA_{fe}} = 86\,\mathrm{mT}\,, \tag{3.151}$$

womit die maximal auftretenden Eisenverluste $P_{V,fe}$ bei U_{out}=56V

$$P_{V,fe[W]} = 6.5 \cdot \Delta\hat{B}_{[T]}^{\,1.74} \cdot f_{S[kHz]}^{\,1.51} \cdot m_{[kg]} = 7{,}3\mathrm{W} \tag{3.152}$$

betragen (die Masse der beiden Kernhälften beträgt m=0,2kg).

Die Kupferverluste berechnen sich mit einer mittleren Wicklungslänge l_w =116mm im Ausgangsspannungsbereich U_{out} = 56V … 46V mit

$$P_{CU} = I_{DC}^2 \cdot R_{W|70°C} = I_{DC}^2 \rho_{Cu} l_W \frac{N_1}{Acu} = 5{,}7\mathrm{W} \ldots 8{,}5\mathrm{W}. \tag{3.153}$$

B4.2.3 Ausgangskapazität

Die Ausgangskapazität muss für den Effektivwert des Stromrippels

$$\Delta I_{DC} = \frac{\Delta i_{DCp-p}}{2\sqrt{3}} \tag{3.154}$$

und für einen maximal zulässigen Ausgangsspannungsrippel $\Delta u_{out,p\text{-}p}$=0,2V ausgelegt sein. Der erforderliche Mindestwert der Kapazität bei stationärem Betrieb berechnet sich mit

$$C > \frac{\Delta i_{DCp-p}}{8 f_S \Delta u_{out,p-p}} = 78{,}7\mu F\,. \tag{3.155}$$

Mit zunehmender Kapazität kann die Knickfrequenz des Ausgangsfilters herabgesetzt und eine bessere Dämpfung des Ausgangsspannungsrippels erreicht werden. Mit der Parallelschaltung von zwei Aluminium-Elektrolytkondensatoren (*Rubycon*, C=1mF/63V/2,8A bei 100kHz/105°C) ergibt sich eine Resonanzfrequenz f_0 der Ausgangsstufe von

$$f_0 = \frac{1}{2\pi\sqrt{L_{DC}C_{DC}}} = 352\text{Hz}\,. \tag{3.156}$$

Der resultierende Ausgangsspannungsrippel ist massgeblich durch den ohmschen Ersatzserienwiderstand der Kondensatoren bestimmt. Für eine industrielle Umsetzung ist aus diesem Grund ein zweistufiges Ausgangsfilter mit Elektrolytkondensatoren in der 1. Stufe und Folienkondensatoren in der 2. Stufe vorzusehen.

B4.2.4 Leistungshalbleiter auf der Eingangsseite

Für die beiden Leistungsschalter wurde wieder der Typ *CoolMOS SPW47N60C3* (*Infineon*) und für die Freilaufdioden sehr schnelle Gleichrichterdioden vom Typ *HFA15PB60* (*IRF*) verwendet. Die im Nennbetrieb auftretende Strombelastung der Leistungsschalter berechnet sich bei Vernachlässigung des Ausgangsstromrippels und des Magnetisierungsstromes mit

$$\begin{aligned} \bar{I}_T &= \frac{P_N}{3U_{OY}} \\ I_T &= \frac{P_N}{3U_{OY}\sqrt{D_O}} \end{aligned}\,, \tag{3.157}$$

wobei das Tastverhältnis durch $D_O = \frac{U_{out} + U_{DF}}{U_{T1}/n}$ bestimmt ist.

Die Leitverluste pro MOSFET ergeben sich im Nennlastpunkt zu

$$P_{V,L} = R_{DS(on)} \cdot I_T{}^2 = 6{,}3\text{W}. \tag{3.158}$$

Die Einschaltverluste der MOSFETs werden durch den begrenzten Stromanstieg infolge der Stromkommutierung auf der Ausgangsseite und der Trafostreuinduktivität vernachlässigt. Die primärseitigen Gesamtausschaltverluste pro MOSFET berechnen sich mit dem Schaltverlustkoeffizienten $k_{1,off} = 8{,}2\mu\text{J/A}$ und mit dem am Ende der Einschaltdauer geführten Strom unter Berücksichtigung des Trafomagnetisierungsstromes $\hat{I}_\mu$ und des Ausgangsstromrippels mit

$$P_{V,Soff} = (\frac{\bar{I}s}{D_O} + \frac{\Delta i_{DCp-p}}{2n} + \hat{I}_\mu)k_{1,off} \cdot f_S = 5{,}7\text{W}. \tag{3.159}$$

Die Leitverluste in den Freilaufdioden, die nur den Magnetisierungsstrom i_μ führen, können vernachlässigt werden.

B4.2.5 Leistungshalbleiter auf der Ausgangsseite

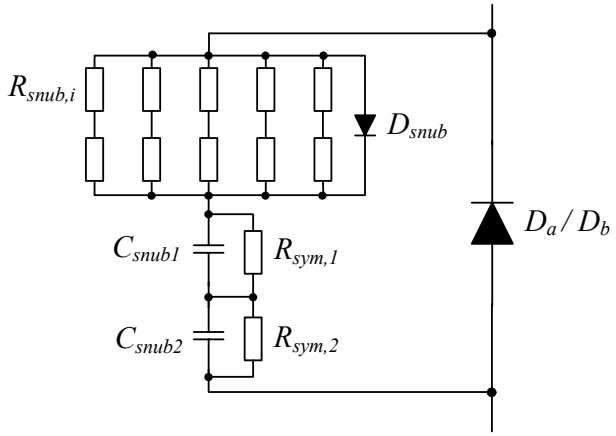
Die Ausgangsdioden müssen für eine hohe Stromtragfähigkeit mit geringen Leitverlusten, für eine ausreichend hohe Sperrspannungsfestigkeit und für eine schnelle Stromkommutierung mit geringen Schaltverlusten ausgewählt werden. Die Sperrspannungsfestigkeit ergibt sich aus der übersetzten Zwischenkreisspannung U_{OY}/n plus einer ausreichend hohen Reserve für induktive Überspannungsspitzen während der Stromkommutierung. Es wurde das Gleichrichtermodul UFB200FA20 (*IRF*) mit 200V Sperrspannungsfestigkeit ausgewählt. Die für den DC/DC-Konverter eingesetzten Halbleiterkomponenten sind in **Tabelle 3.11** zusammengefasst.

Die Gesamtleitverluste in den beiden Ausgangsdioden ergeben sich im Nennlastpunkt zu

$$P_{V,L} = U_{F|I=35A} I_{out} = 20{,}3 \ldots 26{,}3\text{W}. \quad (\text{für } U_{out} = 56\text{V} \ldots 46\text{V}) \tag{3.160}$$

Wegen der Streuinduktivität des Transformators und der Leitungsimpedanz im Kommutierungspfad des Ausgangskreises kommt durch den raschen Abriss des Rückwärtserholstromes eine hohe Überspannungsspitze an der sperrenden Ausgangsdiode zu liegen. Damit die Sperrspannungsfestigkeit der Dioden D_a und D_b nicht überschritten wird, muss ein Überspannungsschutz in Form eines RCD-Snubbers (*RCD-Clamping-Circuit*) parallel zu den Leistungsdioden vorgesehen werden. Die Auslegung des RCD-Snubbers wurde in Zuge der Inbetriebnahme optimiert und ist in [Fri04] dokumentiert. Mit dem RCD-Snubber ist nun

sichergestellt, dass die übersetzte Zwischenkreisspannung zusammen mit der begrenzten Schaltüberspannung auf eine Sperrspannung von maximal U_{RR}=160V führt. In **Bild 3.65** ist der Aufbau des Snubbers mit Angabe der verwendeten Komponenten ersichtlich. Die auftretenden Snubberverluste sind hauptsächlich durch die Entladung der Snubberkapazität während der Leitphase der zugeordneten Leistungsdiode bestimmt.



$R_{snub,i}$	15k	SMD1206
$C_{snub,i}$	47nF/200V	SMD1206
D_{snub}	MRS320TS	SMC403
$R_{sym,i}$	36k	SMD1206
D_a,D_b	UFB200FA20	SOT-227

Bild 3.65: Snubber für die Dioden D_a und D_b auf der DC/DC-Ausgangsseite

Die Spannungsabnahme $\Delta u_{C,snub}$ an der Snubberkapazität C_{snub} berechnet sich mit

$$\Delta u_{Csnub} = U_{RR}\left(1 - e^{-\frac{(1-D)T_P}{R_{snub}C_{snub}}}\right) = 13{,}7\ \text{V}. \tag{3.161}$$

Damit bestimmen sich die Verluste pro Snubber $P_{V,snub}$ zu

$$P_{V,Snub} = \frac{C_{snub}\left(U_{RR}{}^2 - (U_{RR} - \Delta u_{Csnub})^2\right)}{2} f_S = 2{,}4W\ . \tag{3.162}$$

Die auftretenden Schaltverluste auf der Ausgangsseite finden mit $P_{V,S}$=2,5W pro Ausgangsdiode Berücksichtigung.

Tabelle 3.11: Halbleiterkomponenten für die DC/DC-Ausgangsstufe mit ihren Verlustkenndaten

Komponente	Bezeichnung (Hersteller)	Spezifikation V_{RRM}/ $I_{F(AV)}$	Kenndaten Leitverluste	Kenndaten Schaltverluste
S_A, S_B	SPW47N60C3 (*Infineon*)	650V / 47A	$R_{DS(on)}$ = 0,12Ω	$k_{1,ON}$ = 28,5µJ/A $k_{1,OFF}$ = 8,2µJ/A
D_A, D_B	HFA15PB60 (*IRF)*	600V / 15A	U_F =1V r_D =50mΩ	Q_{rr} =80nC t_{rr}=19ns
D_a, D_b	UFB200FA20 (*IRF*)	200V / 120A	U_F = 0,68V bei 35A	Q_{rr} =300nC t_{rr}=50ns

B.4.3 Gesamtverluste der DC/DC-Ausgangstufe

In **Bild 3.66** sind die berechneten Verluste der DC/DC-Ausgangsstufe pro Modul für die Ausgangsspannungen U_{out} = 46V, 50V und 56 V im Nennlastpunkt (P_N = 1800W) dargestellt. Die ansteigenden Verluste in Richtung kleiner Ausgangsspannung sind vor allem durch die steigenden Leitverluste bestimmt. Der berechnete Wirkungsgrad liegt zwischen $\eta = 94{,}8\%$ für U_{out} = 46V und $\eta = 95{,}5\%$ für U_{out} = 56V.

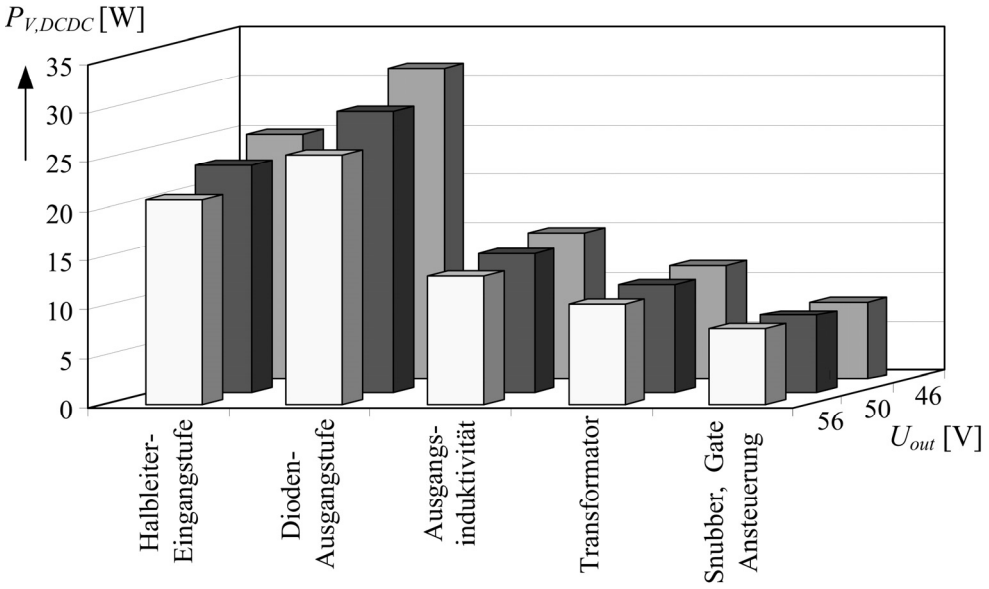


Bild 3.66: Die berechneten Verluste im DC/DC-Konverter zugeordnet zu den einzelnen Systemkomponenten für die Ausgangsspannungen 46V, 50V und 56V.

4 Bewertung und Vergleich mit direkten Dreiphasensystemen

In diesem Kapitel werden die beiden modularen Konzepte getrennt voneinander hinsichtlich Wirkungsgrad, Effektivwert der Stromoberschwingungen, Leistungsdichte, Bauelementeanzahl, Realisierungsaufwand und Komplexität ihrer Regelung und Modulation mit einem direkten dreiphasigen Aufbau verglichen. Im ersten Teil wird ausführlich auf die Bewertung des *Delta-Rectifier* mit Dreipunkt-Modulen eingegangen. Diese Topologie zeigt eine gute Balance zwischen Vor- und Nachteilen im Vergleich zu direkten Dreiphasensystemen und ist in Hinblick auf einen industriellen Einsatz von potenziellem Interesse. Im Anschluss daran wird der *Y-Rectifier* beurteilt, der aufgrund der Verkopplung der einzelnen Module nur bedingt als modulares System angesehen werden kann. Eine koordinierte Regelung der drei Module ist Voraussetzung für einen stabilen Betrieb.

4.1 Delta-Rectifier

Die nachfolgende Darstellung beinhaltet Ergebnisse aus [Min01b] und versucht mit ergänzenden Untersuchungen eine umfangreiche Bewertung des Systems im Vergleich zu direkten Dreiphasensystemen zu geben, um das Potenzial für einen zukünftigen industriellen Einsatz aufzuzeigen. Dabei werden die Ergebnisse aus Kapitel 2 in kompakter Form eingebracht.

4.1.1 Strombeanspruchung und Verluste in den Halbleiterkomponenten

Um die Anforderung an eine hohe Leistungsdichte erfüllen zu können, müssen primär die Halbleiterverluste und damit die Kühlvorrichtung des Systems klein gehalten werden. Die Halbleiterverluste nehmen mit steigender Schaltfrequenz f_p und mit den damit linear anwachsenden Schaltverlusten den dominanten Anteil in der Verlustbilanz des Systems ein und führen bei $f_P = 50\text{kHz}$ etwa auf 70% der gesamten Verluste (s. Tabelle 2.8 auf S. 90 und Bild 2.21 auf S. 89). Durch den Anschluss der einzelnen Module an die verkettete Netzspannung kann die Strombelastung in den einzelnen Halbleiterbauteilen gegenüber einer Sternschaltung reduziert werden. Mit der Ausführung der Hochsetzstellerstufen als Dreipunkt-Topologie wird die Sperrspannungsbeanspruchung der Halbleiter auf die halbe Modulausgangsspannung herabgesetzt. Somit ist der Einsatz von Komponenten mit

500V…600V Sperrspannungsfestigkeit und deutlich verbessertem Schaltverhalten in der Dreipunkt-Ausgangsstufe möglich. Die Ausführung des *Delta-Rectifier* mit einer Zweipunkt-Ausgangsstruktur kann aufgrund erhöhter Schaltverluste (die geschaltete Spannung beträgt $U_O = 800\text{V}$) und hoher Ummagnetisierungsverluste in den Eingangsinduktivitäten (s. Abschnitt 2.3.3.8.3) die Anforderung an eine hohe Leistungsdichte nicht erfüllen und wird aus diesem Grund nicht weiter behandelt.

Eine erste Beurteilung des Konzepts des Dreipunkt *Delta-Rectifier* ergibt sich aus dem Vergleich der Halbleiterverluste mit direkten Dreiphasensystemen. Dabei wird die Einschränkung auf zwei unidirektionale Dreipunkt-Gleichrichter (*Vienna-Rectifier* und *Conventional Rectifier*) gemacht, die einen breiten industriellen Einsatz und einen hohen Bekanntheitsgrad aufweisen. Beide Systeme sind in der Einleitung kurz vorgestellt und sind in Bild 1.2 auf S. 20 dargestellt.

Mit vereinfachten Annahmen kann analog zur Vorgehensweise in Abschnitt 2.3.3 die Strombelastung der Halbleiterkomponenten in den direkten Dreiphasensystemen berechnet werden. Die resultierenden Mittel- *(avg)* und Effektivwerte *(rms)* der Ströme sind in **Bild 4.1** in Abhängigkeit der Phasenstromamplitude $\hat{I}_{N,i}$ und des Spannungsübersetzungsverhältnisses $M = 2\hat{U}_{N,i}/U_O$ zusammengefasst und werden nachfolgend für die Berechnung der Halbleiterverluste herangezogen.

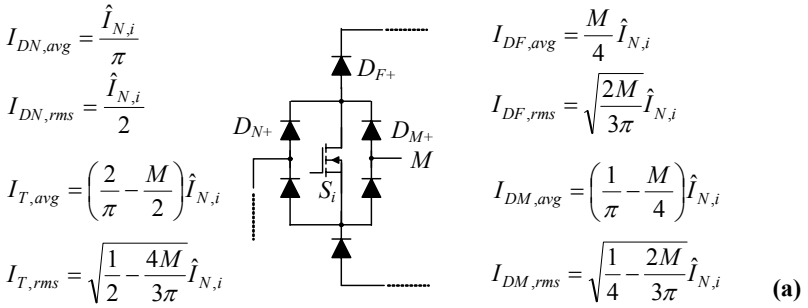


Bild 4.1: Die näherungsweise analytisch berechneten Effektiv- und Mittelwerte der Bauteilströme in Abhängigkeit der Phasenstromamplitude $\hat{I}_{N,i}$ und des Modulationsfaktors $M=2\hat{U}_{N,i}/U_O$ für ein Modul/ eine Phase des *Vienna-Rectifier* **(a)** und des konventionellen Dreipunktgleichrichters mit 6 Schaltern *(Conventional Rectifier)* **(b)**, deren Gesamttopologie in Bild 1.2 auf S. 20 dargestellt ist.

Eine grafische Auswertung der Stromwerte in den Leistungshalbleitern aus Bild 4.1 zusammen mit jenen des *Delta-Rectifier* - angegeben in Tabelle 2.4 auf S. 77 - ist in **Bild 4.2** für den Nennlastpunkt P_N = 10500W und bei symmetrischen Netzspannungsverhältnissen dargestellt. Die zugrunde liegende Systemspezifikation ist in Tabelle 2.3 auf S. 69 angegeben. Für einen fairen Vergleich der drei Systeme ist die Anzahl der Leistungsschalter gleich gesetzt, d.h. der *Vienna-Rectifier* ist mit zwei parallel geschalteten MOSFETs je Phase ausgeführt. Daher sind der in **Bild 4.1 (a)** angegebene Strommittel- und –effektivwert des Transistorstroms für einen MOSFET der Parallelschaltung zu halbieren. Im Vergleich zu den beiden anderen Topologien sind nunmehr die MOSFETs des *Vienna-Rectifier* der geringsten Strombelastung ausgesetzt (s. Bild 4.2). Ebenso ist Bild 4.2 zu entnehmen, dass kein Halbleiter im *Delta-Rectifier* eine hohe Strombelastung aufweist und eine vorteilhafte Gleichverteilung der Strombelastung vorherrschend ist. Der Mittelwert des Stromes in den Freilaufdioden ist für alle Topologien gleich und folgt anschaulich aus der Leistungsbilanz von Ein- und Ausgangsseite bezogen auf ein Modul / eine Phase. Die Stromwerte für die Gleichrichterdioden des *Delta-Rectifier* sind um $\sqrt{3}$ kleiner. Die Strombelastung der Leistungstransistoren des *Delta-Rectifier* liegt aufgrund des verketteten Modulstroms ($I_{N,ij} = I_{N,i}/\sqrt{3}$) annähernd im Bereich der direkten Dreiphasensysteme.

Für die Ermittlung der Halbleiterverluste wird festgelegt, dass für die direkten Dreiphasensysteme dieselben Halbleiterkomponenten wie für den *Delta-Rectifier* eingesetzt werden. In **Tabelle 4.1** sind die für die Berechnung der Halbleiterverluste erforderlichen Bauteilkenndaten der ausgewählten Halbleiterkomponenten zusammengefasst. Für alle drei Topologien ist die geschaltete Spannung durch die halbe Ausgangsspannung $U_O/2$=400V bestimmt, womit für die Berechnung der Schaltverluste nur eine Abhängigkeit vom geschalteten Strom berücksichtigt werden muss. In guter erster Näherung [Kol98] zeigen die auftretenden Schaltverlustenergien w eine lineare Abhängigkeit vom geschalteten Strom i,

$$w = k \cdot i \,. \tag{4.1}$$

Die Proportionalitätskonstante k steht stellvertretend für die angeführten Verlustkoeffizienten $k_{1,ON}$, $k_{2,OFF}$ und $k_{1,RR}$ [µWs/A]. Der auf eine Netzperiode bezogene Mittelwert der Schaltverluste in den Leistungstransistoren folgt mit

$$P_{T,SV} = (k_{1,ON} + k_{2,OFF}) \cdot fs \cdot \bar{I} \tag{4.2}$$

und in den Freilaufdioden (aufgrund des Rückwärtserholverhaltens) mit

$$P_{DF,SV} = k_{1,RR} \cdot fs \cdot \bar{I} \,. \tag{4.3}$$

$\bar{I}$ bezeichnet den Mittelwert des geschalteten Stromes und ist abhängig von der Systemtopologie durch

$$\bar{I} = \frac{1}{\pi}\hat{I}_{N,i} \quad \text{.....Vienna-Rectifier (je MOSFET, wenn 2 parallel geschaltet sind)}$$

$$\bar{I} = \frac{1}{\pi}\hat{I}_{N,i} \quad \text{.....Conventional Rectifier} \tag{4.4}$$

$$\bar{I} = \frac{2}{\sqrt{3}\pi}\hat{I}_{N,i} \quad \text{.....Delta-Rectifier}$$

bestimmt.

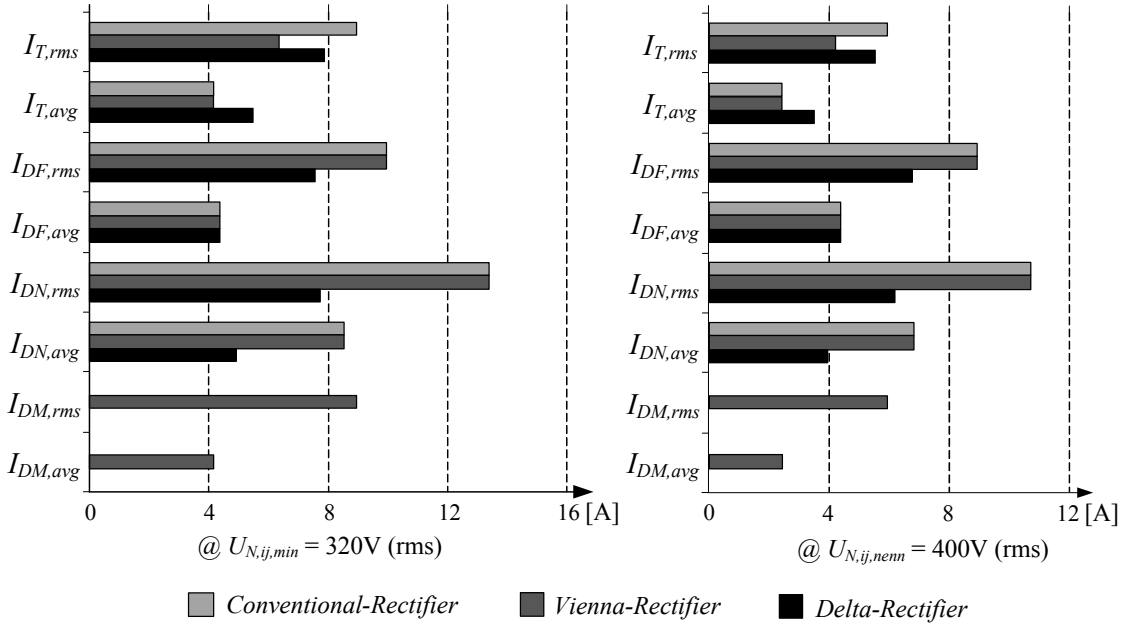


Bild 4.2: Darstellung der Strombelastung der Leistungshalbleiter in den drei Gleichrichtersystemen bei Anschluss an ein symmetrisches Dreiphasennetz mit $U_{N,ij}$=320V (minimale Netzeingangsspannung) bzw. $U_{N,ij}$ = 400V (Nennspannung) und Betrieb bei Nennleistung P_N = 10,5kW.

Tabelle 4.1: Halbleiterkomponenten mit ihren Kenndaten zur Verlustleistungsberechnung

Komponente	Bezeichnung (Hersteller)	Spezifikation V_{RRM} / $I_{F(AV)}$	Kenndaten Leitverluste	Kenndaten Schaltverluste
Netzthyristoren /-dioden D_N	TYN1040 (ST)	1000V / 25A	U_F=0,85V	keine
Mittelpunktdiode D_M	GBPC2506	600V / 25A	r_D=12mΩ	Schaltverluste-
MOSFET S	SPW47N60C3 (Infineon)	650V / 47A	$R_{DS(on)}$=0,12Ω	$k_{1,ON}$ = 28,5µJ/A $k_{2,OFF}$ = 8,2µJ/A
Freilaufdiode D_F	HFA25PB60 (IRF)	600V / 25A	U_F = 0,95V r_D = 24mΩ	$k_{1,RR}$ = 3.2µJ/A

Bild 4.3 veranschaulicht die auftretenden Leit- und Schaltverluste in den Halbleiterkomponenten für Nennleistung und minimale bzw. nominelle Netzspannung. Durch die Parallelschaltung von zwei MOSFETs fallen am *Vienna-Rectifier* vergleichsweise die geringsten Verluste in den Leistungsschaltern an. Gegenüber einem einzelnen[6] MOSFET können über die Parallelschaltung die Leitverluste insgesamt halbiert und die Schaltverluste auf zwei Leistungsschalter aufgeteilt werden. Die zusätzlichen Leitverluste in den Mittelpunktsdioden D_M des *Vienna-Rectifier* heben jedoch den Vorteil der reduzierten Leitverluste in den MOSFETs im Vergleich zum *Conventional Rectifier* fast wieder auf.
Die Schaltverluste im *Delta-Rectifier* sind gegenüber den direkten Dreiphasensystemen aufgrund Gl.(4.4) um einen Faktor $2/\sqrt{3}$ höher. Hingegen sind die Leitverluste in der Hochsetzstellerstufe ($P_{T,LV}$ + $P_{DF,LV}$) geringer. Die Verluste $P_{DN,LV}$ in der Eingangsgleichrichtung sind trotz der doppelten Anzahl an Dioden für den *Delta-Rectifier* infolge der reduzierten Strombelastung um einen Faktor $\sqrt{3}$ praktisch identisch mit jenen der Dreiphasensysteme.

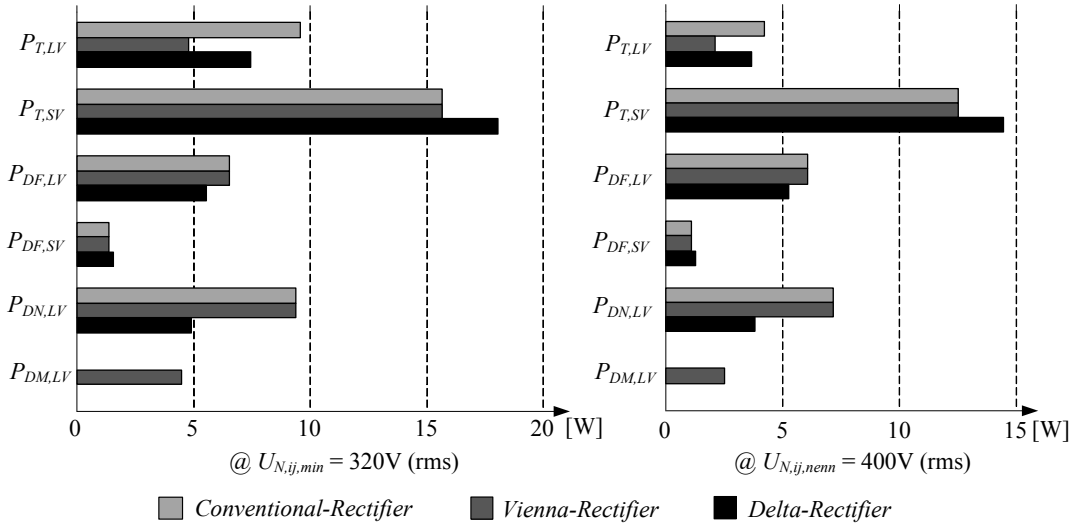


Bild 4.3: Auftretende Verlustleistung getrennt in Leit- (Index *LV*) und Schaltverluste (Index *SV*) an den einzelnen Halbleiterkomponenten für $U_{N,ij}$=320V / 400V und Betrieb im Nennlastpunkt P_N=10500W (Schaltfrequenz f_P=50kHz).

Zusammenfassend kann gesagt werden, dass die gesamten Halbleiterverluste für den *Delta-Rectifier* durch höhere Schalt- und geringere Leitverluste im Vergleich zu den direkten Systemen bestimmt sind. Es folgt damit, dass der *Delta-Rectifier* gegenüber den direkten

[6] in diesem Fall wären die Gesamtverluste an den beiden Schaltern des *Conventional Rectifier* gleich gross wie die Verluste an dem einen Schalter des *Vienna-Rectifier*

Dreiphasensystemen bei höheren Strömen oder Leistungen eine geringere Zunahme an Halbleiterverlusten erfährt, da die Leitverluste ($R_{DS,on} \cdot I^2_{rms} + U_{DF} \cdot I_{avg}$) auch quadratisch, die Schaltverluste (Gl. (4.2) u. (4.3)) nur linear mit der Strombelastung ansteigen. Ebenso kann mit einer Reduzierung der Schaltverluste (z.B. bei Einsatz von Siliziumkarbid Schottky-Dioden oder durch Herabsetzen der Schaltfrequenz) die höchste Wirkungsgradverbesserung für den *Delta-Rectifier* erreicht werden. Dies ist vor allem in Hinblick auf ein System mit höherer Gesamtausgangsleistung von Interesse, um die Schaltverluste bei tiefen Eingangsspannungen zu limitieren. Hin zu kleineren Eingangsspannungen weist der *Delta-Rectifier* die geringste Abnahme des Wirkungsgrades auf. (Die für den *Vienna-Rectifier* in den Leistungsschaltern und den Mittelpunktsdioden anfallenden Leitverluste ($2P_{T,LV} + 2P_{DM,LV}$) stehen den höheren Leitverlusten in den Leistungsschaltern des *Conventional Rectifier* gegenüber).

Bild 4.4 stellt die gesamten Halbleiterverluste pro Modul bzw. Phase für die drei Systeme in Abhängigkeit der Eingangsspannung bei Nennleistung dar. Die Verluste der beiden direkten Dreiphasensysteme sich nur minimal unterschiedlich und können im gesamten Arbeitsbereich als gleich gross angesehen werden. Die Halbleiterverluste des *Delta-Rectifier* liegen aufgrund des Grössenverhältnisses von Schalt- zu Leitverlusten (siehe **Bild 4.5**) für grosse Eingangsspannungen etwas oberhalb jener der Dreiphasensysteme und stimmen mit diesen bei kleinen Eingangsspannungen bzw. hohen Eingangsströmen überein. Daraus kann die Feststellung abgeleitet werden, dass der *Delta-Rectifier* vor allem bei höheren Ausgangsleistungen oberhalb von $P_O = 10\text{kW}$ an Attraktivität gewinnt. Die durch die Modularität gegebene Aufteilung der Gesamtleistung auf drei Zwischenkreise kommt in Hinblick auf eine nachgeschaltete DC/DC-Ausgangstufe mit drei DC/DC-Konvertermodulen kleinerer Leistung verstärkt vorteilhaft zur Geltung. Die Gefahr einer thermischen Überlastung einer Halbleiterkomponente – vorallem eines Leistungsschalters – ist durch die gleichmässige Strombelastung der Komponenten nicht gegeben (siehe Bild 4.2 und Bild 4.3).

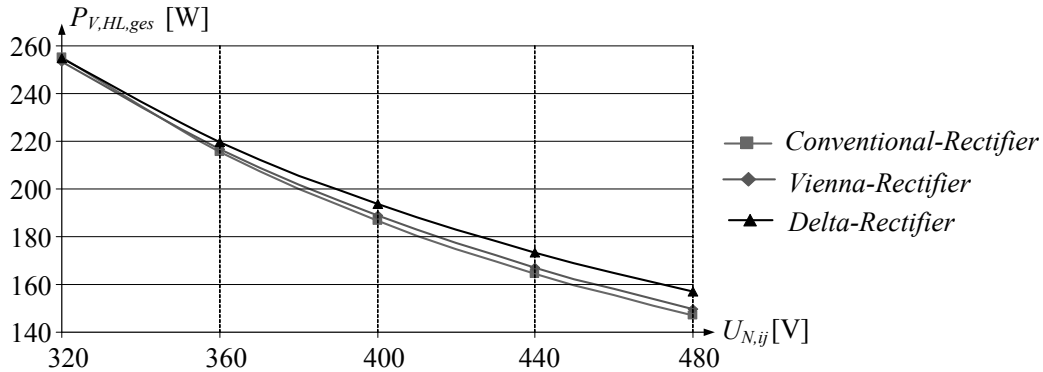


Bild 4.4: Die gesamten Halbleiterverluste der drei Gleichrichtersysteme bei Nennlast $P_N = 10500\text{W}$ in Abhängigkeit der symmetrischen Netzspannung $U_{N,ij}$ ($f_P = 50\text{kHz}$).

Bild 4.5 zeigt die kumulierten Verlustanteile für den *Delta-Rectifier* im Vergleich zum *Vienna-Rectifier* bei Nennleistung und unterschiedlichen Eingangsspannungen $U_{N,ij}$. Durch den geringeren Anteil an Leitverlusten im *Delta-Rectifier* ist die Verlustzunahme hin zu kleineren Netzspannungen geringer als für den *Vienna-Rectifier*.

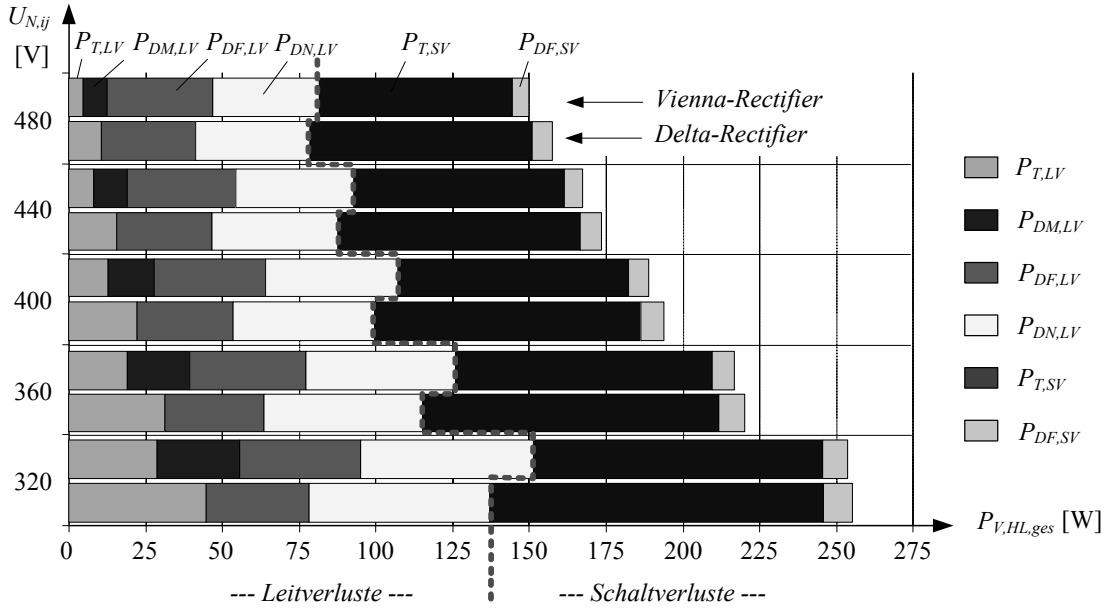


Bild 4.5: Kumulierten Gesamthalbleiterverluste $P_{V,HL,ges}$ für den *Vienna-Rectifier* und den *Delta-Rectifier* bei Nennbetrieb P_N = 10500W in Abhängigkeit der Netzspannung $U_{N,ij}$ (f_P = 50kHz).

In **Bild 4.6** sind die berechneten Halbleiterverluste der Systeme aufgetrennt in Leit- und Schaltanteile für zwei verschiedene Bauleistungen und Schaltfrequenzen verglichen. Es ist zu entnehmen, dass der *Delta-Rectifier* bei hohen Leistungen bzw. Strömen und reduzierter Schaltfrequenz die geringsten Halbleiterverluste aufweist. Bei grösseren Bauleistung treten für den *Vienna-Rectifier* geringere Leitverluste als für den *Conventional Rectifier* auf, da die Leitverluste an den Mittelpunktsdioden geringer ansteigen als die Leitverluste in den MOSFETs des *Conventional Rectifier*.

Abschliessend kann also festgehalten werden, dass der *Delta-Rectifier* über eine ausgewogene Verlustaufteilung auf die einzelnen Komponenten, die geringste Verlustleistungszunahme bei steigenden Strömen infolge der dominierenden Schaltverluste und eine sehr gute Verlustkennzahl ($P_{V,HL}/P_N$) bei hohen Strömen aufweist.

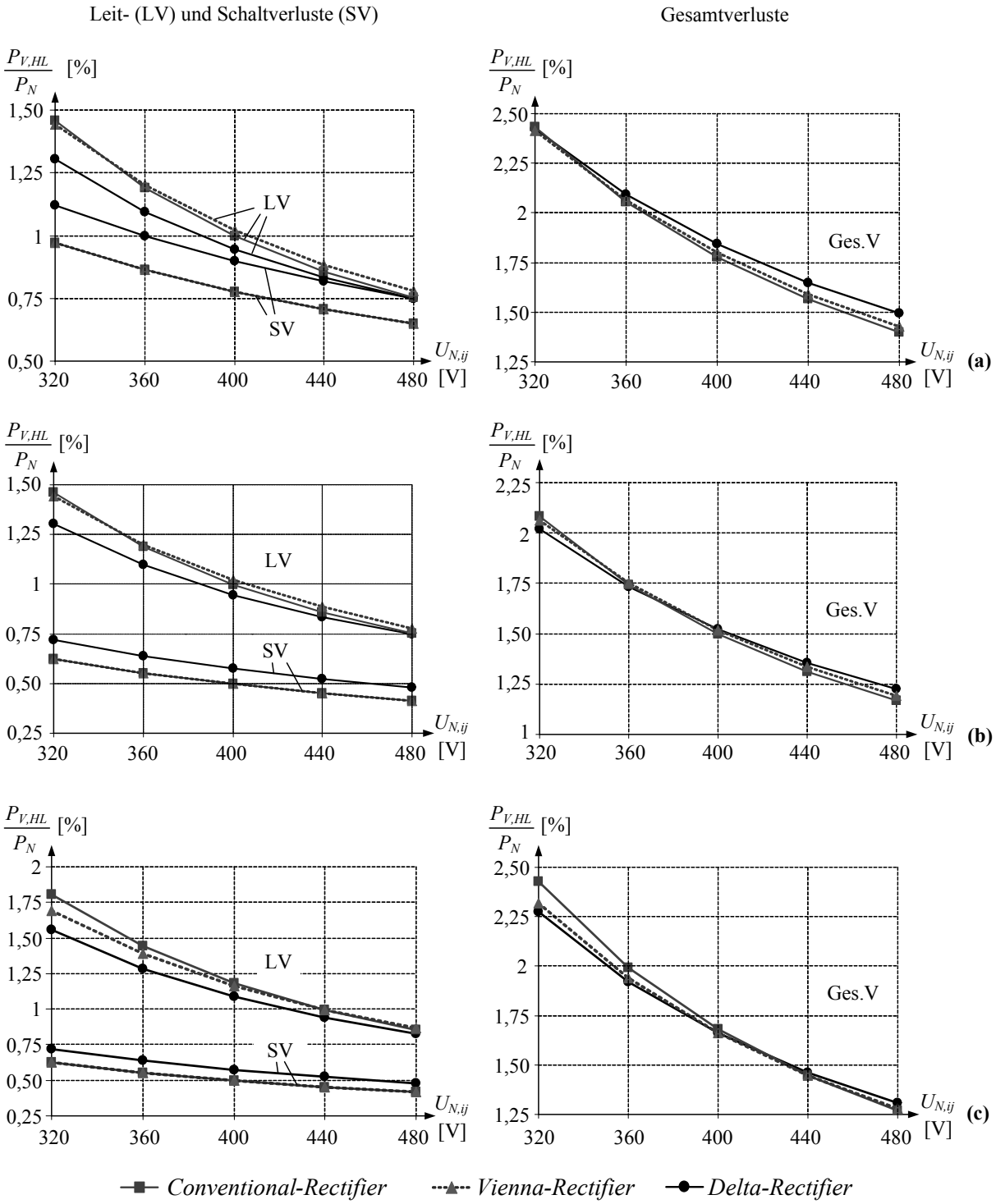


Bild 4.6: Die auf die Systemleistung bezogenen gesamten Halbleiterverluste (rechte Spalte) und deren Aufteilung in Leit– und Schaltverluste (linke Spalte) für drei verschiedene Systemauslegungen (Nennleistung P_N, Schaltfrequenz f_P) in Abhängigkeit der Eingangsspannung. Für **(a)** gilt P_N =10,5kW, f_P = 50kHz, für **(b)** gilt P_N = 10kW, f_P = 32kHz und für **(c)** gilt P_N = 15kW, f_P = 32kHz.

4.1.2 Netzstromrippel und Verluste in den passiven Komponenten

Neben geringen Halbleiterverlusten für den Einsatz eines Kühlkörpers mit minimalen Abmessungen bestimmen die Grösse bzw. die Verluste der passiven Komponenten (*L*, *C*) die erzielbare Leistungsdichte bzw. den Wirkungsgrad des Systems. Die Analyse zeigt, dass durch die reduzierte Spitzenstrombelastung ($\hat{I}_{N,ij} = I_{N,i}/\sqrt{3}$) und bei Anpassung der Eingangsinduktivitäten der Systeme ($L_\Delta = 3L_S = 3L_{VR}$) zum Zwecke einer gemeinsamen Vergleichbasis derselbe Magnetkern hinsichtlich einer maximal zulässigen magnetischen Aussteuerung ($\hat{H}_\Delta \propto N_\Delta \hat{I}_{N,ij} \equiv \hat{H}_{VR} \propto N_S \hat{I}_{N,i}$; $\hat{I}_{N,i} = \sqrt{3}\hat{I}_{N,ij}$, $N_\Delta = \sqrt{3}N_S$) eingesetzt werden kann (s. Kapitel 2.3.3.8.3 auf S. 83, Bild 2.20). Für die Bildung der Eingangsphasenströme stehen dem *3-Punkt Delta-Rectifier* ebenso wie dem *Vienna-Rectifier* 9 mögliche Pegel der Gleichrichter-Eingangsphasenspannungen zur Verfügung. Allerdings kann, wie die Raumzeigerdarstellung in Kapitel 2.2.4, Bild 2.9**,** anschaulich zeigt, der Sollspannungsraumzeiger beim *Delta-Rectifier* mit geringeren Abweichungen gebildet werden, womit ein geringerer schaltfrequenter Rippel des Eingangsstromes für $L_\Delta = 3L_{VR}$ resultiert. Ein Vergleich des Phasenstromrippels und der Spannungsbildung auf der Gleichrichtereingangsseite während einer Netzperiode ist in **Bild 4.7** gezeigt.

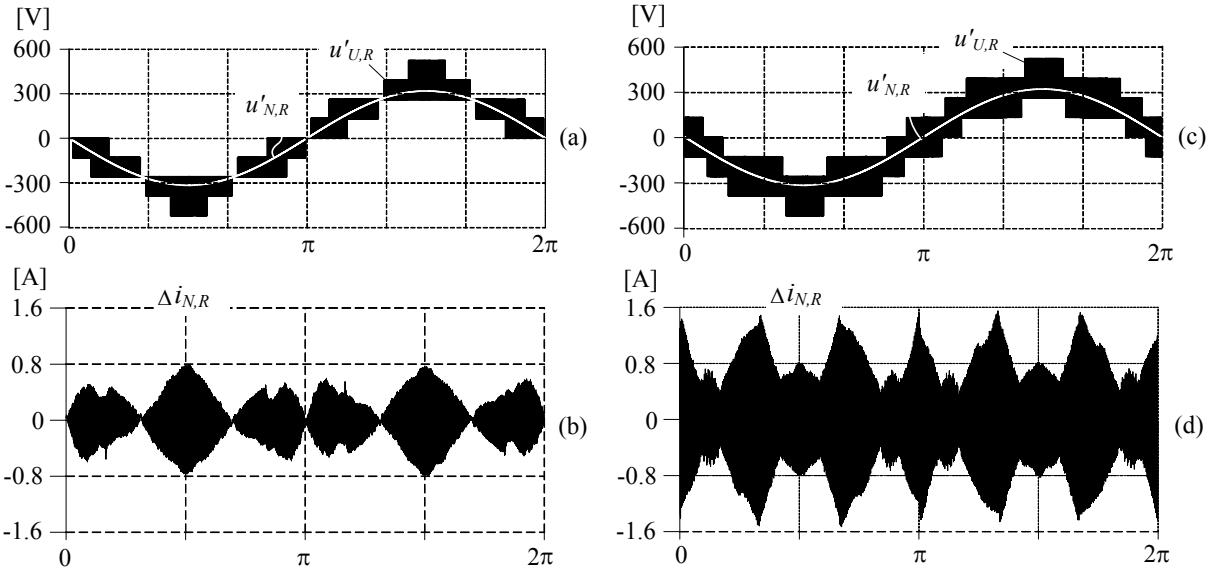


Bild 4.7: Zeitverläufe der Phasenspannung $u'_{N,R}$ und der phasenbezogenen Umrichtereingangsspannung $u'_{U,R}$ für den *Delta-Rectifier* in **(a)** und für den *Vienna-Rectifier* in **(c)**. **(b)** zeigt den resultierenden Phasenstromrippel $\Delta i_{N,R}$ des *Delta-Rectifier* für $L_\Delta = 3L_{VR} = 3 \cdot 280\mu H$ und $f_P = 50kHz$ *Delta-Rectifier* und **(d)** den Phasenstromrippel des *Vienna Rectifier*. Die Netzspannung beträgt $U_{N,i} = 230V$, $M = 0{,}81$.

Für die Berechnung der Magnetisierungsverluste – hervorgerufen durch den schaltfrequenten Stromrippel - ist beim *Delta-Rectifier* der globale Effektivwert des Modulstromrippels $\Delta I_{N,ij}$ und beim *Vienna-Rectifier* der globale Effektivwert des Phasenstromrippels $\Delta I_{N,i}$ relevant. In **Bild 4.8** sind diese Grössen als normierte Werte in Abhängigkeit der Eingangsspannung / des Modulationsgrades dargestellt. Zusätzlich ist der normierte globale Effektivwert des Phasenstromrippels des *Delta-Rectifier* eingetragen, der, wie die Werte für den *Vienna-Rectifier*, durch Simulation ermittelt wurde.

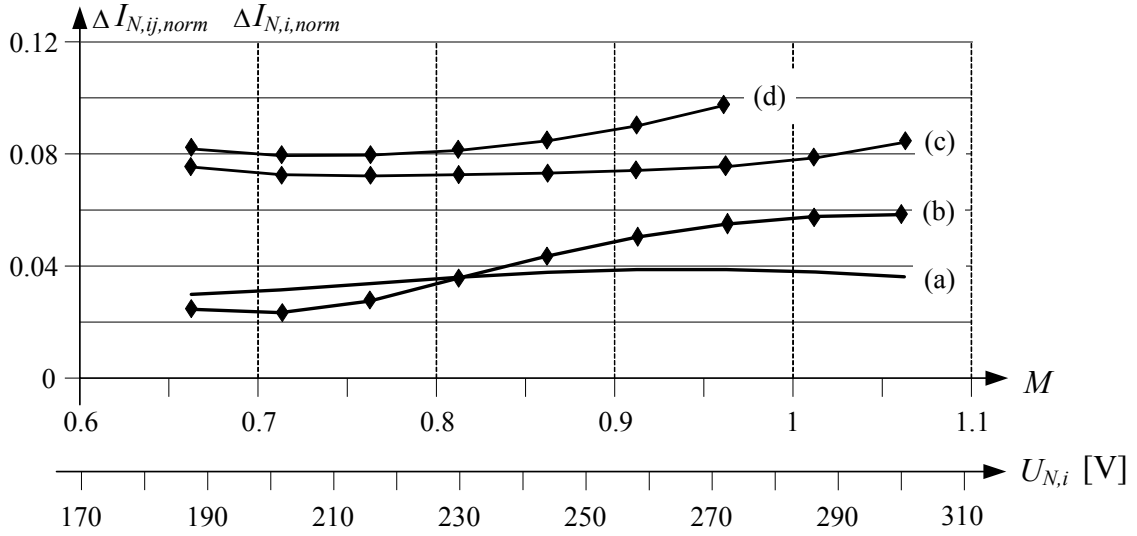


Bild 4.8: Normierter globaler Effektivwert des Modulstromrippels $\Delta I_{N,ij,norm}$ **(a)** und des Phasenstromrippels $\Delta I_{N,i,norm}$ **(b)** für den Dreipunkt *Delta-Rectifier*. Vergleichend dazu der Effektivwert des Phasenstromrippels $\Delta I_{N,i,norm}$ für die direkten Dreipunkt Dreiphasensysteme (gilt auch für den *Y-Rectifier*) bei reiner Sinusmodulation **(d)** und bei Modulation mit einer zusätzlichen 3. Harmonischen **(c)** mit 1/6 der Amplitude der Grundschwingung zur Erhöhung des Aussteuerbereiches (Anhebung von $M = 0\ldots1$ auf $M = 0\ldots2/\sqrt{3}$) und zur Reduzierung der Stromoberschwingungen. Die Marken ♦ kennzeichnen die Stützstellen der Simulation; dazwischen sind die Werte linear interpoliert. Der Verlauf **(a)** ist analytisch berechnet. Die Normierungsbasis lautet $\Delta i_{norm} = U_O T_S/8L_S$ *(=7,14*A*)*; für die Induktivitäten gilt der Zusammenhang $L_\Delta = 3L_S$; der Modulationsindex ist mit $M=2\hat{U}_{N,i}/U_O$ definiert.

Mit

$$\Delta B = \frac{L_\Delta \Delta I_{N,i}}{N_\Delta A_{fe}} \quad \text{(für } \textit{Delta-Rectifier}\text{)} \qquad \Delta B = \frac{L_S \Delta I_{N,ij}}{N_S A_{fe}} \quad \text{(für } \textit{Vienna-Rectifier}\text{)} \tag{4.5}$$

(bei Annahme einer konstanten Induktivität unabhängig von der Aussteuerung) und

$$P_{fe} = 22{,}4 \cdot 10^{-9} \cdot f_{fe[\mathrm{kHz}]}^{\,1{,}07} \cdot \Delta B_{[\mathrm{Gauss}]}^{\,2{,}13} \cdot V_{fe[\mathrm{cm}^3]} \tag{4.6}$$

(ermittelt aus Datenblattangaben zum Eisenpulverkern T184-52 / *Micrometals*) können die Magnetisierungsverluste berechnet werden. Durch die versetzte Taktung der beiden Hochsetz-

steller in der Dreipunkt Ausgangsstufe des *Delta-Rectifier* weist der Stromrippel eine Schwankung mit doppelter Schaltfrequenz auf. Das Ergebnis einer Spektralanalyse des Phasenstromes der beiden direkten Dreiphasensysteme zeigt, dass ein grosser Anteil der Stromoberschwingung ebenfalls in der Umgebung der doppelter Schaltfrequenz auftritt (für $M = 0{,}81$ sind die Spektralanteile um die doppelter Schaltfrequenz gruppiert etwa zweimal so hoch wie bei einfacher Schaltfrequenz). Dies folgt aus der Modulation mit zwei um 180° in der Pulsperiode versetzte Trägersignale mit dreieckförmigem Verlauf, die in Abhängigkeit des Vorzeichens der Phasenspannungen für die PWM-Generierung ausgewählt werden. Mit einer „*worst-case*“ Annahme für den *Vienna-Rectifier*, indem der gesamte globale Effektivwert des Stromrippels der doppelten Schaltfrequenz zugerechnet wird, kann eine obere Abschätzung der Ummagnetisierungsverluste angegeben werden. Aus **Bild 4.8** (Kennlinie (a) und Kennlinie (c)) ergeben sich die Effektivwerte des Stromrippels bei Nennspannung mit $\Delta I_{N,ij,norm} = 0{,}038 \cdot 7{,}14\text{A}$ vs. $I_{N,i,norm} = 0{,}072 \cdot 7{,}14\text{A}$. Mit dem Verhältnis $L_\Delta / N_\Delta = \sqrt{3} L_S / N_S$ und der Näherung $f_{fe} = 2f_{P,\Delta} = 2f_{P,VR} = 100\text{kHz}$ treten für den *Delta-Rectifier* etwas geringe Ummagnetisierungsverluste auf ($P_{V,fe,\Delta} = 3{,}1\text{W}$ vs. $P_{V,fe,VR} = 4\text{W}$). Aufgrund des geringen Stromrippels weisen die Ummagnetisierungsverluste einen relativ kleinen Anteil an den Gesamtverlusten auf.

Die Wicklungsverluste werden als Stromwärmeverluste am Gleichstromwiderstand der Wicklung bestimmt. Wird eine Wicklung nach **Bild 2.20** auf S. 84 zugrunde gelegt, nimmt der Wicklungswiderstand für L_Δ im Vergleich zu L_S aufgrund der Erhöhung der Wicklungslänge und der Reduzierung des Drahtquerschnittes um $\sqrt{27}$ zu. Somit sind die resultierenden Kupferverluste für L_Δ um Faktor $\sqrt{3}$ höher als für L_S. Insgesamt treten in diesem Vergleich an den Eingangsinduktivitäten des *Delta-Rectifier* ca. 6W höhere Verluste auf. Abhängig von der Eingangsspannung $U_{N,ij} = 320\text{V} \ldots 480\text{V}$ betragen die Verluste an den Eingangsinduktivitäten für den Nennlastpunkt $P_{L,ges} = 40\text{W} \ldots 25\text{W}$ (s. Tabelle 2.8 in Kapitel 2.3.4).

Für die Einhaltung einer maximal zulässigen Ausgangsspannungsschwankung im zweiphasigen Betrieb müssen auch die direkten Dreiphasensysteme mit einer ausreichend hohen Zwischenkreiskapazität ausgelegt werden. Für den *Delta-Rectifier* und den *Vienna-Rectifier* sei angenommen, dass jeweils 12 Elektrolytkondensatoren mit C = 470uF/450V eingesetzt werden. (Die drei Module des *Delta-Rectifier* sind mit je 4 Kondensatoren in Serien-Parallelschaltung und der *Vienna-Rectifier* mit 6 parallel geschalteten Kondensatoren je Teilausgangsstufe bestückt). Durch die höhere Rippelstrombelastung infolge der zweifach netzfrequenten Leistungspulsation an den einzelnen Zwischenkreisen des *Delta-Rectifier* und

der Parallelschaltung von jeweils nur zwei Kondensatoren je halber Zwischenkreisspannung sind die Gesamtverluste in den Kondensatoren deutlich höher als bei direkten Dreiphasensystemen. Für die Bestimmung des frequenzabhängigen Ersatzserienwiderstandes wird die Vereinfachung getroffen, dass für den *Delta-Rectifier* der Wert für 100Hz ($ESR_{100\mathrm{Hz}} = 0{,}3\Omega$) und für die direkten Dreiphasensysteme ein um Faktor 1,5 reduzierter Wert ($ESR_{fp} = 0{,}2\Omega$) in die Berechnung der ohmschen Verluste eingeht. Typisch nimmt der *ESR* von Elektrolytkondensatoren mit zunehmender Frequenz bis ca. 10kHz um den Faktor 1,5…1,8 bezogen auf den Wert bei 100Hz herab. Für Nennspannung $U_{N,i} = 230\mathrm{V}$ ($M = 0{,}81$) ergiben sich die Verluste

$$\begin{aligned} P_{C,\Delta} &= 3 \cdot ESR_{100Hz} \cdot I_C^2 = 3 \cdot ESR_{100Hz} \cdot \left(\frac{4}{3\sqrt{3}\pi} - \frac{M}{8} \right) \frac{M}{2} \hat{I}_{N,i}^2 = 24{,}1\,\mathrm{W}, \\ P_{C,VR} &= \frac{ESR_{f_P}}{3} \cdot I_C^2 = \frac{ESR_{f_P}}{3} \cdot \left(\frac{10\sqrt{3}}{8\pi} M - \frac{9}{16} M^2 \right) \hat{I}_{N,i}^2 = 5{,}8\,\mathrm{W}. \end{aligned} \tag{4.7}$$

Der Faktor 3 in der Berechnung von $P_{C,\Delta}$ steht für die Anzahl der Module, der Faktor 1/3 in der Berechnung von $P_{C,VR}$ resultiert aus der Serienschaltung der beiden Teilausgangsspannungsstufen mit 6 Kondensatoren).

Die Gesamtverluste in den passiven Komponenten (*L, C*) für den *Delta-Rectifier* im Vergleich zu den direkten Dreiphasensystemen sind in Abhängigkeit der Eingangsspannung in **Bild 4.9** dargestellt.

Die zufolge der niederfrequenten Harmonischen höhere Verlustleistung in den Zwischenkreiskondensatoren und die damit herabgesetzte Lebensdauer sind ein genereller Nachteil von modularen Konzepten für die Realisierung von Dreiphasen-Gleichrichtersystemen.

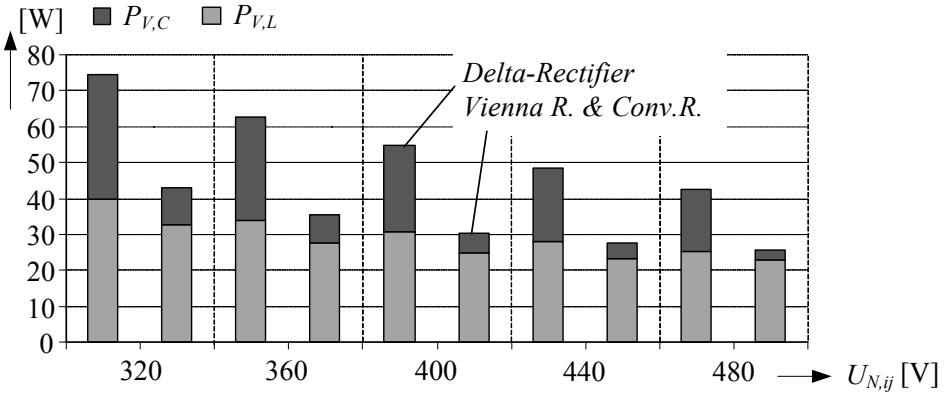


Bild 4.9: Gegenüberstellung der Gesamtverluste ($P_{V,C}$ und $P_{V,L}$) an den passiven Leistungskomponenten (*C*, *L*) für die oben besprochene Auslegung in Abhhängigkeit der Eingangsspannung. Die erste Säule kennzeichnet jeweils die Verlustanteile des *Delta-Rectifier*, die zweite Säule die Verlustanteile des *Vienna-Rectifier* (und/oder *Conventional Rectifier*).

4.1.3 Gesamtwirkungsgrad und Leistungsdichte

Die zusätzlichen Verluste an den Vorschaltinduktivitäten des netzseitig vorzusehenden EMV-Filters, der Leistungsbedarf für die Gate-Ansteuerstufen, die Signal- und Regelelektronik und die Lüfter, sowie ohmsche Leitverluste an den Leiterbahnen, Verbindungs- und Kontaktstellen können für die Systeme etwa gleich hoch mit $P_{V,Zusatz} \approx 60\text{W}$ angesetzt werden. In **Bild 4.10** ist der berechnete Gesamtwirkungsgrad der drei Systeme für die vorliegende Spezifikation (s. Tabelle 2.3, Kapitel 2.3.1) angegeben. Vorrangig bedingt durch die höheren Verluste in den passiven Komponenten weist der *Delta-Rectifier* einen um ≈ 0,3% niedrigeren Systemwirkungsgrad auf.

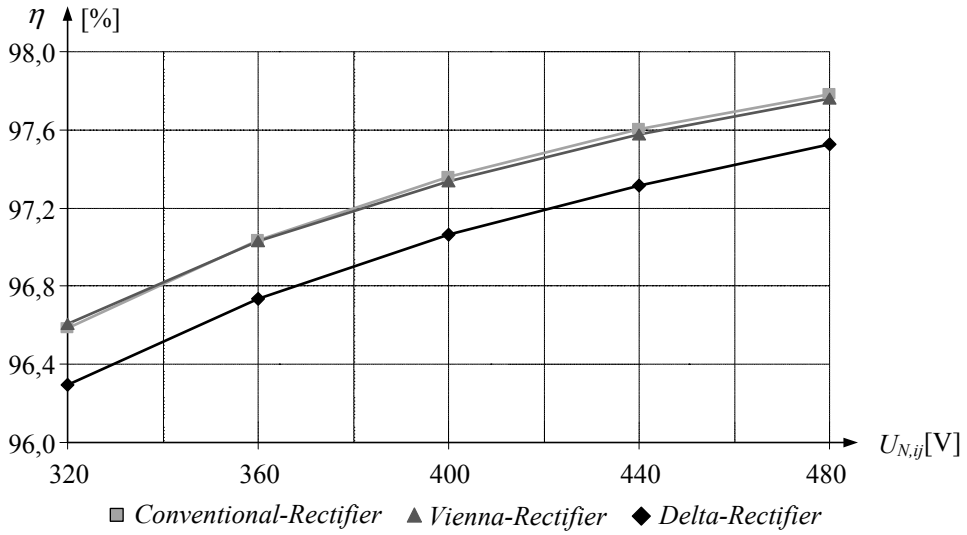


Bild 4.10: Berechneter Gesamtwirkungsgrad der drei Systeme für den Nennlastpunkt $P_N = 10{,}5\text{kW}$ in Abhängigkeit der Eingangsspannung $U_{N,ij}$ (Schaltfrequenz $f_P = 50\text{kHz}$, Leistungshalbleiter aus **Tabelle 4.1**).

Das aufgebaute Labormuster (*Prototyp B*) des *Delta-Rectifier* (s. Bild 2.36 auf S. 112) weist ohne EMV-Eingangsfilter die folgenden Kenndaten auf

- $P_N = 10{,}5\text{kW}$, $f_P = 50\text{kHz}$
- $U_{N,ij} = 320\text{V} \ldots 480\text{V}$, $\eta_{nenn} = 96{,}2 \ldots 97{,}4\%$, $THD_{nenn} < 1{,}5\%$
- Abmessungen $B \times H \times T$: 195mm × 130mm × 176mm $\rightarrow V_{ges} = 4{,}46\text{dm}^3$
- Gewicht: $m_{ges} = 4{,}0\text{kg}$
- Leistungsdichte: $\rho_{P/V} = 2{,}4\text{kW/dm}^3$
- Leistungsgewicht: $\rho_{P/m} = 2{,}6\text{kW/kg}$

Das System zeichnet sich also auch bei konventioneller Aufbautechnik mit Luftkühlung durch eine hohe Leistungsdichte aus.

4.1.4 Besonderheiten des *Delta-Rectifier*

Durch den modularen Aufbau mit Einphasen-PFC-Einheiten, die in Dreieckschaltung an das Dreiphasennetz angeschlossen sind, kann bei Phasenausfall eine höhere Ausgangsleistung als bei direkten Dreiphasensystemen bereitgestellt werden. Bei Phasenfall werden die zwei Module, die an dieser Phase angeschlossen sind, in Serie geschaltet. Damit kann bei entsprechender Auslegung der Regelung (s. Kapitel 2.4.2.4 und nachfolgende Kapitel) über die Serienschaltung bei Einhaltung des Modulnennstromes 1/3 der Gesamtleistung übertragen werden, womit insgesamt 2/3 = 66,7% der Nennleistung an den Ausgang geliefert werden können. Im Gegensatz dazu kann bei direkten Dreiphasensystemen (und auch beim *Y-Rectifier*) nur noch $1/\sqrt{3}$ =57,7% der nominellen Leistung übertragen werden (zwei Module liegen in diesem Fall in Serie an der verketteten Eingangsspannung).

Der grosse Vorteil des modularen Aufbaus liegt aber darin, dass beim *Delta-Rectifier* mittels einer einfachen schaltungstechnischen Massnahme auch bei Phasenausfall 100% der Nennleistung übertragen werden kann, ohne die einzelnen Module überdimensionieren zu müssen. Dafür werden die Eingangsdiodenbrücken der Module durch Dreiphasen-Thyristorbrücken ersetzt (zusätzlich 2 Ventile pro Modul), mit welchen die Umschaltung auf die beiden verbleibenden Netzphasen durchgeführt werden kann (Bild 2.17 auf S. 68 zeigt diese Erweiterung). Damit kann der *Delta-Rectifier* auf Systemebene mit einer hohen Versorgungssicherheit auf Nennleistungsniveau gegen Phasenausfälle ausgestattet werden. Voraussetzung für diesen Betrieb ist, dass die beiden verbleibenden Netzphasen die um $\sqrt{3}$ erhöhte Leistung bereitstellen können. Der Eingangsstromrippel nimmt dabei aufgrund der fehlenden Rippelstromreduktion durch den Nullstrom maximal den dreifachen Wert des Modulstromrippels (s. Bild 4.8(a)) an. Eine Reduktion des Eingangsstromrippels wäre in diesem Fall jedoch durch eine um 120° in der Pulsperiode versetzte Taktung der Module möglich. Mit der Parallelschaltung der drei Module an die beiden Netzphasen liegt weiterhin keine Systemverkopplung zwischen den Modulen vor, womit keine Vorkehrungen zur Vermeidung einer Systeminstabilität notwendig sind.

Durch den modularen Aufbau wird die übertragene Leistung auf drei Einheiten aufgeteilt, deren Ausgänge zueinander auf unterschiedlichem, schaltfrequentem Potenzial liegen. Für die Bildung eines gemeinsamen „Leistungs-Tors“ müssen daher an die Zwischenkreise des Gleichrichtersystems DC/DC-Ausgangsstufen mit Potenzialtrennung angeschlossen werden, deren Ausgänge parallel geschaltet sind (s. Bild 1.4 (a) auf S. 23). Der Einsatz des *Delta-Rectifier* - und somit auch des *Y-Rectifier* - ist also für Anwendungen sinnvoll, die eine

Potenzialtrennung vorschreiben (z.B. Vorsorgungseinheiten im Telekom- und Server-Bereich, für industrielle und medizintechnische Geräte, etc.). Der Einsatz als Gleichrichtereingangsstufe (ohne Erfordernis einer Potenzialtrennung) für einen Frequenzumrichter zur frequenzvariablen Speisung von Drehstrommaschinen ist daher den direkten Dreiphasensystemen (uni- / bidirektional, s. Bild 1.1 auf S. 18) vorbehalten.

4.1.5 Grad der Modularität (Leistungsteil / Steuerteil)

Eine wichtige Frage im Zusammenhang mit dem modularen Aufbau des Leistungsteils stellt sich bezüglich der Implementierung der Steuer- und Regelelektronik, ob die Umsetzung für eine Dreiphaseneinheit kostengünstig und mit reduziertem Entwicklungsaufwand auf Basis einer (analogen) Regelung für ein Einphasensystem aufgesetzt werden kann. Wenn es grundsätzlich möglich ist, die Modularität auch auf die Steuerebene zu übernehmen, kann von einem ganzheitlichen modularen Systemansatz gesprochen werden. Andernfalls kann es notwendig oder sinnvoll sein, eine gemeinsame Steuereinheit mit einem weitgehend modularen Regelkonzept zu implementieren.

Ist die Anforderung an den *Delta-Rectifier* auf den Betrieb an einem Dreiphasennetz ohne Phasenausfall eingeschränkt, kann jedes Modul entkoppelt / unabhängig von dem anderen geregelt werden. Es bietet sich jedoch aus Kostengründen und zur Steigerung der Systemkompaktheit an, die einzelnen Leistungsmodule an eine gemeinsame Verbindungsplatine mit der Mess- und Regelelektronik anzuschliessen, um z.B. nur noch eine Hilfsspannungsversorgung aufbauen zu müssen und eine Synchronisationseinheit für die Trägersignale zum Erreichen einer optimalen Modulation mit minimalen Netzstromrippel (s. Kapitel 2.2.5) einsparen zu können.
Ist der Betrieb auch bei einem Phasenausfall zu beherrschen, ist folgendes zu beachten: Bei einem Phasenausfall werden zwei Module in Serie geschaltet, wodurch deren Zwischenkreisspannungen nun über den gemeinsamen Modulstrom verkoppelt sind. Wie in Kapitel 2.4.2.4 gezeigt, erfordert diese Systemverkopplung eine Anpassung des Regelungskonzeptes oder einen zusätzlichen überlagerten Regeleingriff zur Systemstabilisierung. Dieser Regeleingriff kann vorteilhaft durch die Leistungsaufteilung in den nachgeschalteten Ausgangsstufen realisiert werden. Die wirksame Systemverkopplung macht einen rein modularen Regelungsansatz zunichte. In der vorliegenden Arbeit wurde daher die gesamte Regelung des *Delta-Rectifier* (Prototyp B) volldigital in einer zentralen Recheneinheit (DSP) implementiert, die bei der Erweiterung des Systems mit DC/DC-

Ausgangstufen auch deren Regelung übernehmen kann. Werden die Module durch Thyristorbrücken zwischen den Phasen umschaltbar ausgeführt, kann bei raschem Erkennen des Phasenausfalls (durch Abfrage der Modulströme auf Phasengleichheit und ob eine Phasenspannung $u_{N,i}$ gleichbleibend nahe Null ist) und anschliessendem Umschalten auf die beiden verbleibenden Phasen die Systemverkopplung genügend schnell aufgehoben werden. Für die koordinierte Umschaltung und die Überwachung der Eingangsspannungen, um z.B. eine Phasenrückkehr zu detektieren, ist aber auch hier die Implementierung in einer zentralen Steuereinheit zu favorisieren. Mittels einer zentralen Steuereinheit kann einfach eine symmetrische Leistungsaufteilung implementiert werden.

4.1.6 Realisierungsaufwand

4.1.6.1 Leistungshardware

Betrachtet man nur die Gleichrichtereingangsstufe, so sind insgesamt 6 MOSFET und 6 Freilaufdioden mit 600V Sperrspannungsfestigkeit und 12 Netzdioden (oder 18 Netzthyristoren für die erweiterte Variante mit Phasenumschaltung) mit einer Sperrspannungsfestigkeit oberhalb des Spitzenwertes der verketteten Eingangsspannung notwendig. Die Vorladung der Zwischenkreisspannungen kann, wie am Prototyp implementiert, durch einen zusätzlichen Vorlade-MOSFET je Modul oder besser durch Ersetzen der oberen beiden Netzdioden durch Eingangsthyristoren realisiert werden. Die Wahl der passiven Komponenten zeigt grosse Übereinstimmung mit denen für direkte Dreiphasensysteme, wenn diese an einem stark unsymmetrischen Netz betrieben werden sollen. Vorteilhaft ist, die Eingangsinduktivität auf der DC-Seite symmetrisch auf die beiden Anschlusspfade aufzuteilen, um einerseits eine gute Unterdrückung von Gleichtaktstörungen zu erreichen, andererseits auf der Verbindungsplatine keine Signalpfade mit schaltfrequenten Potenzialschwankungen zu führen.

Die nachgeschaltete DC/DC-Stufe pro Modul muss vorteilhaft zur Reduzierung der Schaltverluste unter Einsatz von 600V-Leistungshalbleitern als *3-Level* Topologie, oder als eingangsseitige Serienschaltung von zwei DC/DC-Konvertern mit Anschluss an den Mittelpunkt des Zwischenkreises und ausgangsseitiger Parallelschaltung ausgeführt werden ([Gul99], [Min00]). Es fehlen derzeit vergleichende Messergebnisse um die Frage beantworten zu können, ob die Energiewandlung in drei parallel arbeitenden DC/DC-Konvertern geringerer Bauleistung auf einen besseren / schlechtern Wirkungsgrad führt als in

einer DC/DC-Einheit eines direkten Dreiphasensystems. Nachteilig ist jedoch ein Mehraufwand für die Messgrössenerfassung und die Regelung zu vermerken.

4.1.6.2 Messwerterfassung / Regelung / Modulation

Im Vergleich zu den direkt dreiphasigen Systemen müssen zusätzlich zwei Modulzwischenkreisspannungen, zwei Teilzwischenkreisspannungen und anstelle von zwei Phasenströmen alle drei Modulströme gemessen werden (siehe Bild 2.59 auf S. 144). Es ist also ein beträchtlicher Zusatzaufwand hinsichtlich Messwerterfassung und -verarbeitung notwendig. Um eine hohe Qualität der Messsignale zu erreichen, muss insbesondere bei einem modularen Aufbau auf die Qualität der lokalen Versorgungsspannung aktiver Stromsensoren und auf die Leiterbahnführung der Messsignale geachtet werden. Für die Regelung der nachgeschalteten DC/DC-Konverter kommen noch weitere vier Messgrössen (drei DC-Modulströme, eine DC-Ausgangsspannung) hinzu, sodass insgesamt 16 Messgrössen für die Systemregelung erfasst werden müssen. Für die Auslegung einer volldigitialen Systemregelung müssen daher die Messgrössen mit geringer Dynamik über einen externen Multiplexer an die 8 A/D-Känale des *Mixed-Signal DSP* gelegt werden.
Die Regelung des Systems kann einfach als modulares Regelungskonzept mit unterlagerter Mittelwertstromregelung für die Modulströme und überlagerter Zwischenkreisspannungsregelung mit Lastvorsteuerung ausgelegt werden. Die Balancierung der Teilzwischenkreisspannung ist einfach zu implementieren. Eine symmetrische Aufteilung der Teilspannungen kann unter Inkaufnahme eines geringen Ansteigens des Phasenstromrippels auch bei unsymmetrischer Lastaufteilung bis etwa 300W ohne Einfluss auf die sinusförmige Führung der Phasenströme erreicht werden.

Ist jedoch auch der Betrieb bei Phasenausfall erforderlich, muss auf die auftretende Verkopplung zwischen den dann in Serie liegenden Modulen Rücksicht genommen und aktiv eingegriffen werden, um die Systemstabilitiät sicherzustellen. Die Möglichkeiten des Eingriffes sind in Kapitel 2.4.2.4 behandelt, die Regelung des Gesamtsystems ist ausführlich in Kapitel 2.4.3 dargestellt. Die Komplexität der Regelung des Gesamtsystems entspricht der eines direkten Dreiphasensystems.

Mit dem *Delta-Rectifier* kann bei reiner Sinusmodulation die maximal mögliche Aussteuerbarkeit $M = 2/\sqrt{3}$ erreicht werden. Im Gegensatz dazu liegt bei direkten Dreiphasensystemen (und auch für den *Y-Rectifier*) die Aussteuergrenze bei $M = 1$ und kann nur durch Addition einer 3. Harmonischen auf $M = 2/\sqrt{3}$ angehoben werden. Die optimalen

Trägersignale zur Minimierung des Netzstromrippels sind durch zwei symmetrische Dreiecksignale, die zueinander um eine Pulshalbperiode versetzt liegen, gegeben. Damit werden die optimalen PWM-Ansteuersignale für eine versetzte Taktung der Leistungsschalter der Teilausgangsstufen durch einen Grössenvergleich mit den Stellgrössen der drei Modulstromregler generiert. Mit einer dritten Harmonischen im Stromsollwertsignal kann der Spitzenwert des Modulstroms reduziert werden, womit der Abstand zur Sättigungsgrenze der Induktivitäten erhöht werden kann (s. Kapitel 2.2.5.1, Bild 2.13).

Gegenüber den direkten Dreiphasensystemen besteht ein relevanter Nachteil hinsichtlich der Anzahl an notwendigen Messgrössen. Für die Ansteuerung der Leistungsschalter sind 6 unabhängige Schaltfunktionen s_{ij+}, s_{ij-} und Ansteuerstufen zu implementieren. Dahingegen sind auch für den *Conventional Rectifier* nur 3 unabhängige Schaltsignale zu bilden.

Ein interessanter Vorteil der Regelung ist, dass die Reglerauslegung von Einphaseneinheiten direkt übertragen werden kann, und eine schrittweise Inbetriebnahme einzelner Module möglich ist.

4.1.7 Abschlussbewertung

Der *Delta-Rectifier* – eine modular aufgebaute, dreiphasige Gleichrichtereingangsstufe bestehend aus drei Dreipunkt-Hochsetzsteller-Modulen, die in Dreieckschaltung an das Dreiphasennetz angeschlossen sind – stellt ein interessantes Konzept in Konkurrenz zu direkten Dreiphasensystem dar und verfügt über ein industrielles Anwendungspotenzial als Eingangsstufe einer potenialgetrennten Stromversorgung. b nbn Nachfolgend werden die Vor- und Nachteile zur Untermauerung dieser Aussage zusammengefasst.

Der erzielbare Wirkungsgrad dieses Systems liegt bei einer Nennleistung von $P_N = 10{,}5\text{kW}$ etwa nur 0,3 % unterhalb dem eines direkten 6-Schalter / 3-Punkt Gleichrichtersystems (*Conventional Rectifier*). Die Halbleiterverluste weisen im Vergleich zu direkten Systemen einen geringeren / grösseren Leit- / Schaltverlustanteil auf. Damit können die Halbleiterverluste bei höheren Strömen / Bauleistungen geringer gehalten werden. Das System verbessert seinen Wirkungsgrad also gegenüber den direkten Systemen bei höheren Bauleistungen und geringeren Schaltfrequenzen. Vor allem bei Bauleistungen oberhalb von 10kW stellt die Aufteilung der Gesamtleistung auf drei Module Vorteile für die Realisierung der nachgeschalteten potenzialgetrennten DC/DC-Ausgangsstufen in Aussicht. Die drei DC/DC-Konverter-Module müssen nur für 1/3 der Gesamtleistung ausgelegt werden und vermeiden damit den Einsatz von grossen Kühlkörpern bzw. Transformatoren oder die

Parallelschaltung von Leistungshalbleitern. Weiters ist die Ausführung von DC-Strom-Trennschaltern für je eine DC-Ausgangsstufe einfacher und kompakter möglich, als für eine Gesamteinheit mit $i_{out} \geq 200A$ bei $u_{out} = 48V$. Der Nachteil der hohen Zwischenkreisspannung (800V) ist auch bei direkt dreiphasigen Systemen vorhanden. Die Stabilisierung des Mittelpunktspotenzials kann über eine einfache und robuste Spannungsregelung ohne Rückwirkung auf die Netzstromregelung sichergestellt werden, womit DC/DC-Konverter mit Mittelpunktanzapfung problemlos eingesetzt werden können.
Werden die Eingangsinduktivitäten verglichen mit den direkten Dreipunkt-Systemen mit identem Magnetkernen und magnetischer Aussteuerung ($\rightarrow L_\Delta = 3L_S$) ausgelegt, tritt für den *Delta-Rectifier* ein deutlich reduzierter Netzstromrippel auf (Vergleich der Kennlinie **(b)** mit **(c)** oder **(d)** in Bild 4.8). Durch die phasenversetzte Taktung der beiden Hochsetzstellerstufen des Dreipunkt-Moduls liegen im Idealfall Spektralkomponenten des Eingangsstromes nur gruppiert um die doppelten Schaltfrequenz und deren Vielfache vor (s. Bild 2.33 auf S. 109); nur ein stark reduzierter Spektralanteil tritt aufgrund von Nichtidealitäten in der Pulsmuster-generierung, Verzögerungen in der Ansteuerstufe und durch die Symmetrierung der Teilausgangsspannungen bei Lastasymmetrie auch im Bereich der Schaltfrequenz auf. Der reduzierte Oberschwingungsgehalt und der vergrösserte Abstand zwischen Netzfrequenz und Frequenz der Stromschwankung (Hauptanteil der Spektralkomponenten bei $2f_P \pm f_N$) führen auf ein kompaktes und verlustarmes Eingangsfilter zur Unterdrückung der Gegentaktstörungen ([Lai03], [Vla96]). Ebenso ist zu erwarten, dass durch die höher anzusetzende Knickfrequenz der 1. Filterstufe der Einfluss des Eingangsfilters auf die Stabilität der modularen Stromregler reduziert werden kann.

Der Aufbau des *Delta-Rectifier* mit der symmetrischen Aufteilung der Eingangsinduktivität auf der DC-Seite (s. Bild 2.17 auf S. 68) führt zu einer guten Unterdrückung der auftretenden Gleichtaktstörungen infolge der schaltfrequenten Potenzialänderung der Leistungshalbleiter gegenüber dem aus schutztechnischen Überlegungen geerdeten Kühlkörper. Auf der Steuer- und Verbindungsplatine, an der die drei Leistungsmodule angeschlossen sind, verlaufen nur noch netzfrequente Leistungspfade, womit aus Sicht der EMV der modulare Aufbau auf keine Nachteile führt (im Gegensatz zum Aufbau des *Y-Rectifier*). Das Eingangsfilter zur Unterdrückung von Gleichtaktstörungen muss somit nur eine relativ geringe Dämpfung aufweisen.

Das Betriebsverhalten des *Delta-Rectifier* am Dreiphasennetz (alle 3 Phasen sind aktiv) ist aufgrund der fehlenden Verkopplung der Module sehr robust. Wird die Eingangs-

gleichrichtung jedes Moduls mit einer Brückenschaltung von 6 Thyristoren ausgeführt, kann das System auch bei Anschluss an ein Zweileiternnetz oder im Falle eines Phasenausfalls 100% der Nennleistung an die Ausgangsseite liefern. Dabei überträgt jedes Modul 1/3 der Gesamtleistung. Ohne die Möglichkeit der Phasenumschaltung bei Verwendung einer Diodengleichrichtung kann im zweiphasigen Betrieb bei Nennstrombelastung der Module 2/3 der Nennleistung verglichen mit $1/\sqrt{3}=0{,}57$ bei direkten Dreiphasensystemen bereitgestellt werden. Die dabei durch die Serienschaltung von zwei Modulen wirksame Verkopplung, muss für die Gewährleistung der Systemstabilität im Regelungskonzept berücksichtigt werden. Bei Einsatz einer volldigitalen Regelung ist diese Erweiterung einfach zu implementieren, und die Komplexität der Systemregelung kann mit jener für direkte Dreiphasensysteme gleichgesetzt werden.

Als nachteilig müssen die erhöhten Verluste in den Zwischenkreiskondensatoren und die durch die physikalisch bedingte 100Hz Leistungspulsation hervorgerufene Spannungsschwankung in den Modulzwischenkreisen angeführt werden. Ebenso sind der erhöhte Mess- und Signalverarbeitsaufwand und die zusätzlichen Halbleiterkomponenten in der Eingangsgleichrichtung als Nachteil zu sehen. Der modulare Ansatz ermöglicht aber - aus wirtschaftlicher Sicht betrachtet - den gesteigerten Bauteilaufwand durch eine reduzierte Komponentenvielfalt mit höheren Stückzahlen der einzelnen Komponenten zu kompensieren. Die Modularität des Systems ermöglicht eine einfachere Fertigung und eine schrittweise Inbetriebnahme der Module. Ebenso sind bei einem Fehler im Leistungsteil der Service und die Instandsetzung mit geringeren Kosten und in kürzerer Zeit zu bewerkstelligen.

Abschliessend, zur Beantwortung der Frage nach den Vorteilen gegenüber drei individuellen Einphaseneinheiten die zwischen zwei Phasen symmetrisch an das Dreiphasennetz angeschlossen sind, sprechen folgende Punkte für den *Delta-Rectifier*: reduzierter Eingangsstromrippel durch die Rippelstromkompensation über den systeminternen Kreisstrom (Nullstrom) und damit reduziertes EMV-Filter verglichen mit drei einzelnen Filtern; ohmsch-symmetrische Lastaufteilung bei unsymmetrischem Dreiphasennetz; reduzierte Kosten durch die Zusammenfassung zu einer Systemeinheit (ein Gehäuse, eine Hilfsspannungsversorgung, eine Steuereinheit, eine Kommunikationsschnittstelle mit einem übergeordneten Leitsystem, etc.).

4.2 Y-Rectifier

Der modulare Aufbau eines Dreiphasen-Gleichrichters mit Anschluss der Hochsetzsteller-Module in Sternschaltung an das Dreiphasennetz führt bei erster Betrachtung auf den grossen Vorteil einer Modulausgangsspannung von 400V. Damit können für alle Leistungshalbleiter in der Gleichrichterstufe und auf der Primärseite der nachgeschalteten DC/DC-Konverter auch ohne 3-Punkt-Topologie Komponenten mit 500V…600V Sperrspannungsfestigkeit eingesetzt werden. Durch die schaltungsbedingte Verkopplung der einzelnen Module über den gemeinsamen Sternpunkt erfordert die Stabilisierung des Systems eine erhöhte Komplexität der Regelung. Das System ist sinnvoll nur bei einer ohmsch-symmetrischen Lastaufteilung auf die einzelnen Module zu betrieben. Die Stabilisierung des Systemsternpunktes für alle Netzspannungsbedingungen ist mit erheblich grösserem Aufwand verbunden als die Stabilisierung des Zwischenkreismittelpunktes *M* bei direkten Dreipunkt-Dreiphasensystemen. Die Analogie zu diesen Systemen ist nachfolgend für die realisierte 2-Schalter 2-Punkt Topologie des *Y-Rectifier* (s. Bild 3.1 auf S.169) zusammengefasst. Die Ausführung mit 3-Punkt PFC-Modulen wird wegen der gesteigerten Komplexität (s. Kapitel 3.3.1) an dieser Stelle nicht mehr näher diskutiert.

4.2.1 Beanspruchung der Leistungshalbleiter und deren Verluste

Die analytisch berechneten Effektiv- und Mittelwerte der Bauteilströme des 2-Schalter 2-Punkt *Y-Rectifier* (siehe Tabelle 3.3 im Anhang B.2.1) stimmen mit denen für den *Conventional Rectifier* überein, wenn die MOSFET Body-Dioden in Analogie zur den Netzdioden gesehen werden. Die Leitverluste der Eingangsgleichrichtung des *Conventional Rectifier* fallen beim *Y-Rectifier* zusätzlich an den MOSFETs ab, sind jedoch aufgrund der Parallelschaltung der MOSFET-Body-Diode und des in Rückwärtsrichtung leitenden MOSFETs verglichen mit den berechneten Leitverlusten an den Eingangsdioden D_N um etwa 3W pro Phase reduziert.

4.2.2 Netzstromrippel und Verluste in den passiven Komponenten

Die Raumzeiger der Umrichterspannungen des *Y-Rectifier* stimmen mit denen der direkten Dreiphasensysteme überein. Werden dieselben Eingangsinduktivitäten eingesetzt, resultiert für symmetrische Netzspannungen und eine ohmsch-symmetrische Lastaufteilung derselbe Netzstromrippel (siehe Bild 4.7(d)), d.h. das Spektrum der Oberschwingungen stimmt mit dem für die direkten Dreiphasensysteme überein. Die Minimierung des Stromrippels ist daher

ebenso über eine zusätzliche 3. Harmonische in der Modulationsfunktion zu erreichen (Reduktion gegenüber reiner Sinusmodulation um ca. 15%). Die Verluste in den Induktivitäten sind ident, in den Zwischenkreiskondensatoren treten - so wie für den *Delta-Rectifier* - aufgrund der zweifach netzfrequenten Leistungspulsation erhöhte Verluste auf.

4.2.3 Wirkungsgrad

Der Wirkungsgrad entspricht annähernd dem des *Conventional Rectifier* (s. **Bild 4.10**); die zusätzlichen Verluste in den Zwischenkreiskondensatoren werden weitgehend durch die geringeren Leitverluste der Eingangsgleichrichtung kompensiert.

4.2.4 Besonderheiten des *Y-Rectifier*

Der *Y-Rectifier* und die direkten Dreipunkt-Dreiphasensysteme werden durch dasselbe Ersatzschaltbild (s. **Bild 3.3** auf S. 170) beschrieben, und zeigen damit dasselbe Netzverhalten. Über den gemeinsamen Netzsternpunkt N_S (analog zum Mittelpunkt M der Dreipunkt-Dreiphasensyteme) sind die einzelnen Leistungsmodule verkoppelt. Die Summenbedingung für die Phasenströme $\sum i_{N,i} = 0$ führt dazu, dass die Ströme nicht unabhängig voneinander geregelt werden können. Aufgrund des offenen Systemsternpunktes N_S kann die Nullspannungskomponente u_0 keinen Beitrag zur Strombildung liefern, womit die Anzahl an möglichen Spannungsniveaus der Umrichtereingangsspannung auf 9 erhöht wird. Somit resultiert ein Phasenstromrippel wie für den *Vienna-Rectifier*. Eine individuelle Regelung der einzelnen Module kann aufgrund der Verkopplung nicht implementiert werden. In Analogie zu Stabilisierung des Mittelpunktspotenzials bei direkten Systemen ist eine übergeordnete Regelung unerlässlich, um den im Potenzial schaltfrequent schwankenden Systemsternpunkt im Mittel auf dem Potenzial des Netzsternpunktes zu halten. Voraussetzung dafür ist die Nachbildung eines symmetrischen ohmschen Verbrauchers. Das bedeutet, dass z. B. für symmetrische Netzverhältnisse eine symmetrische Leistungsaufteilung auf die einzelnen Module der Gleichrichtereingangstufe erfolgen muss. Die Konsequenz daraus ist, dass die Regelung des *Y-Rectifier* nur sinnvoll im Zusammenhang mit der nachgeschalteten DC/DC-Ausgangsstufe erfolgen kann. Die Ausgangsseiten der DC/DC-Stufen müssen zu einem gemeinsamen „Leistungsausgang“ verbunden werden; eine getrennte Führung der DC/DC-Ausgänge zur Speisung unterschiedlicher DC-Versorgungskreise, wie dies mit dem *Delta-Rectifier* prinzipiell möglich wäre, ist nicht realisierbar.

Der Betrieb bei Phasenausfall ist analog zu den direkten Dreiphasensystemen nur mit reduzierter Leistung von $0{,}57 \cdot P_N$ möglich. Bei Rückkehr einer ausgefallenen Phasenspannung muss vor der Reaktivierung des abgeschalteten Moduls dessen Zwischenkreisspannung auf den Nennwert hin überprüft werden. Gegebenfalls ist zu Beginn eine erneute Hochladung notwendig. Die Zuschaltung des Moduls ist mit einer Änderung der Systemverkopplung verbunden; es ist somit allgemein eine zentrale Regelung vorzusehen.

4.2.5 Grad der Modularität (Leistungsteil / Regelung)

Die Modularität des Systems ist ausschliesslich auf den Aufbau des Leistungsteils der Module beschränkt. Aus Sicht der Regelung ist das System wie eine dreiphasige Gesamteinheit zu behandeln. Es ist jedoch klar festzuhalten, dass die Stabilisierung des Systemsternpunktes erheblich komplexer ist als die Stabilisierung des Mittelpunktes eines direkten Dreipunkt-Dreiphasensystems. Die starke Abhängigkeit der vorliegenden Modulverkopplung von der Lastsituation und den Netzverhältnissen (Asymmetrie, Phasenausfall) setzt eine volldigitale DSP-Regelung des Gesamtsystems voraus. Die Stabilisierung des Systems ist vorteilhaft in der DC/DC-Ausgangsstufe über die Balancierung der Ausgangsleistung zu erreichen (s. Kapitel 3.6.1).

4.2.6 Realisierungsaufwand

Der minimale Aufwand an Leistungshalbleitern pro Modul / Phase (2 Freilaufdioden, 2 MOSFETs) kann mit keiner anderen in diesem Vergleich angeführten Topologie erreicht werden. Nachteilig ist jedoch, dass bei Anlegen der Netzspannung eine selbsttätige Vorladung der Zwischenkreiskondensatoren abläuft. Sollte dies verhindern werden, müssen zusätzlich drei steuerbare Komponenten in den Eingangsphasen in Serie zu den Eingangsinduktivitäten aufgenommen werden. Aufgrund der schaltfrequenten Belastung der Dioden und der Forderung nach einer geringen Rückwärtserholzeit können diese nicht durch Thyristoren ersetzt werden. Im Labormuster ist eine automatische Vorladung mit begrenztem Eingangsstrom durch PTC-Widerstände realisiert, die im Anschluss an die Vorladung mittels Relaiskontakte überbrückt werden. An die drei Zwischenkreise müssen potenzialgetrennte DC/DC-Konverter mit gemeinsamer Ausgangsseite angeschlossen werden. Von Vorteil ist dabei, dass für das Zwischenkreisspannungsniveau von 400V eine Vielzahl optimierter Konverterkonzepte zur Verfügung steht. Es bietet sich an, dass PFC-Eingangsmodul und das DC/DC-Modul mit einer gemeinsamen Leistungsplatine zu realisieren.

Ein grosser Nachteil eines *Y-Rectifier* gegenüber dem *Delta-Rectifier* ist, dass auch auf der Verbindungsplatine zwischen den einzelnen Leistungsmodulen der schaltfrequente Leistungspfad des Systemsternpunktes geführt wird. Aus diesem Grund ist besonderes Augenmerk auf ein EMV-gerechtes Design zu legen, und der Einsatz einer 4-Lagen Verbindungsplatine zu empfehlen.

Der modulare Aufbau führt wiederum auf einen leicht erhöhten Messaufwand aufgrund der Erfassung von 3 Zwischenkreisspannungen und 3 DC-Ausgangsströmen. Für die Stromregelung der Gleichrichterstufe ist die Messung von 2 Phasenströmen ausreichend. Insgesamt sind 12 Messgrössen für die Gesamttopologie zu erfassen (s. Bild 3.17 auf S. 194).

4.2.7 Abschlussbewertung

Der *Y-Rectifier* – eine Zusammenschaltung von drei identen Einphasen-Hochsetzsteller-Leistungsmodulen in Sternschaltung am Dreiphasennetz mit nachgeschalteten DC/DC-Konvertern – kann nur hinsichtlich des mechanischen Aufbaus als modulares System bewertet werden.

Der vereinfachte modulare Aufbau des Systems und der Wunsch nach einer Gleichverteilung der Leistung auf Einheiten geringer Bauleistung werden mit einem hohen regelungstechnischen Aufwand erkauft. Die Systemregelung zeigt eine höhere Komplexität als für direkte Dreiphasensysteme und erfordert den Einsatz eines Systemregelkonzepts mit Einbeziehung der nachgeschalteten DC/DC-Stufen. Hinsichtlich Strombelastung, Wirkungsgrad und Netzstromrippel verhält sich das System wie ein *Conventional Rectifier*. Auch für direkte Dreipunkt-Dreiphaseneinheiten kann durch die Serienschaltung von zwei DC/DC-Konvertern eine Halbierung der Bauleistung und der erforderlichen Sperrspannungsfestigkeit der Leistungshalbleiter erreicht werden, sodass die drei 400V-Modulausgänge des *Y-Rectifier* keinen wesentlichen Vorteil darstellen. In Hinblick auf die Unterdrückung von Gleich- und Gegentaktstörungen ist ein grösserer EMV-Filteraufwand als für den *Delta-Rectifier* zu erwarten. Es fehlen für den *Y-Rectifier* entscheidende Vorteile des *Delta-Rectifier*, z. B. die 100% Ausgangsnennleistung bei Phasenausfall, die reduzierte Strombelastung oder das robuste Systemverhalten. Das Anwendungspotenzial des *Y-Rectifier* ist somit gegenüber direkten Dreipunkt-Dreiphasensystemen als gering einzustufen.

5 Zusammenfassung

Im Rahmen der vorliegenden Doktorarbeit wurde für die beiden möglichen Konzepte der Zusammenschaltung von Einphasen-Pulsgleichrichtermodulen zu einem Dreiphasen-Pulsgleichrichtersystem die Theorie, die Systemanalyse, die regelungstechnische Modellbildung, die Auslegung kaskadierter Regelungskonzepte und der Aufbau von je einer kompakten Laboreinheit gezeigt. Die theoretischen Überlegungen und Simulationsergebnisse sind durch Messungen an den Labormustern bestätigt. Es wurden die Vor- und Nachteile der Konzepte im Vergleich zu direkten Dreiphasensystemen dargestellt (Kapitel 4), woraus der *Delta-Rectifier* als ein System mit industriellem Anwendungspotenzial hervorgeht. Entscheidend dafür sind:

+ ein robuster, störungsarmer Aufbau (einfach möglich im Vergleich zum *Y-Rectifier*);
+ eine geringe Strombelastung der Halbleiterkomponenten;
+ eine aufgrund der Dreieckschaltung der Module vorliegende Nichtverkopplung der Module bei Betrieb an drei aktiven Phasen im Vergleich zu allen anderen hier behandelten Dreiphasensystemen;
+ das Auftreten des geringsten Eingangsstromrippels im Vergleich zu den anderen Systemen bei Einsatz gleich grosser Magnetkerne für die Eingangsinduktivitäten;
+ die Verfügbarkeit von 100% der Nennausgangsleistung bei Phasenausfall, wenn die Module eingangsseitig mit einer B6-Thyristorbrücke anstelle einer B2-Diodenbrücke ausgeführt sind;
+ die Verfügbarkeit von 66,7% der Nennausgangsleistung bei Phasenausfall, wenn die Diodeneingangsgleichrichtung eingesetzt und die Regelung zur Stabilisierung der auftretenden Modulverkopplung entsprechend ausgelegt ist.
- Nachteilig sind die erhöhte Anzahl an Leistungshalbleitern und Sensoren sowie der gesteigerte Aufwand an Messwertverarbeitung.

Im Zusammenhang mit der vorliegenden Doktorarbeit sind die nachfolgenden Konferenzbeiträge publiziert und eine Patentschrift angemeldet worden.

Patentschrift

KOLAR, J.W. und **GREUL, R.:** *Vorrichtung zur Regelung der Zwischenkreisspannungen einer Sternschaltung einphasiger Stromversorgungsmodule mit Pulsgleichrichtereingangsstufe und offenem Sternpunkt,* Patent, 21. Juni 2004.

Publikationen

MINIBÖCK, J., GREUL, R. UND **KOLAR, J. W.:** *Evaluation of a Delta-Connection of Three Single-Phase Unity Power Factor Rectifier Modules (Delta-Rectifier) in Comparison to a Direct Three-Phase Rectifier Realization. Part II - Components Stress Evaluation, Efficiency, Control.* Proceedings of the 23rd IEEE International Telecommunications Energy Conference, Edinburgh, United Kingdom, 14.-18. Oktober, S. 446-454, 2001.

MINIBÖCK, J., GREUL, R. UND **KOLAR, J. W.:** *A Novel Control Concept for Operating a Two-Stage Delta-Rectifier-Based Telecommunications Power Supply Module under Heavily Unbalanced Mains Voltage Conditions.* Proceedings of the 17th Annual IEEE Applied Power Electronics Conference and Exposition, Dallas (Texas), USA, 10.-14. März, Vol. 2, S. 716-721, 2002.

GREUL, R. UND **KOLAR, J. W.:** *Experimental Analysis of a 10kW Wide Input Voltage Range Modular Three-Phase Unity Power Factor PWM Delta-Rectifier.* Proceedings of the 9th European Power Quality Conference (PCIM), Nürnberg, Deutschland, 20.-22. Mai, 2003.

GREUL, R., DROFENIK, U. UND **KOLAR, J. W.:** *Analysis and Comparative Evaluation of a Three-Phase Unity Power Factor Y-Rectifier.* Proceedings of the 25th IEEE International Telecommunications Energy Conference, Yokohama, Japan, 19.-23. Oktober, S. 421 – 428, 2003.

GREUL, R., DROFENIK, U. UND **KOLAR, J. W.:** *A Novel Concept for Balancing of the Phase Modules of a Three-Phase Unity Power Factor Y-Rectifier.* Proceedings of the 35th IEEE Power Electronics Specialists Conference, Aachen, Deutschland, 20.-25. Juni, ISBN: 07803-8400-8, 2004.

Ausblick

Im Anschluss an die hier präsentierten Forschungsergebnisse ergeben sich die nachfolgenden Anknüpfungspunkte für zukünftige Untersuchungen:

- Experimentelle Analyse des Phasenausfalls mit / ohne Umschaltung der Eingangsgleichrichtung für den *Delta-Rectifier*;
- Aufbau und regelungstechnische Anbindung einer DC/DC-Ausgangsstufe an den *Delta-Rectifier*;
- Aktivieren der PLD-Funktionalität für ein Jittern der Schaltfrequenz und experimentelle Untersuchung inwieweit damit eine Reduktion des EMI-Störpegels möglich ist;
- Testen und Vergleichen eines magnetoresistiven Stromsensors anstelle des eingesetzten kompensierenden Hallstromsensors;
- Auslegung und Aufbau eines EMV-Eingangsfilters für beide Topologien;
- Messtechnische Erfassung der Gleich- und Gegentakt-Störaussendung;
- Redesign der *Y-Rectifier*-Verbindungsplatine basierend auf ein 4-Lagen *PCB* und getrennte Führung des schaltfrequenten Sternpunktleiters;
- Optimieren der Regelungsauslegung für den *Y-Rectifier* (Aktivieren / Deaktivieren der Filterung für die Ausgangslastvorsteuerung bei Lastsprüngen, Verbesserung der Vorsteuerung der Laständerung über eine integrale Auswertung, Vorsteuerung des Tastverhältnisses der DC/DC-Ausgangsstufen).

Mit dem Einsatz von Siliziumkarbid Schottky Dioden in Kombination mit CoolMOS-Leistungstransistoren könnten die Einschaltverluste praktisch auf Null reduziert werden. Der Grund dafür ist, dass beim Abschalten der Schottky Diode kein Rückwärtserholstrom auftritt [Lor03]. Somit kann über eine Erhöhung der Schaltfrequenz ($f_P > 50\text{kHz}$) und einer entsprechenden Reduzierung der Eingangsinduktivitäten und des Eingangsfilters eine Steigerung der Leistungsdichte bei gleichbleibenden Schaltverlusten erreicht werden. Alternativ kann die drastische Reduzierung der Schaltverluste ($k_{1,ON} \rightarrow 0$) bei gleich bleibender Schaltfrequenz zu einer Verkleinerung des Kühlkörpers genützt werden [Dro05b]. Ein auf Leistungsdichte optimiertes Design könnte über eine Optimierungsrechnung ermittelt werden, wobei die Summe der Baugrösse des Eingangsfilters, der Eingangsinduktivitäten und des Kühlkörpers in Abhängigkeit der Schaltfrequenz zu minimieren ist. Nach oben hin ist die Schaltfrequenz einerseits durch die Signalverarbeitung, die Schaltverzugszeiten, die Messsensorik und die parasitären Schaltkreiselemente, die mit steigender Frequenz zunehmend auf das Betriebsverhalten der Schaltung Einfluss nehmen, beschränkt. Ebenso führt ein geforderter Systemwirkungsgrad auf eine obere Grenze für die Schaltfrequenz.

Literaturverzeichnis

[Bac01] **BACKMAN, N.,** und **ROJAS, R.:** *Modern Circuit Topology Enables Compact Power Factor Corrected Three-Phase Rectifier Module.* Proceedings of the 24th IEEE International Telecommunications Energy Conference, INTELEC'02, Montreal, Kanada, 29. Sept. - 3. Okt., Vol. 7, S. 108-114, 2001.

[Ben99] **BEN-YAAKOV, S.** und **ZELTSER, I.**: *The Dynamics of a PWM Boost Converter with Resistive Input.* IEEE Transactions on Industrial Electronics, Vol. 46, Nr. 3, Juni 1999.

[Bla97] **BLASKO, V.:** *Analysis of a Hybrid PWM Based on Modified Space Vector and Triangle Comparison Methods*. IEEE Transactions on Industry Applications, Vol. 33, No. 3, S. 746-764, 1997.

[Bos92] **BOSE, B. K.:** *Recent Advances in Power Electronics*. IEEE Transactions on Power Electronics, Vol. 7, Nr. 1, Jan. 1992.

[Car01] **CARLTON, D.** und **DUNFORD, W. G.:** *Multi-Level, Uni-Directional AC-DC Converters, a Cost Effective Alternative to Bi-Directional Converters.* Proceedings of the 32nd IEEE Power Electronics Specialists Conference, Vancouver, Kanada, 17.-21. Juni, Vol. 4, S.1911-1916, 2001.

[Cha93] **CHAPMAN, D., JAMES, D.** und **TUCK, C. J.:** *A High Density 48V 200A Rectifier With Power Factor Correction – an Engineering Overview.* Proceedings of the 15th IEEE Telecommunications Energy Conference, INTELEC'93, Paris, Frankreich, 27.-30. Sept., Vol. 1, S 118-125, 1993.

[DeG04] **DE GUSSEME, K., VAN DE SYPE, D. M., VAN DEN BOSSCHE, A. P.** und **MELKEBEEK, J. A.:** *Digital Control of Boost PFC Converters Operating in Both Continuous and Discontinuous Conduction Mode.* Proceedings of the 35th IEEE Power Electronics Specialists Conference, Aachen, Deutschland, 20.-25. Juni 2004.

[DeG05] **DE GUSSEME, K., VAN DE SYPE, D. M., VAN DEN BOSSCHE, A. P.** und **MELKEBEEK, J. A.:** *Digitally Controlled Boost Power-Factor-Correction Converters Operating in Both Continuous and Discontinuous Conduction Mode.* IEEE Transactions on Industrial Electronics, Vol. 52, Nr. 1, S. 88-97, 2005.

[DeS95] **DE SOUZA, A. F.** und **BARBI, I.:** *A New ZVS-PWM Unity Power Factor Rectifier with Reduced Conduction Losses.* IEEE Transactions on Power Electronics, Vol. 10, Nr. 6, S. 746-752, 1995.

[DeS99] **DE SOUZA, A. F.** und **BARBI, I.:** *A High Power Factor Rectifier With Reduced Conduction and Commutation Losses.* Proceedings of the 21st IEEE Telecommunications Energy Conference, INTELEC'99, Kopenhagen, Dänemark, 6.-9. Juni, Vol. 1, S 8.1ff, 1999.

[Dro03] **DROFENIK, U.** und **KOLAR, J. W.**: *Thermal Analysis of a Multi-Chip Si/SiC-Power Module for Realization of a Bridge Leg of a 10kW Vienna Rectifier.* Proceedings of the 25th IEEE International Telecommunications Energy Conference, Yokohama, Japan, 19.–23. Okt., S. 826 – 833, 2003.

[Dro05a] **DROFENIK, U.** und **KOLAR, J. W.:** *A General Scheme for Calculating Switching- and Conduction-Losses of Power Semiconductors in Numerical Circuit Simulations of Power Electronic Systems.* Proceedings of the International Power Electronics Conference (IPEC'05), Niigata, Japan, 4.-8. April 2005.

[Dro05b] **DROFENIK, U., LAIMER, G.** und **KOLAR, J. W.:** *Theoretical Converter Power Density Limits for Forced Convection Cooling.* Proceedings of the International PCIM Europe 2005 Conference, Nürnberg, Deutschland, 7.-9. Juni, S. 608-619, 2005.

[Enj93] **ENJETI, P., SHIREEN, W., PACKEBUSH, P.** und **PITEL, I.:** *Analysis and Design of a New Active Power Filter to Cancel Neutral Current Harmonics in Three Phase Four Wire Electric Distribution Systems.* Conference Record of the IEEE Industry Applications Society Annual Meeting, Toronto, Kanada, 2.-8. Okt., Vol.2, S. 939-946, 1993.

[Eri01] **ERICKSON, R. W.** und **MAKSIMOVIC, D.:** *Fundamentals of Power Electronics.* 2nd Edition, Kluwer Academic Publishers, 2001.

[Ern04] **ERNÖ, T.** und **FRISCH, M.:** *Second Generation of PFC Solutions.* Power Electronics Europe, Vol. 7, S. 33-36, 2004.

[Ert86] **ERTL, H., KOLAR, J. W.** und **ZACH, F. C.:** *Analysis of Different Current Control Concepts for Forced Commutated Rectifier (FCR).* Proceedings of the 11th International Conference on Power Conversion, München, Deutschland, 17.-19. Juni, S. 195-217, 1986.

[Fri04] **FRIEDLI, T., KELLER, V.** und **MÜLLER, P.:** *Aufbau, Optimierung und gesteuerte Inbetriebnahme einzelner Module einer dreiphasigen Telekomstromversorgung (Y-Rectifier).* Semesterarbeit an der Professur für Leistungselektronik und Messtechnik, ETH Zürich, LEM0401, Juli 2004.

[Fri05] **FRIEDLI, T.** und **STALDER, R.:** *Redesign und Inbetriebnahme einer dreiphasigen modular aufgebauten PFC-Eingangsstufe – Delta-Rectifier.* Diplomarbeit an der Professur für Leistungselektronik und Messtechnik, ETH Zürich, LEM0418, April 2005.

[Ful93] **FULD, B., KERN, S.,** und **RIDLEY, R.:** *A Combined Buck and Boost Power-Factor-Controller for Three-Phase Input.* Proceedings of the 50th European Conference on Power Electronics and Applications, Brighton, England, 13.-16. Sept., Vol. 7, S. 144-148, 1993.

[Gie04] **GIEZENDANNER, F.***: Entwicklung und praktische Realisierung einer PWM-Ansteuerplatine für eine modulare Topologie (Y-Rectifier) einer Telekom-*

Stromversorgung. Semesterarbeit an der Professur für Leistungselektronik und Messtechnik, ETH Zürich, LEM0309, März 2004.

[Gil03] **GILOMEN, M., NOLD, A.** und **TRÜLLINGER, A.:** *Entwicklung und praktische Realisierung eines High-Speed DSP-Moduls für die digitale Regelung eines Dreiphasen-Pulsgleichrichtersystems hoher Taktfrequenz.* Diplomarbeit an der Professur für Leistungselektronik und Messtechnik, ETH Zürich, 2003.

[Gre03a] **GREUL, R.** und **KOLAR, J. W.:** *Experimental Analysis of a 10kW Wide Input Voltage Range Modular Three-Phase Unity Power Factor PWM Delta-Rectifier.* Proceedings of the 9th European Power Quality Conference (PCIM), Nürnberg, Deutschland, 20.-22. Mai 2003.

[Gre03b] **GREUL, R., DROFENIK, U.** und **KOLAR, J. W.:** *Analysis and Comparative Evaluation of a Three-Phase Unity Power Factor Y-Rectifier.* Proceedings of the 25th IEEE International Telecommunications Energy Conference, Yokohama, Japan, 19.-23. Okt., S. 421 – 428, 2003.

[Gre04] **GREUL, R., DROFENIK, U.** und **KOLAR, J. W.:** *A Novel Concept for Balancing of the Phase Modules of a Three-Phase Unity Power Factor Y-Rectifier.* Proceedings of the 35th IEEE Power Electronics Specialists Conference, Aachen, Deutschland, 20.-25. Juni 2004.

[Gul99] **GULES, R., MARTINS, A. S.** und **BARBI, I.:** *A Switched-Mode Three-Phase Three-Level Telecommunications Rectifier.* Proceedings of the 21th IEEE International Telecommunications Energy Conference, INTELEC'99, Kopenhagen, Dänemark, 6.–9. Juni, S. 573-579, 1999.

[Hel99] **HELDWEIN, M. L., FERRARI DE SOUZA, A.** und **BARBI, I.:** *A Simple Control Strategy Applied to Three-Phase Rectifier Units for Telecommunication Applications Using Single-Phase Rectifier Modules.* Proceedings of the 30th Annual IEEE Power Electronics Specialists Conference, Charleston (South Carolina), USA, 27. Juni – 1. Juli, Vol. 2, S. 795-800, 1999.

[Höp03] **HÖPLI, R. UND MEENS, A.**: *Entwicklung eines Debugging- und InSystem-Programmierungstools für eingebettete Systeme.* Semesterarbeit an der Professur für Leistungselektronik und Messtechnik, ETH Zürich, 2003.

[Ide97] **IDE, P., FROEHLEKE, N.** und **GROTSTOLLEN, H.:** *Comparison of Selected 3-Phase Switched Mode Rectifiers.* Proceedings of the 19th IEEE Telecommunications Energy Conference, INTELEC'97, Melbourne, Australien, 19.-23. Okt., S. 630-636, 1997.

[Kar99] **KARLSSON, M., THOREN, C.** und **WOLPERT, T.:** *A Novel Approach to the Design of Three-Phase AC/DC Power Converters With Unity Power Factor.* Proceedings of the 21st IEEE Telecommunications Energy Conference, INTELEC'99, Kopenhagen, Dänemark, 6.-9. Juni, Vol. 1, S 5.1ff, 1999.

[Kan04] **KANAAN, H.** und **AL-HADDAD, K.:** *Small-Signal Averaged Model and Simple Control of a High-Power-Factor Three-Phase/Switch/Level Fixed-Frequency PWM Rectifier for High-Power Telecommunications.* Proceedings of the 26th International Telecommunications Energy Conference, INTELEC'04, 19.-23. Sept., S. 449-456, 2004.

[Key93] **KEY, T. S.** und **LAI, J. S.:** *Comparison of Standards and Power Supply Design Options for Limiting Harmonic Distortion in Power Systems.* IEEE Transactions on Industry Applications, Vol. 29, Nr. 4, S. 688-695, Juli /August 1993.

[Kol94a] **KOLAR, J.W., ERTL, H.** und **ZACH, F. C.:** *A Novel Three-Phase Three-Switch Three-Level PWM Rectifier.* Proceedings of the 28th International Power Conversion Conference, Nürnberg, Deutschland, 28.-30. Juni, S. 125-138, 1994.

[Kol94b] **KOLAR, J.W.** und **ZACH, F. C.:** *A Novel Three-Phase Utility Interface Minimizing Line Current Harmonics of High Power Telecommunications Rectifier Modules.* Proceedings of the 16th IEEE International Telecommunications Energy Conference, Vancouver, Kanada, 30. Okt. – 3. Nov., S. 367-374, 1994.

[Kol96a] **KOLAR, J.W., ERTL, H.** und **ZACH, F. C.:** *Design and Experimental Investigation of a Three-Phase High Power Density High Efficiency Unity Power Factor PWM (VIENNA) Rectifier Employing a Novel Power Semiconductor Module.* Proceedings of the 11th IEEE Applied Power Electronics Conference, San Jose, USA, 3.-7. März, Vol. 2, S. 514-523, 1996.

[Kol96b] **KOLAR, J.W., DROFENIK U.** und **ZACH, F. C.:** *On the Interdependence of AC-Side and DC-Side Optimum Control of Three-Phase Neutral-Point-Clamped (Three-Level) PWM Rectifier Systems.* 7th International Power Electronics & Motion Control Conference, Budapest, Ungarn, 2.-4. Sept., Vol. 1, S. 40-49, 1996.

[Kol97] **KOLAR, J.W.** und **ZACH, F.C.:** *A Novel Three-Phase Utility Interface Minimizing Line Current Harmonics of High Power Telecommunications Rectifier Modules.* IEEE Transactions on Industrial Electronics, Vol. 44, Nr. 4, August 1997.

[Kol98] **KOLAR, J. W.:** *Vienna Rectifier – Entwicklung und Analyse neuer netzrückwirkungsarmer Dreiphasen-Pulsgleichrichtersysteme.* Dissertation, ausgeführt an der TU Wien, Fakultät der Elektrotechnik, Wien, 1998.

[Kol99] **KOLAR, J. W., ERTL, H.** und **ZACH, F.C.:** *Status of the Techniques of Three-Phase Rectifier Systems with Low Effects on the Mains.* Proceedings of the 21st IEEE International Telecommunications Energy Conference, INTELEC'99, Kopenhagen, Dänemark, 6.–9. Juni, Nr. 14-1, S. 16-32, 1999.

[Kol01] **KOLAR, J. W., STÖGERER, F.** und **NISHIDA, Y.:** *Evaluation of a Delta-Connection of Three Single-Phase Unity Power Factor Rectifier Systems (Delta-Rectifier) in Comparison to a Direct Three-Phase Rectifier Realization. Part I – Modulation Schemes and Input Current Ripple.* Proceedings of the 7th European Power Quality Conference, Nürnberg, Deutschland, 19.-21. Juni, S. 101 – 108, 2001.

[Kol04] **KOLAR, J. W.:** *Leistungselektronik,* Vorlesungsskript zum Kernfach an der ETH Zürich, Ausgabe Wintersemester 2004/2005.

[Kov59] **KOVÁCS, K. P.** und **RÁCZ, I,:** *Transiente Vorgänge in Wechselstrommaschinen*. Bd. 1, Budapest, 1959.

[Lai03] **LAIMER, G.** und **KOLAR, J. W.:** *'Zero-Ripple' EMI Input Filter Concepts For Application in a 1-U 500kHz Si/SiC Three-Phase PWM Rectifier.* Proceedings of the 25th IEEE International Telecommunications Energy Conference, Yokohama, Japan, 19.-23. Okt., S. 750-756, 2003.

[Lor03] **LORENZ, L.:** *New Power Semiconductor Components for AC/DC Power Supply Applications***.** Proceedings of the 25th IEEE International Telecommunications Energy Conference, Yokohama, Japan, 19.-23. Okt., S. 821-825, 2003.

[Mam91] **MAMMANO, B.** und **JORDAN, M.:** *Load Sharing with Paralleled Power Supplies.* Unitrode–Power Supply Design Seminar, SEM 800, 1991.

[Man04] **MANJING XIE, BING LU, WEI DONG UND LEE, F. C.:** *Novel Current-Loop Feed-Forward Compensation for Boost PFC Converter.* Proceedings of the 19th Annual IEEE Applied Power Electronics Conference and Expostion (APEC'04), Anaheim (CA), USA, 22.-26. Feb., Vol. 2, S. 750-755, 2004.

[Mao96] **MAO, H., BOROYEVICH, D., RAVINDRA, A.** und **LEE F. C**.: *Analysis and Design of High Frequency Three-Phase Boost Rectifiers.* Proceedings of the International Applied Power Electronics Conference and Exposition (APEC'96), 3.-7. März, Vol. 2, S. 538-544, 1996.

[Mar96] **MARTINEZ, R.** und **ENJETI, P. N.:** *A High-Performance Single-Phase Rectifier with Input Power Factor Correction*. IEEE Transactions on Power Electronics, Vol. 11, Nr. 2, S. 311-317, 1996.

[Min00] **MINIBÖCK, J., KOLAR, J. W.** und **ERTL, H.:** *Design and Experimental Analysis of a 10kW 800V/48V Dual Interleaved Two-Transistor DC/DC Forward Converter System Supplied by a VIENNA Rectifier I.* Proceedings of the 41st International Power Conversion Conference, Nürnberg, Deutschland, 6.-8. Juni, PC8.5, S. 11ff, 2000.

[Min01a] **MINIBÖCK, J., STÖGERER, F.** und **KOLAR, J.W.:** *A Novel Concept for Mains Voltage Proportional Input Current Shaping of a VIENNA Rectifier Eliminating Controller Multipliers. Part I – Basic Theoretical Considerations and Experimental Verification.* Proceedings of the 16th IEEE Applied Power Electronics Conference, Anaheim (California), USA, 4.–8. März, Vol. 1, S. 582 – 586, 2001.

[Min01b] **MINIBÖCK, J., GREUL, R.** und **KOLAR, J. W.:** *Evaluation of a Delta-Connection of Three Single-Phase Unity Power Factor Rectifier Modules (Delta-Rectifier) in Comparison to a Direct Three-Phase Rectifier Realization. Part II - Components Stress Evaluation, Efficiency, Control.* Proceedings of the 23rd IEEE International

Telecommunications Energy Conference, Edinburgh, United Kingdom, 14.-18. Okt., S. 446-454, 2001.

[Min01c] **MINIBÖCK, J.** und **KOLAR, J. W.:** *A Novel 10kW 2-U Three-Phase Unity Power Factor Rectifier Module***,** Proceedings of the 11th International Symposium on Power Electronics, Novi Sad, Serbien-Montenegro, 31. Okt.-2. Nov. 2001.

[Min02] **MINIBÖCK, J., GREUL, R.** und **KOLAR, J. W.:** *A Novel Control Concept for Operating a Two-Stage Delta-Rectifier-Based Telecommunications Power Supply Module under Heavily Unbalanced Mains Voltage Conditions.* Proceedings of the 17th Annual IEEE Applied Power Electronics Conference and Exposition, Dallas (Texas), USA, 10.-14. März, Vol. 2, S. 716-721, 2002.

[Min05] **MINIBÖCK, J.** und **KOLAR, J.W.:** *A Novel Concept for Mains Voltage Proportional Input Current Shaping of a VIENNA Rectifier Eliminating Controller Multipliers*. IEEE Transactions on Industrial Electronics, Vol. 52, Nr. 1, S. 162-170, Feb. 2005.

[Mit80] **MITCHELL, D. M.**: *Pulsewidth Modulator Phase Shift*. IEEE Transaction on Aerospace and Electronic Systems, AES 16, Nr.3, S. 272-278, 1980.

[Mit83] **MITCHELL, D. M.**: *AC-DC Converter having an improved power factor*. U. S. Patent 4.412.277, 25. Okt. 1983.

[Raj99] **RAJAGOPALAN, J., LEE, F. C.** und **PAOLO, N.:** *A General Technique for Derivation of Average Current Mode Control Laws for Single-Phase Power-Factor-Correction Circuits Without Input Voltage Sensing.* IEEE Transactions on Power Electronics, Vol. 14, Nr. 4, Juli 1999.

[Pra91] **PRASAD, A. R., ZIOGAS, P. D.** und **MANIAS, S.:** *An Active Power Factor Correction Technique for Three-Phase Diode Rectifiers*. IEEE Transactions on Power Electronics, Vol. 6, Nr. 1, S. 83-92, Jan. 1991.

[Pre96] **PRESTIFILIPPO, P., SCIBILIA, R., BAGGIONE, G.** und **CARAMAZZA, G.:** *A Switched-Mode Three-Phase 200A/48V Rectifier With Input Unity Power Factor.* Proceedings of the 18th International Telecommunications Energy Conference, INTELEC'96, Bosten, USA, 6.–10. Okt., S. 543-547, 1996.

[Red91] **REDL, R.:** *Power-Factor Correction: Why and How?* Power-Supply Design Course, Nürnberg, Deutschland, 26.-28. Nov. 1991.

[Red94] **REDL, R.:** *Low-Cost Line Harmonics Reduction Techniques*, Seminar 6 of the International Power Electronics Conference (PCIM'94), Nürnberg, Deutschland, 27. Juni 1994.

[Red95] **REDL, R.:** *Telecom Power Supplies And Power Quality.* Proceedings of the 17th IEEE International Telecommunications Energy Conference (INTELEC'95), Vol. 1, S. 13-21, 1995.

[Red97] **REDL, R., TENTI, P., UND VAN WYK, J. D.:** *Combatting the Pollution of the Power Distribution System by Electronic Equipment.* Proceedings of the 12th IEEE Applied

Power Electronics Conference and Exposition (APEC'97), Atlanta, USA, 23.-27. Feb., Vol. 1, S. 42-48, 1997.

[Red01] **REDL, R.:** *Electromagnetic Environmental Impact of Power Electronics Equipment.* Proceedings of the IEEE, Vol. 89, Nr. 6, S. 926-938, Juni 2001.

[Rid93] **RIDLEY, R., KERN, S.** und **FULD, B.:** *Analysis and Design of a Wide Input Range Power Factor Correction Circuit for Three-Phase Applications.* Proceedings of the 8th Annual IEEE Applied Power Electronics Conference and Exposition, San Diego (CA), USA, 7.-11. März, S. 299-305, 1993.

[Sal95] **SALMON, J.:** *Circuit Topologies for PWM Boost Rectifiers Operated From 1-Phase and 3-Phase AC Supplies and Using Either Single or Split DC Rail Voltage Output.* Proceedings of the 10th IEEE Applied Power Electronics Conference and Exposition (APEC'95), 5.-9. März, Vol. 1, S. 473-479, 1995.

[Sin04] **SINGH, B., SINGH, B. N., CHANDRA, A., AL-HADDAD, K., PANDEY, A.** und **KOTHARI, D. P.:** *A Review of Three-Phase Improved Power Quality AC-DC Converters.* IEEE Transactions on Industrial Electronics, Vol. 51, Nr. 3, Juni 2004.

[Sch96] **SCHWAB, ADOLF J.:** *ELEKTROMAGNETISCHE VERTRÄGLICHKEIT.* Springer-Verlag, Berlin, 4. Auflage, 1996.

[Spi97] **SPIAZZI, G.** und **LEE, F. C.:** *Implementation of Single-Phase Boost Power-Factor-Correction Circuits in Three-Phase Applications.* IEEE Transactions on Industrial Electronics, Vol. 44, Nr. 3, S. 365-370, 1997.

[Stö01] **STÖGERER, F., MINIBÖCK, J.** und **KOLAR, J.W.:** *A Novel Concept for Mains Voltage Proportional Input Current Shaping of a VIENNA Rectifier Eliminating Controller Multipliers. Part II – Operation for Heavily Unbalanced Mains Phase Voltages and in Wide Input Voltage Range.* Proceedings of the 16th IEEE Applied Power Electronics Conference, Anaheim (California), USA, 4.–8. März, Vol. 1, S. 587-591, 2001.

[Sun99] **SUN, J.** und **BASS, R. M.:** *Modeling and Practical Design Issues for Average Current Control*. Proceedings of the 14th IEEE Applied Power Electronics Conference, 14.-18. März, Vol. 2, S. 980-986, 1999.

[Sun00] **SUN, C., LEHMANN, B.** und **SUN, J.:** *Ripple Effects on Small Signal Models in Average Current Mode Control.* Conference Proceedings of the 15th IEEE Applied Power Electronics Conference, 6.-10. Feb., Vol. 2, S. 818-823, 2000.

[Tol92] **TOLLIK, D.** und **PIETKIEWICZ, A.**: *Comparative Analysis of 1-Phase Active Power Factor Correction Topologies*. Proceedings of the 13th IEEE International Telecommunications Energy Conference, Washington DC, USA, 4.-8. Okt., S. 517-523, 1992.

[VdS04] **VAN DE SYPE, D. M., DE GUSSEME, K., VAN DEN BOSSCHE, A. P.** und **MELKEBEEK, J. A.:** *A Sampling Algorithm for Digitally Controlled Boost PFC Converters.* IEEE

Transactions on Power Electronics, Vol. 19, Nr. 3, S. 649-657, 2004.

[VdS05] **VAN DE SYPE, D. M., DE GUSSEME, K., VAN DEN BOSSCHE, A. P.** und **MELKEBEEK, J. A.:** *Duty-Ratio Feedforward for Digitally Controlled Boost PFC Converters.* IEEE Transactions on Industrial Electronics, Vol. 52, Nr. 1, S. 108-115, 2005.

[Vla96] **VLATKOVIC, V., BOROJEVIC, D.** und **LEE, F. C.:** *Input Filter Design for Power Factor Correction Circuits.* IEEE Transactions on Power Electronics, Vol. 11, Nr. 1, S. 199-205, 1996.

[Wag02] **WAGNER, M.:** *Analyse, Aufbau und messtechnische Verifikation eines einphasigen PFC-Moduls.* Semesterarbeit an der Professur für Leistungselektronik und Messtechnik, ETH Zürich, LEM0203, Juli 2002.

[Zha93] **ZHAO, Y., LI, Y.** und **LIPO, T. A.:** *Force Commutated Three-Level Boost-Type Rectifier.* Conference Record of the 28th IEEE Industry Applications Society Annual Meeting, Toronto, Canada, 2.-8. Okt., Vol. 2, S. 771-777, 1993.

[AD03] **ANALOG DEVICES INC.:** *ADSP-2199x Mixed Signal DSP Controller – Hardware Reference*. Prelimary Revision 0, Part Number: 82-000640-01, 2003.

[PES03] **POWER ELECTRONIC SYSTEMS LABORATORY:** *RMX DSP Controller Module-Technical Data Sheet,* Prelimary Revision 0, PES, 2003.

[EN01a] **EN61000-6-3:2001**: *Electromagnetic Compatibility (EMC) – Part6-3: Generic standards – Emission standard for residential, commercial and light industrial environments.*

[EN01b] **EN61000-6-4:2001:** *Electromagnetic Compatibility (EMC) – Part 6-4: Generic standards – Emission standard for industrial environments.*

[EN01c] E**N61000-3-2:2001:** *Electromagnetic compatibility (EMC) – Part 3-2*: *Limits – Limits for harmonic current emissions (equipment input current up to and including 16 A per phase).*

Lebenslauf

10. 09. 1973	geboren in Linz, Oberösterreich
1980 - 1984	Volksschule Hagenberg, Oberösterreich
1984 - 1988	Hauptschule Pregarten, Oberösterreich
1988 - 1993	Besuch der Höheren Technischen Bundeslehranstalt II in Linz, Ausbildungszweig Energietechnik und Leistungselektronik
09. 06. 1993	Ablegung der Reifeprüfung mit Auszeichnung
1993 - 2000	Studium an der Abteilung für Elektrotechnik der TU Wien, Studienzweig Automatisierungs- und Regelungstechnik
21. 11. 1996	Ablegung der 1. Diplomprüfung
13. 01. 2000	Ablegung der 2. Diplomprüfung mit Auszeichnung
2000 - 2001	Entwicklungsingenieur bei Siemens VDO Automotive AG (vormals Siemens AG, Bereich Automobiltechnik) in der Serien-Funktionsentwicklung
ab Mai 2001	Wissenschaftlicher Assistent für Unterricht und Forschung an der Professur für Leistungselektronik und Messtechnik der ETH Zürich bei Prof. Dr. J. W. Kolar
	Forschungsarbeiten auf dem Gebiet modularer Konzepte für Dreiphasen-Gleichrichtersysteme mit geringer Netzrückwirkung
	Ausarbeitung der vorliegenden Doktorarbeit